

논문 2011-06-16

차량용 FMCW 레이더 시스템 설계용 하드웨어 플랫폼 및 임베디드 소프트웨어 개발

(Development of Hardware Platform and Embedded Software
for Designing Automotive FMCW Radar System)

현 유 진, 오 우 진, 이 종 훈*

(Eugin Hyun, Woojin Oh, Jong-Hun Lee)

Abstract : In this paper, we design the hardware platform and implement the embedded software based on the FPGA and the DSP for the automotive 77GHz FMCW radar system. This embedded software is built into the DSP as the multi-tasking architecture to support the basic target detection algorithm and the Ethernet link. The designed GUI(Graphic User Interface) provides ability to adjust parameters associated with the radar performance, to monitor signal processing results, and to download the raw received signal. The designed platform can be used to develop the optimal detection algorithms for the various applications.

Keywords : FMCW 레이더, 차량용 레이더, 하드웨어 플랫폼, 임베디드 소프트웨어, 레이더 소프트웨어

1. 서 론

최근 레이더 기술의 응용은 국방을 넘어, 의료, 보안, 선박, 자동차 등 다양분야에 적용이 되고 있다. 특히, 운전자의 안전과 편의가 중요한 지능형 자동차의 능동 안전시스템을 위해 진방 위험 물체 탐지 센서로 최근 레이더가 많이 적용 되고 있다 [1-8]. 레이더는 타겟으로부터 반사되어진 마이크로파를 이용하여 타겟의 거리 및 속도를 탐지하는 센서로, 카메라, 초음파, 레이저 등 다른 센서 시스템에 비해 날씨와 기후 조건에 영향을 적게 받지는 않는다는 큰 장점을 가지고 있다 [1-8].

그 중 주파수 변조방식을 이용하여 비교적 용이하게 송신신호의 대역폭을 확보할 수 있고, 신호처리 모듈에서 요구되는 샘플링 주파수가 낮은 FMCW(Frequency Modulation Continuous Wave) 방식의 레이더가 차량용 충돌방지 시스템에 적용되기 위해 많은 연구가 진행되고 있다 [1-8].

특히 77GHz 대역을 사용하는 FMCW 레이더는 전파의 직진성이 우수하여 간섭을 최소화할 수 있어 차량용 레이더에 적합하게 활용 되고 있다 [1-8].

차량용 레이더 시스템에서 요구되는 가장 중요한 성능은 신뢰성으로 레이더의 높은 탐지확률과 낮은 오경보율로 나타낼 수 있다. 따라서 실제 필드 환경에 최적화된 알고리즘을 찾아내는 것이 아주 중요하며, 이를 위해서는 충분한 필드 테스트를 통해 주요 파라미터들의 최적화 과정이 요구된다.

본 논문에서는 FPGA(Field Programmable Gate Array)와 DSP(Digital Signal Processor)로 구성된 하드웨어 플랫폼을 기반으로 하여 기본적인 탐지 알고리즘을 소프트웨어로 구현하였고, 사용자 인터페이스로 이더넷을 지원할 수 있도록 하여 관련 파라미터를 사용자가 조정 가능함으로써 탐지 알고리즘의 성능을 확인 할 수 있도록 하였다. 탐지 알고리즘과 이더넷 연결 소프트웨어는 다중 태스크로 동작가능 하도록 구현하였으며, 실제 77GHz FMCW 레이더 RF 모듈을 이용하여 필드 테스트를 통해 검증이 이루어졌다.

기존 선행 연구에서는 FMCW 레이더의 신호처리에 필요한 각 알고리즘들을 소개하고 이를 효과적으로 하드웨어로 구현할 수 있는 아키텍처를 제안한바 있다 [3-5]. 하지만 본 논문에서는 탐지 알

* 교신저자(Corresponding Author)

논문접수 : 2011. 03. 31., 수정일 : 2011. 04. 27.,
채택확정 : 2011. 05. 06.

※ 본 논문은 교육과학기술부 대구경북과학기술원의 기관고유사업 연구결과입니다.

고리즘은 DSP 기반으로 구현하여 알고리즘을 효과적인 성능 확인을 할 수 있도록 하였다.

또한 선행 발표 [6-7]를 통해 FMCW 레이더의 하드웨어 구조와 플랫폼, 그리고 소프트웨어 아키텍처를 소개하고 간단한 실험 결과에 대해 소개한 바 있다. 본 논문에서는 이들 내용을 기본으로 보다 구체적인 구현 및 추가적인 연구 결과를 소개하고자 한다.

먼저 II장에서는 FMCW 레이더의 개요를 설명하고, III장에서는 구현된 신호처리 모듈을 소개한다. IV장에서는 실험결과를 소개하며 V장에서 결론을 통해 마무리할 것이다.

II. FMCW 레이더 개요

그림 1은 일반적인 FMCW 레이더의 RF 모듈의 구조를 나타낸다. 신호처리 모듈을 통해 생성된 삼각파는 VCO(Voltage controlled oscillator)를 통해 주파수 변조 신호로 바뀌게 되고 송신 안테나를 통해 전송된다. 타겟으로부터 반사되어진 수신신호는 혼합기를 통해 비트-신호로 바뀌게 되고 저역필터를 통과한 후 신호처리 모듈로 입력된다.

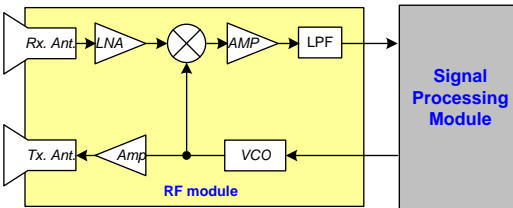


그림 1. 일반적인 FMCW 레이더 RF 구조
Fig. 1. Typical FMCW radar RF architecture

일반적인 FMCW 레이더는 그림 2과 같이 삼각파 형태로 시간에 따라 주파수 변조한다. 그림 2(a)는 송신신호와 이동 타겟으로부터 반사된 신호의 주파수 변화를 보여준다. 여기서 가로축은 시간이며 세로축은 주파수이다. 또한 f_c 는 중심주파수, B 는 대역폭, T_m 은 송신 주기이며, t_d 는 타겟과의 거리에 의한 지연시간이다. 그림 2(b)는 이에 해당하는 비트-주파수로 업-칩과 다운-칩에 각각 해당하는 업-비트-주파수(f_{bu})와 다운-비트-주파수(f_{bd})로 나타난다. 각 비트-주파수는 대역폭, 송신 주기, 타겟의 거리 및 상대속도 등에 의해 결정된다[4-5].

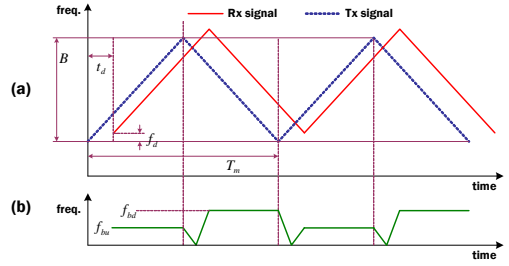


그림 2. 삼각파 형태의 FMCW 레이더 파형 (a) 송신 및 수신신호, (b) 비트-주파수
Fig. 2. FMCW radar waveform with a triangle shape (a) transmitted and received signal, (b) the beat frequencies

FMCW 레이더 시스템을 구현 시 필요한 대역폭, 송신주기, 최소 및 최대 탐지 비트-주파수 등은 레이더 응용 분야 및 목적에 따라 결정되어 시스템 설계에 반영되어진다. 이러한 파라미터는 궁극적으로 ADC(Analog Digital Converter)의 샘플링 주파수 및 신호처리모듈의 고속푸리에 변환(FFT: Fast Fourier Transform) 포인트 등의 결정에도 영향을 주게 되므로 충분한 필드 검증을 통해 최적화되는 과정이 반드시 필요하다.

III. 신호처리 모듈 구현

그림 3은 구현된 FMCW 레이더 신호처리 모듈의 하드웨어 구조를 나타내었다. 본 신호처리 모듈은 크게 FPGA, DSP, 그리고 아날로그 부분으로 나누어진다. 또한 구현된 FMCW 레이더 신호처리모듈의 실제 하드웨어와 주요 부품 사양이 그림 4와 표 1에 나타 내었다.

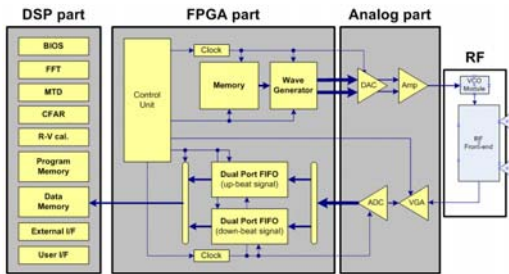


그림 3. 구현된 신호처리 모듈 하드웨어 구조
Fig. 3. Proposed architecture of signal processing module

구현된 신호처리 모듈에서 FPGA는 파형 및 DAC를 제어하며, ADC 제어 및 수신 데이터를 FIFO(First Input First Output)에 저장한 후, 이를 DSP로 넘겨주는 역할을 담당한다. DSP는 이 데이터를 이용하여 신호처리를 수행게된다. 보다 자세한 내용은 아래의 설명과 같다.

먼저 송신경로를 살펴보면, 파형 생성기(Wave Generator)에 의해 생성된 신호는 DAC(Digital Analog Converter)를 통해 VCO로 입력된다. 이때 VCO 입력신호는 메모리에 룩-업-테이블(Look-up Table) 형태로 미리 저장해 둘 수도 있고, 사용자 인터페이스를 통해 직접 입력할 수도 있다. 이를 위해 그림 5와 같이 Matlab 툴을 이용하여 사용자 인터페이스를 설계 하였다. 송신 파형 생성은 "Tx Waveform" 부분을 통해 제어가 가능하다. 즉, VCO 입력 최대 및 최소 전압에 따라 FMCW 레이더의 중심 주파수 및 대역폭을 설정할 수 있고, 칩 신호의 시간에 따라 파형 모양을 설정 할 수 있다.

모리에 파이프라인(Pipeline) 방식으로 저장된다. 저장된 비트-신호는 기본적인 고속푸리에 변환과 탐지 알고리즘에 의해 거리 정보가 추출된다. 이때 ADC 샘플링 주파수, 수신 이득, 고속푸리에 변환 포인터 등의 파라미터는 그림 5의 "System Parameter" 부분에서 선택할 수 있다. 자세한 내용은 표 2에 나타내었다.

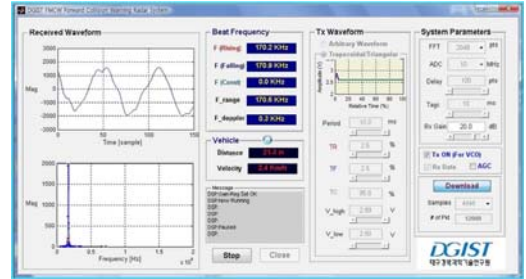


그림 5. 구현된 신호처리 모듈의 사용자 인터페이스
Fig. 5. Proposed graphic user interface of signal processing module



그림 4. FMCW 레이더 신호처리 모듈 보드 실물
Fig. 4. Designed board of signal processing module for FMCW Radar

표 1. 하드웨어 플랫폼의 주요 사양
Table 1. Hardware specification

주요 부품	주요 사양
DAC	12bit, 60MSPS
ADC	14bit, 100MSPS
FPGA	Altera Cyclone III, 40K gate
DSP	TI TMS320C, fixed point, 1GHz

다음으로 수신경로를 살펴보면, 수신 비트-신호는 VGA(Variable Gain Amplifier)를 통해 증폭되고 디지털 데이터로 샘플링 된 후 2개의 FIFO 메

표 2. 사용자 인터페이스의 각 파라미터 설명
Table 2. Description of parameters for user interface

구분	파라미터	설명
Tx Waveform	Period	송신신호의 전체 주기
	TR	업-칩 신호의 시간
	TF	다운-칩 신호의 시간
	TC	변조 없는 부분의 시간
	V_high	VCO 입력 최대 전압
	V_low	VCO 입력 최소 전압
System Parameters	FFT	고속푸리에변환 포인트
	ADC	ADC 샘플링 주파수
	Rx Gain	수신신호의 증폭 값
	Download	수신 비트-신호의 Raw Data 다운로드

DSP에 구현된 소프트웨어는 크게 두 가지 기능을 제공한다. 첫 번째는 다운로드 기능으로 ADC로부터 수신된 비트-신호를 탐지 알고리즘 처리 없이 바로 PC로 전송받는 기능이다. 이 기능을 통해 다양한 탐지 알고리즘을 고속 PC에서 하드웨어 사양의 제약 없이 Matlab과 같은 보다 상위 계층의 언어로 구현 및 검증할 수 있다.

두 번째 기능은 탐지 알고리즘으로 그림 6에 신호처리 과정을 나타내었다. 먼저 수신 비트신호로부터 윈도우와 고속푸리에 변환을 통해 주파수 스펙트럼을 구한다. 주파수 스펙트럼으로부터 CFAR(Constant False Alarm Rate) 알고리즘을 통해 문턱치가 넘는 주파수 값을 검출한 후, 업-비트 및 다운-비트-주파수의 페어링(Pairing)을 통해 거리 및 속도를 추출한다. 자세한 신호처리 알고리즘은 참고문헌 [8]에 자세히 소개되어 있다.

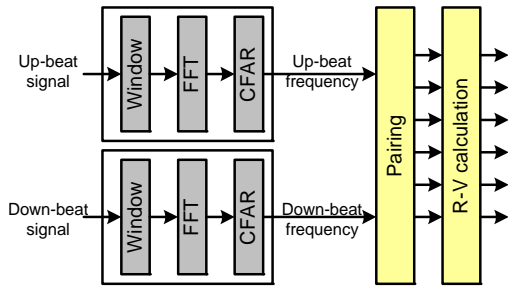


그림 6. 구현된 신호처리 알고리즘 순서도
Fig. 6. Signal processing flow to implement algorithm

탐지 알고리즘이 구현된 DSP에는 크게 두 가지 인터페이스가 연결되어있다. 첫 번째는 FPGA 인터페이스로 EMIF(External Memory Interface) 방식으로 이를 통해 FPGA 내 저장된 비트-신호를 DSP가 읽거나, FPGA에 필요한 각종 파라미터를 DSP가 세팅한다.

두 번째 인터페이스는 이더넷으로 DSP와 개발용 PC가 연결되어 있다. 개발용 PC를 통해 표 2의 각종 파라미터 세팅, 레이더의 운영(시작 및 중지), 비트-신호 다운로드가 이루어진다. 이를 위해 DSP에는 이더넷 PHY 제어 소프트웨어와 UDP(User Datagram Protocol) 통신을 위한 소켓 프로그램이 구현 및 포팅되어 있다.

이렇게 두 개의 인터페이스를 동시에 지원하기 위해서는 다중-태스크 구조로 소프트웨어가 구현되어야한다. 본 논문에서는 그림 7과 같은 구조를

가지도록 2개의 태스크를 구현하였다. 즉, DSP BIOS(Basic Input Output System) 위에 이더넷을 통한 패킷 수신을 담당하는 태스크 1과 탐지 알고리즘을 처리하는 태스크 2가 구현 되었다.

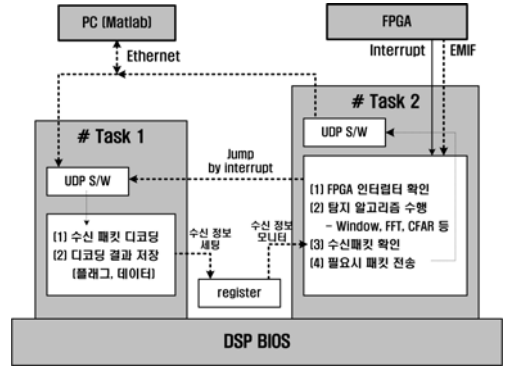


그림 7. 구현된 FMCW 레이더 S/W 구조
Fig. 7. Proposed FMCW radar S/W architecture

FPGA 내의 FIFO 메모리에 업 또는 다운 비트-신호가 ADC로부터 수신이 되면, FPGA는 DSP에 인터럽트로 알리게 되고, DSP는 EMIF를 통해 해당 비트-신호를 읽은 후 탐지 알고리즘을 통해 필요정보를 추출한다. 탐지 결과는 UDP 소프트웨어를 통해 이더넷으로 개발용 PC에 전송되며 이러한 모든 기능은 태스크 1이 담당한다.

태스크 2가 동작되는 중에 개발용 PC로부터 이더넷을 통해 패킷이 수신되면 즉시 인터럽트가 걸리게 되고, 태스크 1로 자동 스위칭 된다. 즉, DSP 모듈에서는 이더넷 데이터가 수신되는 경우 하드웨어적으로 인터럽트가 발생하고, BIOS 소프트웨어는 즉시 태스크 1로 작업 전환(Context Switching)을 수행한다. 이때 태스크 1에서는 UDP 소프트웨어를 통해 수신된 패킷을 디코딩한 후 해당 수신 정보 따라 레지스터를 세팅하면, 다시 DSP 하드웨어에 의해 태스크 2로 작업 전환이 되고 인터럽트가 발생 전에 수행하던 작업을 계속 하게 된다.

이때 태스크 2에서는 수신된 패킷 값들이 저장된 레지스터를 주기적으로 모니터링하고, 필요한 파라미터를 반영하여 명령을 수행한다.

이러한 과정을 그림 8에 보다 자세히 순서도로 나타 내었다.

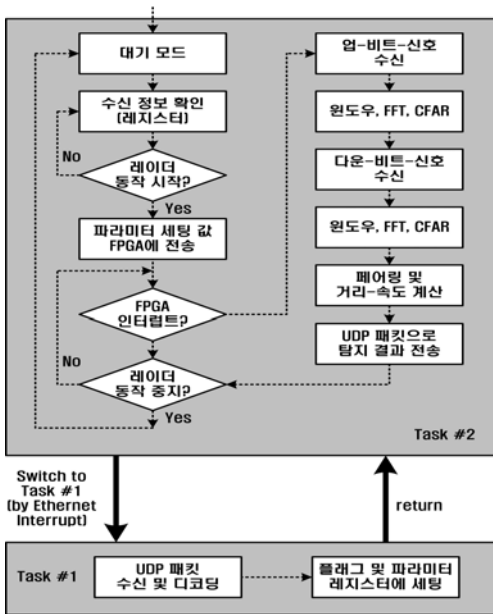


그림 8. 구현된 FMCW 레이더 S/W 순서도
Fig. 8. Proposed FMCW radar S/W flow chart

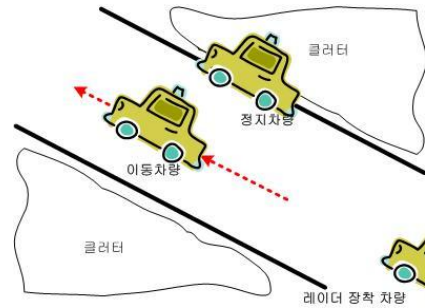


그림 9. 이동타겟 탐지를 위한 실험 환경
Fig. 9. The scenario for moving target detection

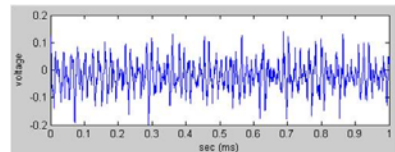


그림 10. 수신된 비트-신호
Fig. 10. Received beat signal

IV. 실험결과

앞서 설명하였듯이 본 논문에서 구현된 FMCW 레이더 플랫폼은 각 파라미터 조정을 통해 DSP에 포팅된 탐지 알고리즘의 성능을 모니터링하고, 수신 비트 신호를 다운로드하여 다양한 탐지 알고리즘을 적용하기 위한 목적이다.

먼저 다운로드 기능을 통해 비트신호를 수신한 후 PC에서 알고리즘을 적용한 결과이다. 먼저 그림 9는 도로에서 레이더가 장착된 차량을 이용하여 이동차량을 탐지하는 실험 환경을 나타낸다. 그리고 그림 10은 수신된 비트 신호를 나타내었다. 가로축은 시간이며 세로축은 신호 크기이다.

그림 11은 다운로드 된 비트 신호를 이용하여 제안된 알고리즘을 적용한 결과이다. 그림 11(a)는 주파수 프로파일을 나타낸 것으로 가로축은 주파수이며 세로축은 시간이다. 시간에 따라 1대의 이동타겟이 움직이며 클러스터를 포함한 다양한 정지타겟이 탐지됨을 확인할 수 있다. 그림 11(b)는 제안된 탐지알고리즘을 적용하여 탐지된 타겟의 거리를 나타낸 것으로, 가로축은 시간이고 세로축은 거리를 나타낸다. 보다 자세한 내용은 참조논문[8]에 설명되어 있다.

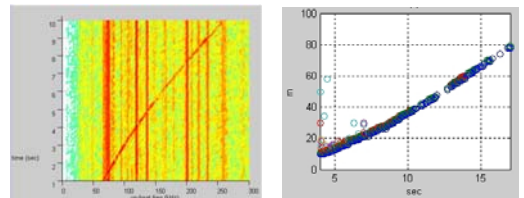


그림 11. 신호처리 결과, (a) 비트 주파수 프로파일, (b) 탐지 거리

Fig. 11. Signal processing results, (a) Beat-frequency profile, (b) detected target range

그림 12는 실제 실험실에서 거리 15m와 16m의 타겟을 탐지한 결과를 보여주고 있다. “Received Waveform” 부분에서 수신 비트 신호와 고속푸리에 변환 결과가 나타나 있고, “Detection” 부분에서 탐지된 거리값이 표시되어 있다. 실험을 통해 알고리즘 검증 및 파라미터 조정이 이루어진다.

또한 그림 13은 실제 도로상에서 구현된 알고리즘 및 파라미터를 이용하여 검증하는 과정을 보여준다. 이렇게 실제 필드를 통해 검증되는 알고리즘 및 관련 파라미터는 향후 실제 개발에 응용 될 수 있다.

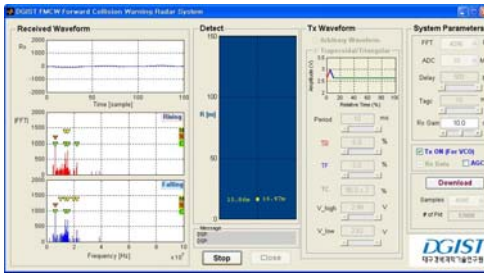


그림 12. 실험실에서 알고리즘 검증 과정

Fig. 12. The scenario to verify detection algorithms in the lab



그림 13. 실제 도로상에서 알고리즘 검증 과정

Fig. 13. The scenario to verify detection algorithms on the real road

V. 결론

본 논문에서는 77GHz FMCW 차량용 레이더의 신호처리 모듈을 DSP 및 FPGA 기반으로 구현하였다. 신호처리 모듈의 DSP에는 기본적인 탐지 알고리즘과 다운로드 기능이 구현되었다. 또한 사용자 인터페이스를 위한 이더넷을 지원하기 위해 다중-태스크 구조로 구현하였다. 사용자 인터페이스에서는 각종 파라미터를 조정함으로써 탐지 알고리즘의 성능을 확인 할 수 있고, 다운로드 기능을 통해 다양한 알고리즘을 개발할 수 있다.

구현된 시스템은 차량용 레이더 개발 뿐 아니라 다양한 응용분야에 적용하여 최적의 파라미터를 추출하고 탐지 알고리즘을 개발하는데 활용될 수 있다.

향후에는 충분한 필드 검증을 통해 최적의 탐지 알고리즘 및 파라미터를 추출하고 이를 실제 DSP에 구현할 것이다. 또한 선행 연구 [8]를 통해 제안된 탐지성능을 향상시키기 위한 알고리즘도 실제

플랫폼에 적용함으로써 성능 검증도 이루어 질 것이다.

참고문헌

- [1] Folster, F., Rohling, H., Lubbert, U., "An automotive radar network based on 77 GHz FMCW sensors", Radar Conference 2005, pp. 871-876, Arlington, U.S.A., May, 2005.
- [2] W. Chang, L. Huan, L. Yubai, "A Practical FMCW Radar Signal Processing Method and Its System Implementation", in Int. Conf. ITS Telecomm., pp. 1195-1199, 2006.
- [3] 현유진, 오우진, 이종훈, "FFT 및 CFAR를 이용한 차량용 FMCW 레이더 탐지 모듈 구조 제안", 대한임베디드공학회 추계학술대회, 2009.
- [4] 현유진, 오우진, 이종훈, "차량용 FMCW레이더의 다중 타겟 검출을 위한 신호처리부 구조 제안", 대한임베디드공학회 논문지, Vol.5, No.2, pp. 93-102, 2010년.
- [5] 현유진, 이종훈, "FMCW레이더의 거리 및 속도 오차 향상을 위한 신호처리부 하드웨어 구조 제안", 한국자동차공학회 논문지, Vol.18, No.4, pp. 54-61, 2010.
- [6] 현유진, 오우진, 이종훈, "DSP 기반의 차량용 레이더 임베디드 소프트웨어 개발", 2010년 대한임베디드공학회 추계학술대회, pp. 95-96, 2010.
- [7] E. G. Hyun, W. J. Oh, J. H. Lee, "Design and implementation of automotive 77GHz FMCW radar system based on DSP and FPGA", 2011 IEEE International Conference on Consumer Electronics, pp. 517-518.
- [8] 현유진, 오우진, 이종훈, "FMCW 차량용 레이더의 이동타겟 탐지 알고리즘 제안", 대한전자공학회 논문지 SC편, Vol.47, No.6, pp. 27-32, 2010.
- [9] E. G. Hyun, W. J. Oh, J. H. Lee, "Two-step moving target detection algorithm for automotive 77GHz FMCW", Proceedings of IEEE 72nd Vehicular Technology Conference Fall, pp. 1-5, Sep, 2010.

저 자 소 개

현 유 진 (Eugin Hyun)



1999년 : 영남대학교
전자공학과 학사.
2001년 : 영남대학교
전자공학과 석사.
2005년 : 영남대학교
전자공학과 박사.

2005년~현재, 대구경북과학기술원 로봇시스템연구부 디지털레이더연구팀 선임연구원.

2007년~현재, 영남대학교 전자공학과 겸임교수.
관심분야 : 레이더 디지털 신호처리, 디지털 신호처리 프로세서 개발 및 구현, 레이더 체계 공학.

Email : braham@dgist.ac.kr
braham@yumail.ac.kr

오 우 진 (Woojin Oh)



1989년 : 한양대학교 전자공학과 학사.
1991년 : 한국과학기술원 전자공학과 석사.
1996년 : 한국과학기술원 전자공학과 박사.

1996년~1998년, SK 텔레콤 선임연구원.
현재, 금오공과대학교 전자공학부 교수.

2008년~현재, 대구경북과학기술원 로봇시스템연구부 디지털레이더연구팀 겸임연구원.

관심분야 : 레이더 신호처리, 통신 신호처리.
Email : wjoh@kumho.ac.kr

이 종 훈 (Jong-Hun Lee)



1996년 : 성균관대학교
전자공학과 학사.
1998년 : 성균관대학교
전기전자컴퓨터공학과 석사.
2002년 : 성균관대학교
전기전자컴퓨터공학과 박사.

2002~2005년 : 삼성전자통신연구소 책임연구원.
2005년~현재, 대구경북과학기술원 로봇시스템연구부 디지털레이더연구팀 과제책임자.

2007년~현재, 영남대학교 정보통신공학과 겸임교수.

관심분야 : 레이더/비전 융합 신호처리, 차량용 레이더, 레이더 체계 공학.

Email : jhlee@dgist.ac.kr