

논문 2011-06-14

JPEG 인코더를 위한 고성능 병렬 프로세서 하드웨어 설계 및 검증

(Design and Verification of High-Performance Parallel Processor Hardware for JPEG Encoder)

김 용 민, 김 종 면*

(Yong-Min Kim, Jong-Myon Kim)

Abstract : As the use of mobile multimedia devices is increasing in the recent year, the needs for high-performance multimedia processors are increasing. In this regard, we propose a SIMD (Single Instruction Multiple Data) based parallel processor that supports high-performance multimedia applications with low energy consumption. The proposed parallel processor consists of 16 processing elements(PEs) and operates on a 3-stage pipelining. Experimental results for the JPEG encoding algorithm indicate that the proposed parallel processor outperforms conventional parallel processors in terms of performance and energy efficiency. In addition, the proposed parallel processor architecture was developed and verified with verilog HDL and a FPGA prototype system.

Keywords : SIMD기반 병렬프로세서, 고성능 이미지/비디오 프로세싱, 모바일 멀티미디어

1. 서론

최근 모바일 멀티미디어 기기들의 사용이 증가하면서 고성능 멀티미디어 프로세서에 대한 필요성이 증가하고 있으며 [1], 프로세서는 더 이상 동작 주파수를 높이는 방법이 아닌 다수의 프로세서를 집적하는 멀티프로세서로 기술 발전이 이루어지고 있다[2].

주문형반도체인 ASIC(Application-Specific Integrated Circuit)은 멀티미디어 애플리케이션에서 요구되는 고성능, 저비용 및 저전력을 만족시킬 수 있지만 다양한 애플리케이션에서 요구되는 범용성 혹은 유연성(flexibility)을 만족시키지 못한다.

* 교신저자(Corresponding Author)

논문접수 : 2011. 01. 31., 수정일 : 2011. 03. 05., 채택확정 : 2011. 03. 07.

김용민, 김종면 : 울산대학교 전기공학부

※ 이 논문은 2011년 울산대학교의 연구비에 의하여 연구되었음.

반면에 DSP(Digital Signal Processor)나 범용 프로세서(General-Purpose Processor, GPP) 기반의 시스템은 범용성에 기인하여 다양한 응용 분야에 사용될 수 있으나 멀티미디어 애플리케이션에서 요구되는 높은 레벨의 성능을 만족시키지 못한다. 왜냐하면 DSP나 GPP는 프로세서 구조의 특성상 멀티미디어에 내재한 높은 병렬성(massive parallelism)을 활용하지 못하기 때문이다.

멀티미디어 애플리케이션을 위해 주문형반도체의 저비용, 저전력, 고성능과 DSP나 범용 마이크로 프로세서의 유연성이 결합된 새로운 형태의 프로세서인 ASIP(Application Specific Instruction Set Processor)가 대안으로 부각되고 있다 [3,4,5]. 본 논문에서는 ASIP 모델 중 2차원 이미지나 비디오 처리에 특화된 SIMD(single instruction multiple data)기반 병렬프로세서를 제안한다. 명령어 레벨(instruction-level)이나 스레드 레벨(thread-level) 프로세서들은 실리콘 면적을 멀티포트 레지스터 파일(multiported register file), 캐쉬(cache), 파이프라인(deep pipelined) 기능 유닛 등으로 사용하는

반면, SIMD기반 병렬프로세서는 여러 개의 저비용 프로세싱 엘리먼트(processing element, PE)들을 이용하여 고성능을 추구하고 동시에 저장장소와 데이터 통신 요구를 최소화하기 위해 프로세싱 엘리먼트와 데이터 입출력을 동일위치에 배치함으로써 저전력을 만족시킨다. 또한 각 PE간의 상호 연결망(interconnection network)은 짧은 내부 연결선을 이용한 격자(mesh) 구조로 연결되어 있어 저비용을 만족하는 동시에 지역성이나 규칙성 있는 2차원 패턴 이미지나 동영상 처리에 높은 병렬성을 보여준다.

본 논문에서 제안한 SIMD기반 병렬프로세서는 16개의 PE로 구성되어 있으며, 3단계 파이프라인 구조로 설계되었다. JPEG 인코딩 알고리즘을 이용하여 모의실험 결과, 제안한 병렬프로세서는 기존의 병렬프로세서보다 상대적 PE 효율성에서 약 1.1배에서 5배정도의 향상을 보였으며, 또한 상용 DSP 프로세서인 TI사의 C6416 DSP보다 성능면에서 11.4배, 에너지 효율성에서 16.8배의 향상을 보였다.

본 논문의 구성은 다음과 같다. 2장에서는 제안한 병렬 프로세서의 구조를 소개하고, 3장에서는 병렬프로세서를 이용한 JPEG 인코더 구현을 기술한다. 4장에서는 제안한 병렬 프로세서의 성능을 분석하고, 5장에서는 16PE의 디자인 합성 결과를 보여준다. 끝으로 6장에서는 본 논문의 결론을 맺는다.

II. 제안한 병렬 프로세서 구조

1. 병렬 프로세서 아키텍처 구조

그림 1은 본 논문에서 제안하는 SIMD기반 병렬 프로세서이다.

2차원 격자(mesh)구조로 구성된 PE어레이, 각 데이터의 입출력을 위한 로컬 메모리 및 각 PE와 입출력 유닛을 제어하는 ACU(Array Control Unit)으로 구성되어 있다. 각 PE의 이미지 센서는 이미지 프레임으로부터 정해진 픽셀 데이터를 추출하여 특정 레지스터 파일에 저장함으로써 I/O 대역의 문제를 해결한다. 또한, 짧은 와이어의 사용으로 높은 시스템 면적 효율과 에너지 효율을 보인다.

그림 2는 싱글 PE의 내부 구조를 보여준다. 각 PE는 다음과 같은 reduced instruction set computer(RISC) 아키텍처이다.

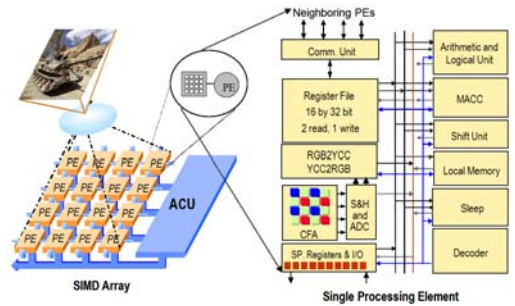


그림 1. SIMD기반 병렬 프로세서 구조
Fig. 1. SIMD based parallel processor architecture

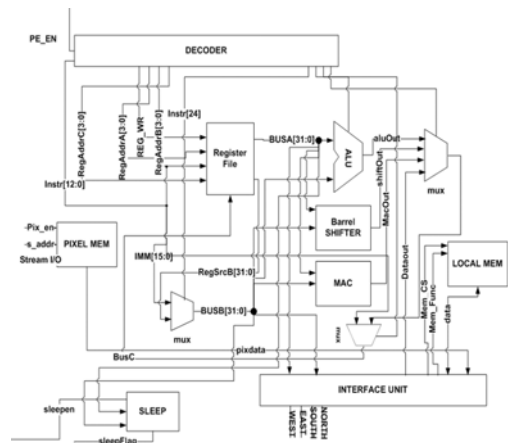


그림 2. 싱글 PE의 구조
Fig. 2. Single PE architecture

- 32비트 폭의 128개 워드로 구성된 로컬 메모리
- 32비트 폭의 16개 3 포트 범용 레지스터
- 기본적인 산술/논리 연산을 수행하는 ALU
- 멀티 비트 산술/논리 시프트 연산을 수행하는 배럴 시프트 (barrel shifter)
- 32비트 곱셈 및 누산기(multiply-accumulator, MACC)
- 지역 정보를 이용해 각 PE들을 활성 및 비활성 시키는 Sleep 유닛
- 지역 이미지 센서로부터 픽셀 데이터를 샘플링 하는 Pixel 유닛
- 이웃하는 PE들과 데이터 통신을 위한 NEWS (north-east-west-south) 네트워크 및 serial

I/O 유닛

2. 병렬프로세서의 기능

2.1 파이프 라이닝

그림 3에서 보느냐와 같이 SIMD기반 병렬 프로세서는 패치(Fetch), 디코더(Decode), 실행(Execution)의 3단계 파이프라인 구조로 설계되었다. 1단계(패치)에서는 ACU가 명령어 메모리로부터 명령어(instruction)을 패치하고, 2단계(디코더)에서는 디코더 유닛이 ACU에서 수행되는 스칼라(Scalar)명령어인지 PE에서 수행되는 벡터(vector)명령어인지를 구분하여 BusA, BusB, BusC 각 포트에 해당되는 레지스터 주소 및 immediate값을 할당한다. 마지막으로 3단계(실행)에서는 각 기능유닛의 컨트롤 시그널에 의해 명령어가 실행된다.

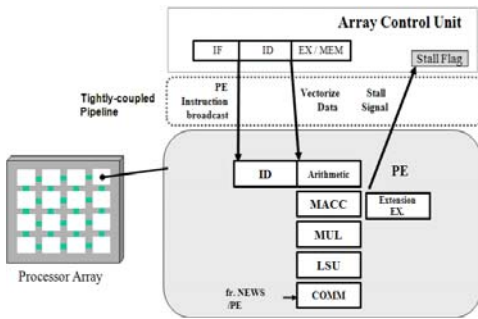


그림 3. 병렬프로세서의 파이프라이닝
Fig. 3. Pipelining of a parallel processor

2.2 PE의 활성화

제안하는 병렬프로세서는 각 PE의 로컬 레지스터 데이터에 따라 활성화 및 비활성화 상태가 이루어진다. 그림 4는 레지스터 값의 조건에 따라 PE

중 몇 개가 비활성화 상태인 예를 보여준다. 진한 색의 PE는 비활성화 상태를 나타내며, 연한 색의 PE는 활성화 상태를 나타낸다. 이러한 명령어 수행을 통해 PE의 조건부 실행이 가능하다.

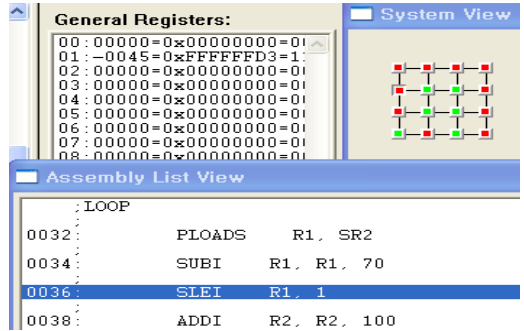


그림 4. PE의 활성화 및 비활성화
Fig. 4. Activation and non-activation of PEs

III. 병렬프로세서를 이용한 JPEG 인코딩 구현

최근 디지털 카메라 및 디지털 이미지 저장 장치의 증가로 인하여 정지영상의 이용이 매우 증가하고 있다 [6]. 이에 데이터 압축에 대한 연구가 활발히 진행 되고 있다. 이 중 정지영상압축의 대표적 표준 방식인 JPEG [7]의 구현에 대한 간략한 소개와 제안하는 병렬 프로세서를 이용한 JPEG 인코더 구현에 대해 설명한다. 그림 5는 JPEG 인코더의 전반적인 흐름을 간략하게 보여준다. 먼저 JPEG의 표준 방식에서 이미지 입력 데이터를 8x8의 매크로 블록으로 분할 처리를 하기 위해 전처리 과정을 거친 데이터를 RGB 영역에서 YCbCr 칼라 영역

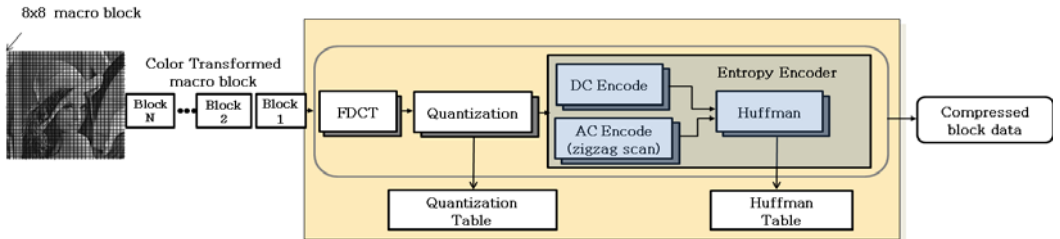


그림 5. JPEG 인코딩 처리의 블록 다이어그램
Fig. 5. A block diagram of the JPEG encoding process

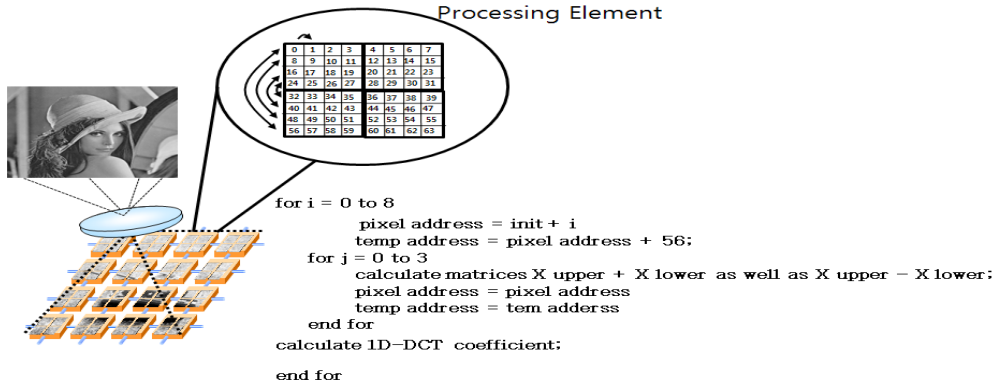


그림 6. 제안한 병렬 프로세서를 이용한 DCT 구현 예

Fig. 6. An example of DCT implementation using the proposed parallel processor

으로 변환 후, 이산 코사인 변환, 양자화 그리고 마지막으로 엔트로피 부호화를 수행하여 압축된 영상 데이터를 재생한다.

3.1 이산 코사인 변환

입력 영상은 8x8 블록으로 분할되고, 이산 코사인 변환을 통해 주파수 영역으로 변환된다. 본 논문에서는 일반적인 이산 코사인 변환 대신, 임베디드 환경에서 보다 빠른 처리를 위해 널리 사용되고 있는 Chen이 제안한 이산 코사인 변환 [8]을 이용하였다. 그림 6은 1차원 열방식 이산 코사인 변환의 의사코드를 보여준다.

3.2 양자화

양자화 과정은 JPEG에 있어 매우 중요한 커널 중 하나이다. 주파수로 변환된 값은 매우 다양한 범위를 가지므로 양자화 과정을 거쳐 부호화 하는 것이 효율적이다. 양자화 커널은 미리 정해진 테이블을 이용하여 구현되며, 휘도(Y)성분의 테이블과 색차신호(Cb,Cr)테이블이 분리하여 사용함으로써 색차신호가 사람의 눈에 덜 민감한 특징을 이용한다 [9].

3.3 엔트로피 부호화

JPEG 부호화의 마지막 단계인 엔트로피 부호화는 무손실 데이터의 압축 과정으로서 데이터의 실질적인 압축이 일어난다. 이 부분은 크게 2가지 과정으로 구성된다. 주파수로 변환된 값을 재조정하는 zig-zag 스캔 과정과 동적인 길이의 압축과정으로 나뉜다. zig-zag스캔을 거친 1차원 선형구조의 배

열값을 허프만 코딩방식을 이용하여 배열의 첫 번째 값인 DC계수의 차분 부호화와 AC계수 부호화로 나누어 진행한다. 부호화 방식은 테이블을 사용하여 필요한 비트수와 값을 정의한다. 그림 7은 DC 차분 부호화를 병렬 프로세서를 이용하여 구현한 예를 보여준다. 매크로 블록들이 각 PE에 할당 되고, DC 값의 차분을 위해 이전 매크로 블록의 DC값이 참조 된다. 따라서 DC 값을 오른쪽에 이웃된 PE에 전송되는 것을 그림 7(a)에서 보여준다. 그림 7(b)는 맨 가장자리에 위치한 PE의 값들을 다음 행의 PE에 전달하기위해 첫 번째 행들만 아래쪽 PE와 통신 하는 예를 보여준다. 그림 7(c)에서는 첫 번째 PE의 값이 최초의 매크로 블록 값이므로 비활성화 시킨 다음 나머지 PE 들은 이웃되는 DC계수를 저장하는 예를 보여준다.

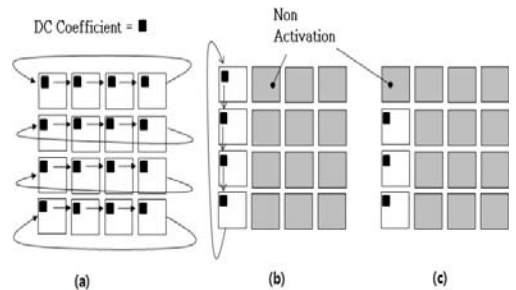


그림 7. 이웃 PE들 간의 DC계수 참조

Fig. 7. Reference for DC coefficients among PE

IV. 성능평가

4.1 실험 방법론

그림 8은 세 가지 레벨(애플리케이션, 아키텍처, 테크놀로지)로 구성되어 있는 SIMD기반 병렬 프로세서의 실험 방법론을 보여준다. 애플리케이션 레벨에서는 명령어 레벨의 SIMD기반 병렬프로세서용 정밀 사이클 시뮬레이터를 이용하여 사이클 개수, 동적 명령어 빈도, 프로세싱 엘리먼트 이용률(utilization) 등의 실행 데이터를 추출한다. 아키텍처 레벨에서는 모델링된 아키텍처의 디자인 변수들을 계산하기 위해 Chai [10]가 제안한 SIMD 병렬 프로세서용 이중 아키텍처 모델링 툴을 사용하였다. 테크놀로지 레벨에서는 각 아키텍처 모델들의 테크놀로지 변수(latency, power, clock frequency)를 계산하기 위해 Generic System Simulator(GENESYS)를 사용하였다 [11].

마지막으로 세 레벨에서 구해진 데이터베이스를 조합하여 각 경우에 대한 실행시간, 처리량, 에너지 효율을 결정하였다.

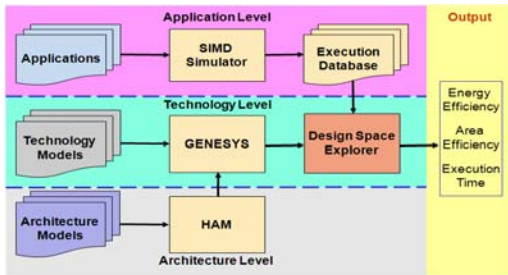


그림 8. SIMD 기반 병렬 프로세서 시뮬레이션을 위한 실험론

Fig. 8. Experimental methodology for the SIMD parallel processor simulation

4.2 성능 분석 지표

제안한 SIMD기반 병렬프로세서의 파라미터는 표 1과 같으며, 성능 분석을 위해 정밀 사이클(cycle-accurate) 시뮬레이터를 사용하였다. 본 논문에서는 JPEG 인코딩 알고리즘을 완벽하게 구현하기 위해 8192개의 16비트 메모리를 사용하였으며, 130nm 테크놀로지와 100MHz 클럭주파수를 이용하여 성능을 분석하였다.

표 2는 제안하는 병렬 프로세서의 성능을 평가하기 위한 지표를 보여준다 [12]. 실행 시간(execution time)은 알고리즘이 수행되는 시간을, 처리량(sustained throughput)은 단위 시간당 처리되는 명령어 개수(Giga-operations/second)를, 에

너지 효율(energy efficiency)은 단위 에너지 당 소비된 명령어 개수(Giga-operations/Joule)를 나타낸다. 또한 기존의 병렬프로세서와의 성능 비교를 위해 프로세싱 엘리먼트 당 상대 연산 처리(competitive computation throughput/PE)을 사용하였다.

표 1. 병렬프로세서 파라미터

Table 1. Parameters of the parallel processor

parameter	value
Number of PEs	16
Memory/PE [16bit - word]	8192
VLSI Technology	130nm
Clock Frequency	100MHz
intALU/intMUL/Barrel Shifter	1 / 1 / 1 / 1
/intMACC/comm	/ 1

표 2. 평가 지표 요약

Table 2. Summary of evaluation metrics

실행시간 (execution time)	$t_{exec} = \frac{C}{f_{ck}}$
처리량 (sustained throughput)	$Th_{sust} = \frac{O_{exec} \cdot U \cdot N_{PE}}{t_{exec}}$
에너지 효율 (energy efficiency)	$\eta_E = \frac{O_{exec} \cdot U \cdot N_{PE}}{Energy}$
<p>C: 사이클 개수, f_{ck}: 클럭 주파수, O_{exc}: 수행된 연산 개수 U: 프로세싱 엘리먼트 이용률, N_{PE}: 프로세싱 엘리먼트의 개수</p>	

표 3. DCT에 대한 병렬프로세서들의 성능평가

Table 3. Performance evaluation of DCT using the parallel processors

	Platform			
	MGAP [13]	Slim [13]	iCPA [14]	제안한 SIMD
Number of PEs	16,385	5,000	64	16
Frequency[Mhz]	25	25	100	100
Image size	128 x 128	100 x 50	640 x 480	256 x 256
Execution Time(ms)	0.013	0.009	12.29	9.91
Performance (Mpixels/s)	1,260	556	24.9	6.66
Performance [pixels/ C]	76.9	111.2	389.1	416.3

표 3은 이산 코사인 변환에 대한 제안한 병렬프로세서와 기존의 병렬프로세서들 간의 성능 비교를 보여준다. 제안한 병렬프로세서가 기존의 병렬프로

세서들보다 상대적인 PE효율성에서 약1.1배에서 5 배정도의 성능 향상을 보였다.

4.3 상용 프로세서와의 성능 비교

또한 본 논문은 제안한 병렬 프로세서의 성능 평가를 위해 기존의 상용 고성능 DSP인 TI C6416 [15]와 동일한 130nm테크놀로지와 720MHZ의 클럭 주파수에서 성능을 비교하였다. 제안한 병렬프로세서는 16개의 프로세싱 엘리먼트(PE)를 사용하여 데이터 레벨 병렬성(data-level parallelism)을 지향하는 반면, TI C6416은 8-way VLIW(Very Long Instruction Word)구조로서 8개의 명령어를 동시에 수행 가능한 명령어 레벨 병렬성(instruction-level parallelism)을 지향한다. 표 4는 제안한 병렬프로세서와 TI C6416 DSP와의 성능 비교를 보여준다. 제안한 병렬프로세서는 TI C6416보다 11.2배의 성능 향상 및 16.8배의 에너지 효율 향상을 보였다.

표 4. 제안한 병렬 프로세서와 TI C6416과의 성능비교

Table 4. Performance comparison of the proposed parallel processor and TI C6416

Algorithm parameter	JPEG	
	제안한 병렬프로세서	TI C6416
Technology [nm]	130	130
Frequency[Mhz]	720	720
Average Power [mW]	611.47	950
Average Throughput[MIPS]	6707.10	962.91
Execution Time [ms]	1.312	14.70
Energy[mJoule]	5.781	13.971
Energy Efficiency [Gops/Joule]	1160.17	68.9

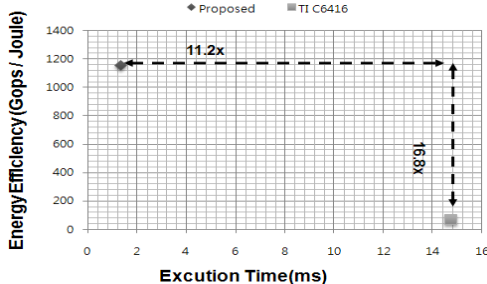


그림 9. 실행시간 및 에너지 효율 비교
Fig. 9. Execution time and energy efficiency comparison

V. 합성 결과

표 5는 Synopsis Synplify Pro[16]를 이용하여 16개의 PE로 구성된 SIMD기반 병렬프로세서의 합성 결과를 보여준다. 각 PE는 634개의 LUT(Look-Up Table)가 사용되었고, ACU는 526개의 LUT가 사용되었다. 그리고 DEI(Data Exchange Interface)는 1884개의 LUT와 18kbit 크기의 RAM이 2개 사용되었다. 16개 PE로 구성된 전체 시스템은 12,554개의 LUT와 118개의 18kbit RAM이 사용되었다. 또한 제안하는 병렬프로세서를 Xilinx사의 Vertex-4 XC4VLX 60 FPGA [17] 프로토타입 시스템에서 검증하였다.

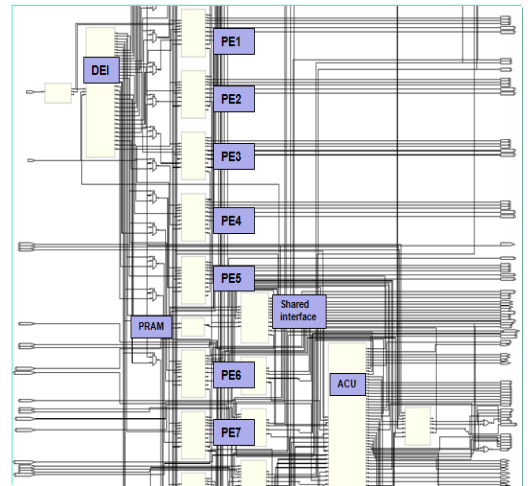


그림 10. 병렬 프로세서의 합성 스키메틱
Fig. 10. Synthesis schematic of the parallel processor

표 5. 합성결과

Table 5. Synthesis result

	LUT	RAM(18Kbit)
ACU	526	4
16 PEs	10,144	112
DEI	1,884	2
Total	12,554	118

VI. 결론

본 논문에서는 고성능 모바일 영상 처리를 위해 SIMD기반 병렬프로세서를 소개하였다. 제안한 병렬

프로세서는 16개의 프로세싱 엘리먼트를 포함한 3-stage 파이프라인(패치, 디코더, 실행)으로 설계되었다. JPEG 인코딩 알고리즘을 이용하여 모의실험한 결과, 제안한 SIMD기반 병렬프로세서는 기존의 병렬프로세서보다 PE개수에 따른 상대적 PE의 효율성에서 약 1.1~5배의 성능 향상을 보였다. 또한, 상용 고성능 TI DSP와 비교하여 11.2배의 성능 향상 및 16.8배 에너지 효율 향상을 보였다. 이러한 결과는 제안하는 SIMD기반 병렬프로세서가 방대한 양의 이미지/비디오 데이터의 처리에 있어서 무한한 잠재 가능성을 보여준다. 제안한 병렬 프로세서를 RTL레벨에서 설계하고 Xilinx사의 FPGA 프로토타입 시스템을 이용하여 검증 하였다.

참고문헌

- [1] 윤현주, "휴대용 멀티미디어 기기에서 메타데이터 활용을 강화한 파일 시스템 구조", 임베디드 공학회논문지, 제2권, 제1호, pp. 1-8, 2007년 3월.
- [2] 정무경, 박성모, 엄낙웅, "병렬 프로세서 기술 및 동향", 전자통신동향분석, 제24권, 제6호, pp. 86-93, 2009.
- [3] 이재진, 박성모, 엄낙웅, "멀티미디어 애플리케이션 처리를 위한 ASIP", 전자통신동향분석, 제24권, 제6호, pp. 94-98, 2009.
- [4] S. Kyo, S. Okazaki, and T. Arai, "An integrated memory array processor for embedded image recognition systems", IEEE Trans. Computers, Vol.56, No.5, pp. 622 - 634, May. 2007.
- [5] A. A. Abbo, R. P. Kleihorst, V. Choudhary, L. Sevat, P. Wielage, S. Mouy, B. Vermeulen, and M. Heijligers, "Xetal-II: A 107 GOPS, 600 mW massively parallel processor for video scene analysis", IEEE J. Solid-State Circuits, Vol.43, No.1, pp. 192 - 201, Jan. 2008.
- [6] 박제호, "허프변환을 이용한 직선요소 검출기반 정지영상 인식자", 임베디드공학회논문지, 제5권, 제3호, pp. 111-117, 2010.
- [7] Wallace, G.K., "The JPEG still picture compression standard", IEEE Transactions on Consumer Electronics, Vol.38, No.1, pp. 18-33, Feb. 1992.
- [8] W. H. Chen, C. Smith, and S. Fralick, "A Fast computational algorithm for the discrete cosine transform", IEEE Trans. Communications, Vol.25, No.9, pp. 1004 - 1009, Sep. 2002.
- [9] Wastson, B. Andrew, "Image compression using the discrete cosine transform", Mathematical J., Vol.4, No.1, pp. 81 - 88, 1994.
- [10] S. M. Chai, T. Taha, D. S. Wills, J. D. Meindl, "Heterogeneous architecture models for interconnect-motivated system design", IEEE Trans. on VLSI Systems, Vol.8, No.6, pp. 660-670, 2000.
- [11] J. C. Eble, V. K. De, D. S. Wills, J. D. Meindl, "Generic system simulator (GENESYS) for ASIC technology and architecture beyond 2001", Proceedings of the Ninth Annual IEEE International ASIC Conference, pp. 193-196, Sep. 1996.
- [12] Antonio Gentile, D. Scott Wills, "Portable video supercomputing", IEEE Trans. Computers, Vol.53, No.8, pp. 960-973, 2004.
- [13] M. H. Sunwoo, J. K. Aggarwal, "A sliding memory plane array processor", IEEE Transactions on Parallel and Distributed System, Vol.4, No.6, pp. 601-612, 1993.
- [14] T. Moriss, E. Fletcher, C. Afghani, S. Issa, K. Connolly, J. C. korta, "A column-based processing array for high speed digital image processing", Proceedings of the 20th Anniversary Conference on Advanced Research in VLSI, pp. 42-56, 1999.
- [15] TMS320C64x families: <http://www.bdti.com/procs/um/tic64xx.htm>.
- [16] Synplify Userguide: <http://www.synopsys.com/Tools/Implementation/FPGAImp>
- [17] Xilinx Userguide: http://www.xilinx.com/support/documentation/user_guides/ug070.pdf

저 자 소 개

김 용 민



2009년 : 울산대학교
컴퓨터정보통신공학부 학사.
현재, 울산대학교 컴퓨터
정보통신공학과 석사과정.
관심분야 : 임베디드 시스템,
컴퓨터구조, 병렬처리.

Email : jafstar@nate.com

김 종 변



1995년 : 명지대학교
전기공학과 학사.
2000년 : University of
Florida 전기컴퓨터공학과
석사.
2005년 : Georgia Tech.
전기컴퓨터공학과 박사.

현재, 울산대학교 전기공학부 교수.
관심분야 : 임베디드 SoC, 컴퓨터구조, 병렬처리.
Email : jmkim07@ulsan.ac.kr