

DVB-T2 수신기를 위한 BICM 모듈의 DSP 구현

A DSP Implementation of the BICM Module for DVB-T2 Receivers

이재호*

Jae-Ho Lee*

요약

본 논문에서는 차세대 유럽형 방송 시스템인 DVB-T2(Digital Video Broadcasting-Second Generation Terrestrial) 수신기의 핵심블록인 BICM(Bit Interleaved Coded Modulation) 모듈의 구조를 설계하고 DSP(Digital Signal Processor) TMS320C6474를 통해 구현하였다. 실험결과를 통해 8비트 이상을 사용하는 고정소수점 BICM 모듈이 부동소수점 BICM 모듈과 거의 동일한 BER(Bit Error Rate) 성능을 나타냄을 알 수 있었다.

Abstract

In this paper, we design the hardware architecture of the BICM(Bit Interleaved Coded Modulation) module for next generation European broadcast system and implement the BICM module with DSP(Digital Signal Processor) TMS320C6474. Simulation result shows that the BER(Bit Error Rate) performance of the fixed-point BICM module using more than 8 bits is very similar to that of the floating-point BICM module.

Key words : DVB-T2, Receiver, BICM, DSP

I. 서론

한정된 자원을 이용하여 고품질의 방송 서비스를 제공하는 차세대 유럽형 지상파 방송인 DVB-T2(Digital Video Broadcasting-Second Generation Terrestrial)는 기존의 DVB-T보다 30% 이상의 전송 효율을 향상시켰으며 기존의 Convolution-RS(Reed-Solomon) 연결 부호를 LDPC(Low Density Parity Check)-BCH(Bose-Chaudhuri-Hocquenghen) 연결 부호로 전환하여 오류 정정 능력을 향상시켰다 [1],[3]. 또한 비트, 셀,

시간, 주파수 인터리빙(Interleaving)을 이용하고, VCM(Variable Coding and Modulation) 및 ACM(Adaptive Coding and Modulation)을 지원한다. 성상회전(rotated constellation), MISO(Multiple Input Single Output) 다이버시티와 같은 최신의 기술을 채택하였으며, 훈련신호의 오버헤드를 줄이기 위해서 FFT 크기와 보호구간의 길이에 따라서 다양한 훈련신호 패턴을 사용하였다. DVB 표준화와 선진국들의 기술개발 동향을 분석해볼 때 통신 사업자와 방송 사업자간의 무한 경쟁체제로 재편되는 시장에서 경쟁력을 확보하기 위해서는, 수신기에서 수행하는 OFDM 복조,

* 서울여자대학교

· 제1저자 (First Author) : 이재호

· 투고일자 : 2011년 7월 21일

· 심사(수정)일자 : 2011년 7월 21일 (수정일자 : 2011년 8월 21일)

· 게재일자 : 2011년 8월 30일

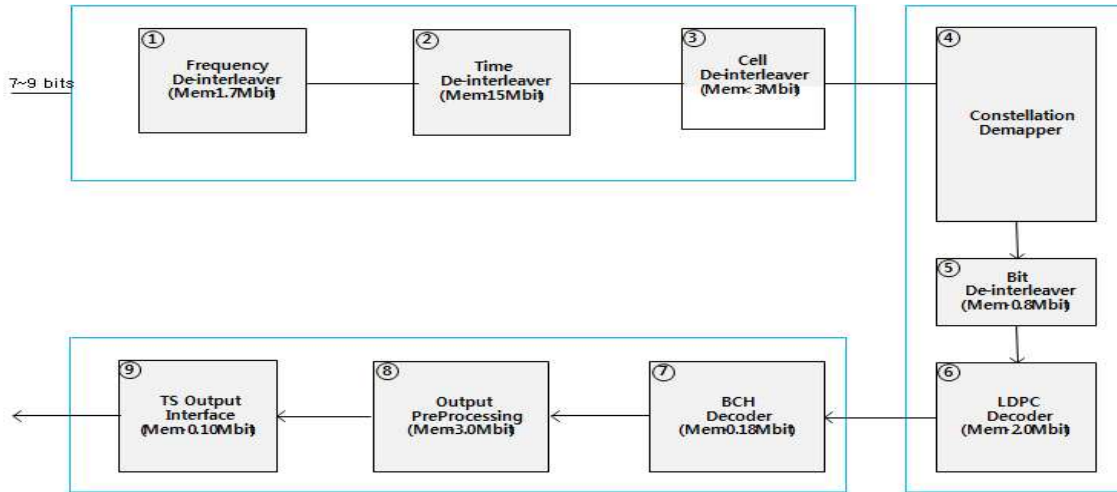


그림 1. DVB-T2 수신 BICM: data and common PLP
 Fig. 1. BICM part of DVB-T2 receiver: data and common PLP

BCH/LDPC 복호 기능 등을 효율적으로 융합화하고 각 시스템 고유 기능을 수행할 수 있는 복잡화를 통해 새로운 수신 칩셋이나 플랫폼을 개발할 필요가 있다. 따라서 본 논문에서는 DVB 규격 간의 융복합화를 위한 토대를 마련하기 위해서 DVB-T2 수신기의 핵심블록인 BICM 모듈의 하드웨어적인 구조를 제시하고, BICM 모듈을 고정소수점 DSP(TMS320C6474)로 구현하여 입력 비트 수에 따른 BER(Bit Error Rate) 성능을 평가한다.

본 논문의 II 장에서 DVB-T2 수신기의 BICM 모듈 구조를 간략히 기술하고, III장에서는 DVB-T2 BICM 모듈을 부동소수점 실험결과와 고정 소수점 실험결과를 비교하여 검증한다. IV장에서 결론을 맺는다.

II. DVB-T2 수신기 BICM 모듈 구조

DVB-T2 기저대역 수신기는 BICM부분과 OFDM 부분으로 나눌 수 있다. BICM은 다시 채널 코딩 부분과 인터리빙, 변조(복조)로 구성되어 있다 [2].

하나의 방송 채널에서 다양한 오류 부호화율, 변조 지수, 비트, 셀, 시간, 주파수 인터리버 등을 사용하는 PLP (Physical Layer Pipe) 개념을 도입하였다.

본 논문에서 고려하는 BICM 모듈은 그림 1과 같

이 9개의 블록으로 구성되어 있다. ①-③까지는 연접 오류 및 협대역 간섭의 영향을 줄이기 위해 적용된 주파수 및 시간 그리고 셀 인터리버의 디인터리버 과정을 거친다. ④는 회전된 수신 심볼을 2D-LLR(2 Dimensional Log-Likelihood Ratio)로 출력하는 성좌도 디매퍼 블록이다. 이렇게 출력된 LLR 값은 다시 ⑤의 비트 디인터리버를 거친 후 ⑥의 LDPC 디코더와 ⑦의 BCH 디코더의 연접 디코더를 통해 높은 에러 정정 능력을 가지게 된다. 최종적으로 ⑧의 Output Preprocessing 블록에서 Stream 및 Mode Adaptation 과정을 거친 후 ⑨의 TS Output Interface 블록을 통해 최종 출력을 내보낸다.

2-1. Freq./Time/Cell De-Interleaver 구조

인터리버는 랜덤한 패턴의 에러가 발생하도록 사용되는 기술로, DVB-T2에는 그림 2와 같이 세 가지의 인터리버가 존재하고 추가적으로 BICM 블록에 들어 있는 비트 인터리버까지 4가지의 인터리버가 사용된다. 시간 인터리버 또는 셀 인터리버는 슬라이스 전체를 통해 BICM 블록들로부터 데이터 셀들을 분산시키기 위해서 사용된다. 주파수 인터리버는 하나의 OFDM 심볼에서 인접한 데이터 셀들을 랜덤화하기 위해 사용된다 [1].

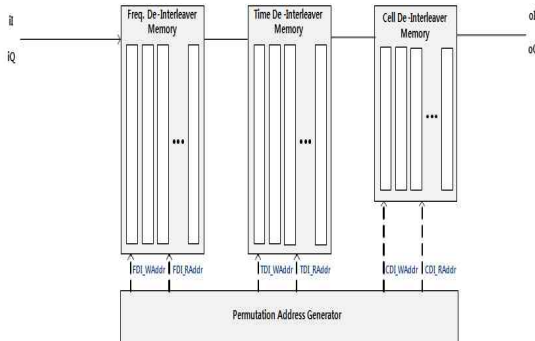


그림 2. 주파수/시간/셀 디인터리버 구조도
Fig. 2. Freq./Time/Cell De-interleaver

2-2. Constellation Demapper 구조

Constellation Demapper 블록은 복조 방식을 적용하여 LLR 값을 출력한다. 그러나 구현상 복잡도가 크기 때문에 일반적으로 Max-Log Approximation을 적용하여 LLR값을 구한다 [3].

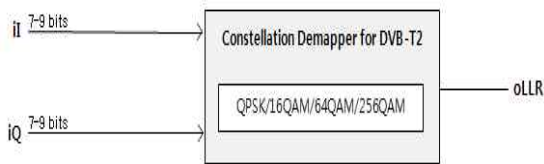


그림 3. 성좌도 디맵퍼
Fig. 3. Constellation Demapper

2-3. Bit-Deinterleaver 구조

송신국에서 QPSK 변조하여 전송할 경우에는 비트 인터리버를 수행하지 않는다. 따라서 그 나머지 변조 차수인 16QAM, 64QAM, 256QAM의 경우에는 변조 차수 및 블록의 길이에 따라 블록 인터리버를 수행한다. 그림 4에서 보는 것과 같이 데이터 외에도 데이터 패킷에 대한 변조차수 및 블록길이에 대한 정보가 필요하다. 또한 MOD 및 COD는 각각 변조차수 및 블록길이를 나타낸다.

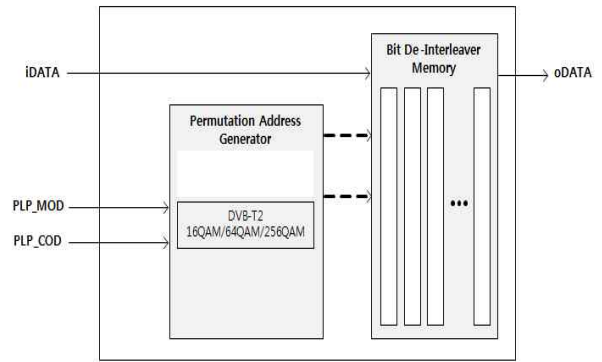


그림 4. 비트 디인터리버
Fig. 4. Bit De-Interleaver

2-4. LDPC Decoder 구조

높은 오류정정 능력을 가지고 있는 LDPC 복호기의 구조는 아래 그림과 같다. LDPC 복호 알고리즘은 크게 두 가지가 있다. 첫 째는 SPA(Sum-Product Algorithm)로 Log-domain에서 MAP(Maximum A Posteriori) 복호기 방식을 말한다. 두 번째는 MSA(Min-Sum Algorithm)으로 SPA의 복잡도를 감소시키기 위하여 복호기 입력의 LLR 변환이 생략되고 곱의 연산이 없어져서 복잡도가 감소하는 장점이 있다. 그러나 SPA 비해 성능이 떨어지는 단점이 있다. 한편, LDPC 블록의 길이가 길어지면 복호방식에 따른 복잡도와 상관없이 복잡도가 증가한다. 하지만 그림 5와 같이 Shuffler 네트워크를 통한 효율적인 메모리 주소 관리를 통해 저복잡도 특성을 갖는 구조를 갖게 된다.

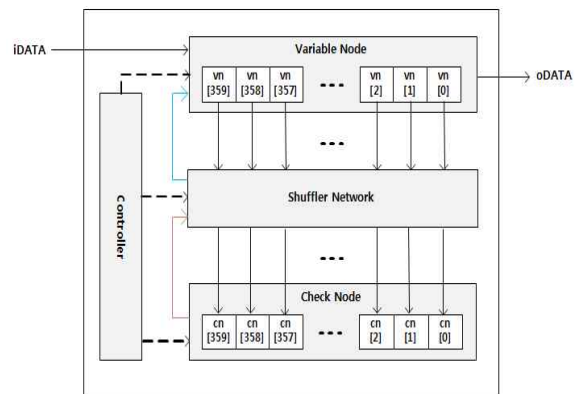


그림 5. LDPC 복호기
Fig. 5. LDPC Decoder

2-5. BCH Decoder 구조

LDPC 디코더와 연접으로 구성되어 있는 BCH 디코더의 구조는 아래의 그림과 같다. BCH 디코더는 입력데이터의 오류를 찾기 위해 신드롬을 계산한 뒤 에러 위치 다항식의 계산을 통해 오류 위치를 판별하여 지연된 원래의 입력 데이터를 보정 후 출력한다.

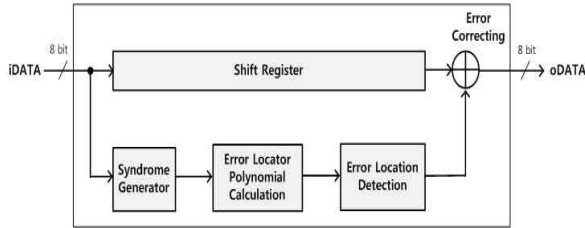


그림 6. BCH 복호기
Fig. 6. BCH Decoder

2-6. Output Preprocessing & TS Output Interface 구조

BCH 출력을 DVB-T2에서 지원하는 TS(Transport Stream) 형태로 전환하기 위하여 송신기 Input Processing(Mode/Stream Adaptation)의 역과정을 거친다.

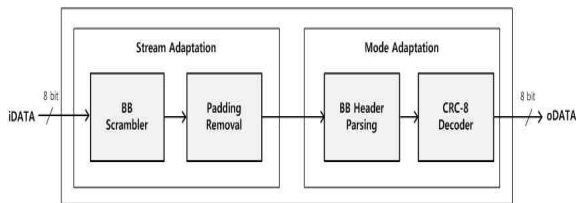


그림 7. Output Preprocessing 구조도
Fig. 7. Architecture of Output Preprocessing

III. DVB-T2 수신기를 위한 BICM 모듈의 DSP 구현

본 절에서는 DSP를 이용하여 DVB-T2 수신기를 위한 BICM 모듈을 구현하고 BER 성능을 평가하였다. DSP는 DUAL TMS320C6474이고 CCS(Code Composer Studio)를 사용하여 시뮬레이터를 구축하였다. 그림 8은 실험에 사용한 DSP 모듈을 나타낸다.

DSP 기반의 DVB-T2 BICM의 검증 환경은 표1과 같다.

표 1. 실험 파라미터
Table 1. Simulation parameter

| | |
|---------------------|------------|
| channel | AWGN |
| Modulation | QPSK/8PSK |
| Overall coding rate | 3/5 |
| Block Length | 64800 bits |
| Decoding Type | MSA |

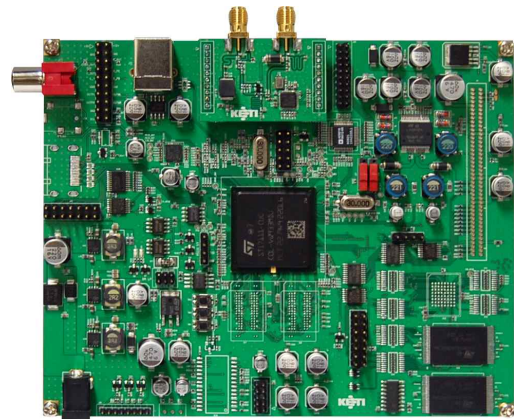


그림 8. DUAL TMS320C6474 DSP
Fig. 8. DUAL TMS320C6474 DSP

송신국에서 8PSK 변조하여 전송한 경우, 채널 통과 후 USB(Universal Serial Bus)를 통하여 DSP의 입력으로 주었다. 그림 9는 높은 SNR에서 DSP에 입력된 신호의 성좌도를 나타낸다.

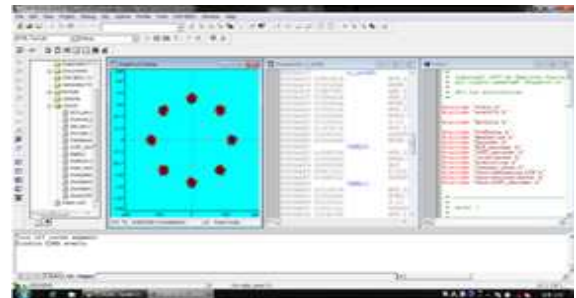


그림 9. DSP를 이용한 BICM 모듈 테스트
Fig. 9. BICM Module Test using DSP

DVB-T2의 BICM 부분을 컴퓨터를 이용한 부동소수점 실험 결과와 고정소수점(7-9bit)으로 전환하여 DSP를 이용한 실험 결과와 비교하였다. 그림 9와 같이 낮은 SNR에서는 고정소수점 실험과 부동소수점

실험 사이의 차이가 없었으나 높은 SNR로 이동할수록 입력 비트가 7일 경우는 부동소수점 실험 결과보다 성능 열화 현상이 나타났다. 따라서 DSP를 통하여 실험한 결과 8비트 이상을 사용할 때, 부동소수점과 흡사한 BER 성능을 가질 것으로 판단할 수 있다.

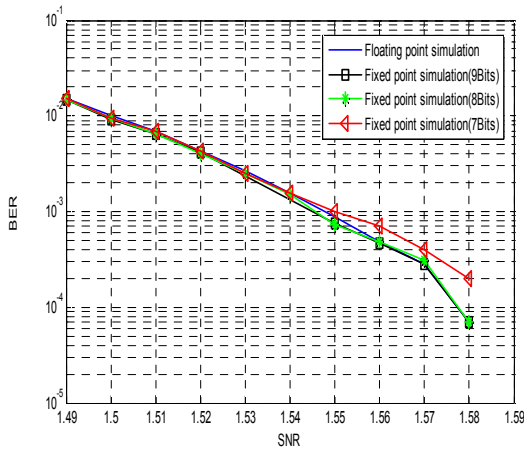


그림. 10. QPSK 변조일 때의 BER 성능
Fig. 10. BER Performance with QPSK Modulation

V. 결 론

DVB-T2의 BICM 부분을 DSP를 이용하여 성능을 평가하였다. AWGN 채널에서 부동소수점 실험 결과와 고정소수점 7-9비트 실험 결과를 비교하였다. 상대적으로 낮은 SNR에서는 부동소수점과 고정소수점 실험의 성능 차이는 미비하였으나 SNR이 커질수록 고정소수점 7비트의 경우는 성능 열화가 커지므로 최소한 8비트의 고정소수점이 환경이 구축되어야 함을 확인하였다. 이 연구결과를 토대로 향후 DVB-T2/C2 콤보 수신기에 적합한 BICM 모듈 구조 설계와 구현을 수행할 예정이다.

참 고 문 헌

[1] 서정욱, 김현식, 전원기, 백종호, 김동구, "ASO(Analogue Switch Off) 시대를 위한 차세대 지상파 TV 표준 DVB-T2 기술 소개," vol. 25. no. 8. pp. 55-61 *한국통신학회지* 8월 2008년

[2] ETSI EN 302 755 V.1.1.1 : Digital Video

Broadcasting(DVB); *Frame structure, channel coding and modulation for a second generation digital terrestrial television(DVB-T2)*, June 2008.

[3] DVB Document A133: *Implementation Guideline for a Second Generation Digital Terrestrial Broadcasting System(DVB-T2)*, Feb. 2009, www.dvb.org.

이 재 호



1992: 연세대학교 산업대학원 전자계산 석사
2001: (주)아이셋 창업(연구소장)
2009 - 현재: 서울여자대학교 정보미디어대학 교수