

실리콘 나노리본을 이용한 유연한 패시브 매트릭스 소자 제작

신건철 · 하정숙[†]

고려대학교 화공생명공학과
136-713 서울특별시 성북구 안암동 5가
(2010년 11월 3일 접수, 2010년 12월 9일 채택)

Fabrication of Flexible Passive Matrix by Using Silicon Nano-ribbon

Gunchul Shin and Jeong Sook Ha[†]

Chemical and Biological Engineering, Korea University, 5-ga, Anam-dong, Seongbuk-gu, Seoul 136-713, Korea
(Received 3 November 2010; accepted 9 December 2010)

요 약

대표적인 반도체 소재인 실리콘을 유연소자로 이용하기 위하여 매우 얇은 나노리본 형태로 제작하였다. p-타입과 n-타입 도핑 그리고 고유한 영역으로 구성된 실리콘 소자(p-i-n 접합소자)를 가로/세로 100라인씩 연결하여 총 10,000개의 어레이 소자를 구현하였고 그 크기는 대각선 1인치에 달했다. 이 패시브 매트릭스 소자는 p-n 접합 소자에 비해 교차 혼선에 의한 역전류가 적어 정류비가 10^4 이상의 값을 나타내었다. 완성된 소자는 불산 처리를 통해 기판으로부터 쉽게 떼어낼 수 있으며, 각각 PDMS 와 유연한 PET 필름에 전이할 수 있었다.

Abstract – Thin silicon ribbon was used for fabricating flexible silicon p-i-n junction devices, consisting of 100×100 arrays of pixels in 1 inch on the diagonal. Those passive matrix devices exhibited the rectification ratio $>10^4$ owing to smaller cross-talking current than that of p-n junction devices. P-i-n devices fabricated on silica/silicon substrates are easily detached by treatment with hydrofluoric acid and are subsequently transferred onto both PDMS and flexible PET film.

Key words: Silicon Nano-Ribbon, p-i-n Junction, Flexible, Passive Matrix

1. 서 론

실리콘은 현재 반도체 물질 중 가장 많이 사용되는 전자재료로서, 산업화를 통해 이미 수많은 공정 기술이 개발되어 있다. 따라서 실리콘을 이용하는 공정의 경우 최적화가 가능하며 소자 특성의 재현성 및 향상성의 확보가 용이하다. 현재 실리콘을 이용한 다양한 반도체 소자가 개발되어 사용되고 있으며 그 중 p-n 접합을 이용한 정류 소자는 대표적인 기본 소자 중 하나이다. p-n 접합 소자는 p-타입과 n-타입 실리콘의 접촉면에서 고갈영역이 생기면서 일정 전압 이상에서 p-타입 부분에 양의 전압, n-타입 부분에 음의 전압을 걸어주는 조건에서만 한 방향으로 전류가 흐르는 정류 작용을 하기 때문에, 전류 신호의 흐름을 제어하는데 이용될 수 있다. 일반적으로 실리콘 p-n 접합 소자는 고유한 실리콘의 원하는 부분에 이온 주입법(ion implantation)을 이용하여 첨가물(dopant)을 도핑하는 방법을 사용하여 제작된다[1].

최근 들어 유연한(flexible) 디스플레이나 입는 컴퓨터와 같은 유연한 소자 개발에 대한 관심이 확대되어 유기 소자 및 나노재료를 이

용한 소자 개발이 활발하게 진행되고 있다[2-6]. 그러나 유기물이나 나노 소재 등은 소자의 성능이 낮고 안정성이 떨어지며 공정성이 확보되지 않아 대면적에 응용하거나 상용화를 하기에는 기술적인 제약이 많으며 해결해야 할 과제들이 많이 남아있는 상황이다. 유연한 소자의 연구로서 또 하나의 접근법은 기존의 실리콘 소재를 직접 응용하는 것으로 이는 기존의 산업화 및 표준화되어 있는 각종 공정 기술 및 장비 등을 그대로 사용할 수 있으며 공정성 및 재현성이 확보되는 장점이 있다. 기존의 소자 공정에서는 실리콘 기판을 기반으로 공정이 진행되기 때문에 딱딱한 기판위에 제작이 되어 구부리거나 휘 수 없는 소자 형태이며, 유연한 고분자 기판에 제작을 하더라도 실리콘 공정 온도의 제약으로 인하여 공정이 불가능하였다.

본 연구에서는 실리콘 소자를 기존의 실리콘 기판에서 제작하여 공정온도의 제약을 받지 않으며, 실리콘을 나노리본 형태로 제작하고 위아래를 고분자 층으로 덮음으로서 구부림에 의한 스트레인을 흡수하게 하였고, 최종적으로 완성된 소자를 그대로 유연한 기판에 전이하는 방법으로 유연한 실리콘 p-n 접합 소자 어레이를 제작하였다. 또한 디스플레이 등의 기반소자로 응용되는 패시브 매트릭스를 기존 디스플레이에 사용되는 스케일인 수백 마이크로 수준으로 제작하였고, 소자 전체 크기를 대각선 기준으로 1인치까지 구현하여 정류 특성을 확인하였다.

[†]To whom correspondence should be addressed.
E-mail: jeongsha@korea.ac.kr

[‡]이 논문은 고려대학교 홍석인 교수님의 정년을 기념하여 투고되었습니다.

2. 실험방법

소자 제작은 일반적인 청정실(clean room) 기술과 각종 에칭 및 증착 장비를 이용하였고, Fig. 1(a)에 자세한 공정 순서를 나타내었다. 200 nm 두께의 실리콘과 55 nm 두께의 실리콘 옥사이드 그리고 실리콘 기판으로 구성되어 있는 SOI(Silicon On Insulator) 웨이퍼 (Soitec 사)를 준비하여 가로/세로 각 3 cm의 크기로 자른 후, 아세트산-프로판올-정제수를 이용하여 세척한다. 해당 기판을 플라즈마 강화된 화학기상증착(PECVD: Plasma Enhanced Chemical Vapor Deposition) 장비를 이용하여 도핑의 가로막이로서 실리콘 옥사이드를 300 nm 증착한다. 광리소그래피 공정을 통해 n-타입으로 도핑될 부분을 패터닝하여 실리콘 옥사이드를 제거해주고 spin-on-dopant 인 B219 (Filmtronics 사)를 코팅한 후 950 °C 오븐에서, 10 분간 열처리해준다. 불산과 피라냐 용액(piranha)를 이용하여 불필요한 첨가물과 실리콘 옥사이드 가로막(barrier)을 제거해주고 같은 방법으로 p-타입 도핑을 한다. p-타입 첨가물은 P506(Filmtronics 사)를 사용하였고 1,050 °C에서 10 분간 열처리를 하였다. 광리소그래피 공정과 반응성 이온식각(RIE: Reactive Ion Etching) 공정으로 실리콘을 100 μm 크기의 정사각형으로 패터닝한 후 2 μm 두께의 폴리이미드(PI: Polyimide)를 스핀코팅하고 열처리하였다. 전극 연결을 위해 반응성 이온식각 공정으로 각각 p-타입과 n-타입 실리콘 위의 폴리이미드를 식각 하고 스퍼터(sputter) 장비를 이용하여 크롬(Cr) 30 nm과 금(Au) 120 nm 전극을 증착한다. 전자빔(e-beam) 증착기에 비해 상대적으로 방향성 없이 증착되는 스퍼터 장비를 이용하여 증착함으로써 1.2 μm 두께의 폴리이미드 구멍을 위아래로 연결할 수 있었다. 소자의 위층은 불활성화(passivation) 및 스트레인 흡수를 위해 폴리이미드 층을 스핀코팅하였고, 반응성 이온식각 및 전극 에칭을 통해 바닥 층인 실리콘까지 작은 구멍(직경 10 μm)을 뚫어 불산 처리로 쉽게 전이할 수 있게 하였다. 20분 간 불산 처리된 소자는 SOI 기판의 실리콘 옥사이드가 모두 제거되어 유연한 PDMS(Polydimethylsiloxane) 고분자 기판위에 접촉함으로써 쉽게 전이할 수 있다. 또한 불산 처리된 기판을 물에 넣어서 기판과 소자를 분리한 후 유연한 고분자 필름,

여기서는 PET 필름위에 올려놓음으로서 유연한 소자를 완성하고 이의 정류 특성 등을 확인하였다.

3. 실험결과 및 고찰

패시브 매트릭스를 구성하는 요소는 Fig. 1(b)에 보이는 것과 같이 각각 p-타입과 n-타입 영역의 반도체 물질과 어레이를 구성하는 두 방향의 전극 라인이다. 우리는 100 μm×100 μm 크기의 실리콘 단위 픽셀을 200 μm 간격으로 배치하고 25 μm 폭의 금속전극 라인을 서로 교차하여 디자인하였다. 픽셀은 전체 소자에 가로 100 라인, 세로 100 라인으로 총 10,000 개로 구성되어 있으며, 마지막 라인에는 측정용 전극 라인과 전이시 안정성을 확보하기 위한 더미라인으로 구성되어 있다. 전체 크기는 가로, 세로 약 20 mm로 대각선 길이로 1 인치를 상회하고 있다. 여기서 단위 픽셀 크기 100 μm는 상용 패시브 매트릭스 소자의 스케일(~수백 μm)에 근접하고 있으며, 패시브 매트릭스 특성상 소형 디스플레이에 주로 쓰이는 1인치대 규격을 목표로 진행하였다.

제작하고자 하는 소자의 측면도와 평면도를 Fig. 2(a)에 나타내었다. SOI 기판위의 위쪽 실리콘 부분을 도핑하고 패터닝하여 실리콘 p-n 접합 소자를 만들고 크롬과 금전극을 올리고 PI 고분자를 위아래로 덮어 소자가 휘어질 때 받는 스트레인을 최소화 하는 물리적 중립면(Neutral Mechanical Plane) 구조를 적용하였다[7]. 유연성이 좋은 고분자 층을, 보호하고자 하는 물질 위아래로 위치하게 하여 구부릴 때 발생하는 늘어짐과 압축되는 위아래면 사이에 스트레인이 최소화 되는 영역을 이용하는 구조이다. 이런 구조적 특징을 극대화하기 위해 실리콘은 두께가 매우 얇은 나노 리본 형태로 제작되며, 도핑된 p-타입 영역과 n-타입 영역 사이에 도핑되지 않은 고유 영역을 남겨두어 정류특성을 향상시키고 전기적 깨짐현상(Electrical break-down)이 일어나는 것을 최소화하였다. 위와 같은 p-i-n 접합 구조는 실리콘 고유 영역의 높은 감도를 이용하여 빛 감지기 등으로 응용하기도 한다[8,9]. 또한 행과 열 방향으로 각각 100개의 라인이 연속적으로 연결되어 있는 패시브 매트릭스 구조이기 때문에 다이오드

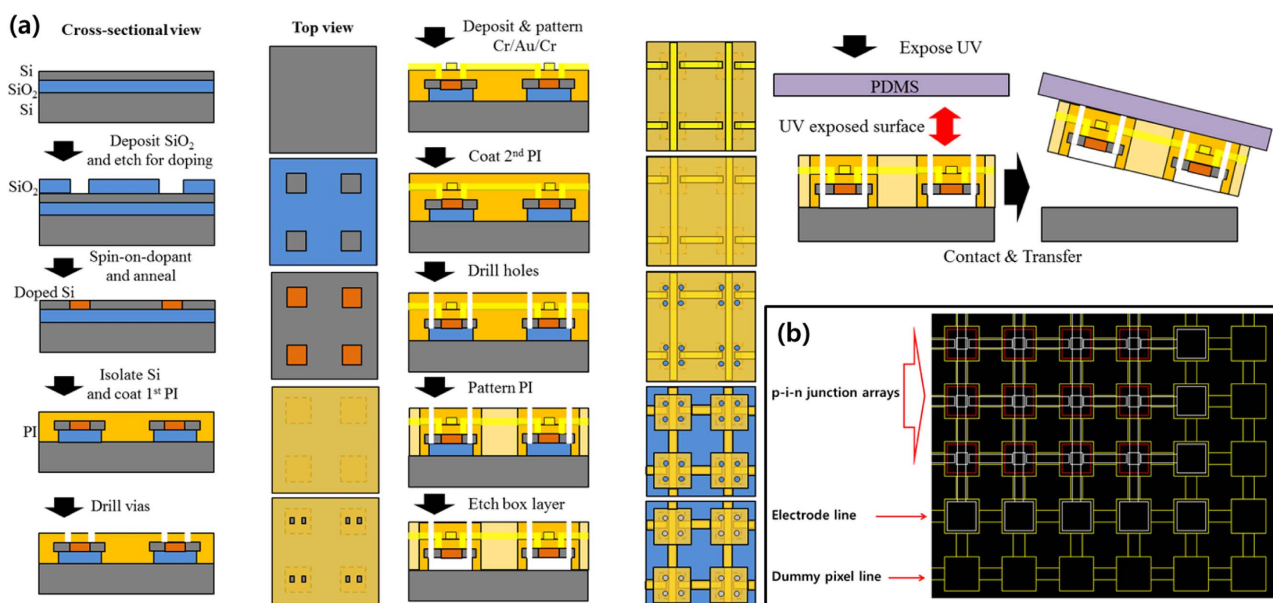


Fig. 1. (a) Schematic illustration of fabrication process, (b) Photomask design of silicon passive matrix.

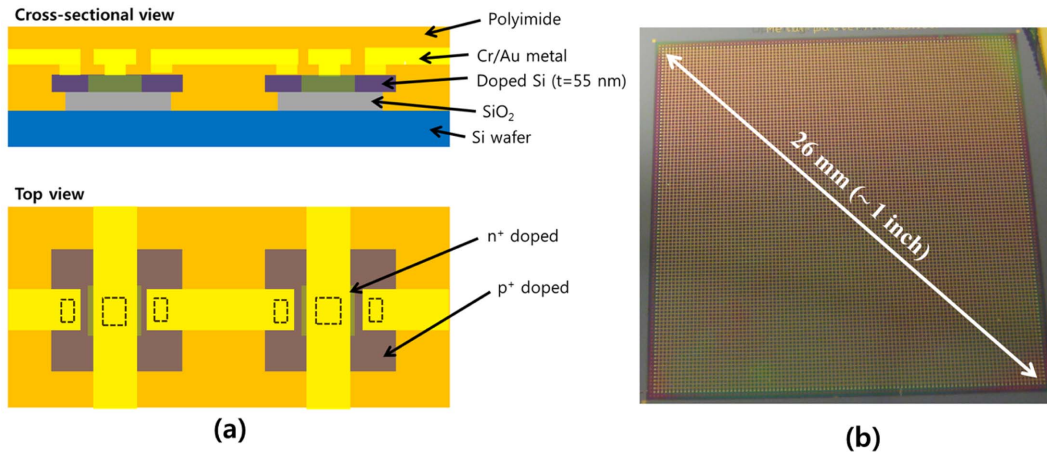


Fig. 2. (a) Device illustration with cross-sectional and top view, (b) Photograph of fabricated device chip.

의 거울 전류(reverse current)가 축적되어 무시하지 못할 정도로 커지는 현상이 생기며 이는 원치 않은 교차 전류 신호를 제대로 인지하지 못하게 할 수 있다. 여기서 우리는 앞서 언급한 p-i-n 접합 구조를 이용하여 우회해서 통하는 전류를 막아 높은 정류비를 달성하고자 하였다.

Fig. 2(b)에서는 위의 방법으로 제작 완료된 칩의 사진을 나타내었다. 대각선 길이 26 mm, 약 1 인치를 상화하며 가로 세로 100라인으로 총 10,000개의 실리콘 p-n 접합 소자로 구성되어 있으며 어레이의 마지막 라인만 측정용 전극 라인으로 제작되었다. 측정용 전극은 동일한 크기의 정사각형 형태로 제작되어 최외각 전 라인에 위치했으며, 측정의 용이성과 실제 소자의 안정성을 모두 확보할 수 있고 차후 외부 연결과의 접점으로 활용될 수 있다. 최외각 라인은 소자 전이시 불균형한 스트레인에 의하여 뜨는 현상이 발생할 수 있으므로, 소자 구동과는 관계없는 더미 픽셀로 구성하였다.

p-n 접합과 p-i-n 접합 특성 비교를 위해 같은 크기의 어레이로 구성된 소자를 각각 제작하였다. Fig. 3에서는 (a) p-n 접합 소자와 (b) p-i-n 접합 소자를 나타내었다. 가로 세로 100 μm의 크기의 실리콘 픽셀로 구성된 소자는 실리콘의 외곽부분을 p-타입으로 도핑하고 안쪽부분을 n-타입으로 도핑했으며, (b)의 경우에는 이들 사이에 도핑하지 않은 고유 영역을 남겨두었다. 확대된 광학이미지에서도 나타내듯이 도핑한 영역은 각각 서로 다른 색으로 구별할 수 있으며 실

리콘 픽셀 위에 서로 수직방향으로 어레이용 전극을 증착하였다. 각각의 도핑이 과도핑 되었기 때문에 그 중 p-타입으로 도핑된 실리콘 영역을 전극의 일부분으로 이용하는 구조를 도입하여 양쪽 전극이 하나의 층으로 연결되었으며, 이는 제작 공정의 단순화에 기여를 하였다. 또한 층을 하나로 구성하여 수직 방향의 절연층이 필요 없으며, 전체 소자의 두께 또한 작아져서 구부림 시 받는 스트레인을 최소화 할 수 있다.

앞서 제작한 소자 각각의 정류 특성을 대표적인 소자의 전류/전압 특성으로 비교하여 Fig. 4에 나타내었다. (a)는 고유 영역 없이 p-타입과 n-타입이 직접적으로 연결된 p-n 접합 소자의 정류 특성으로 선형눈금(검정색 그래프)과 로그눈금(빨간색 그래프)으로 나타내었다. 소스와 드레인간의 전압이 -10 V에서 10 V로 변화할 때 순방향 전

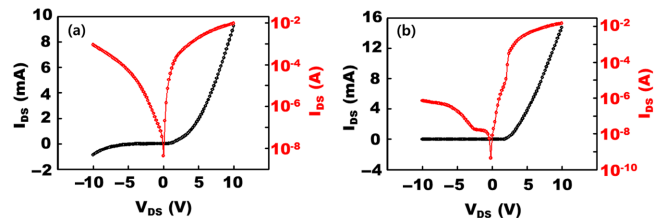


Fig. 4. Representative electrical characteristics of rectifying device with (a) p-n junction and (b) p-i-n junction.

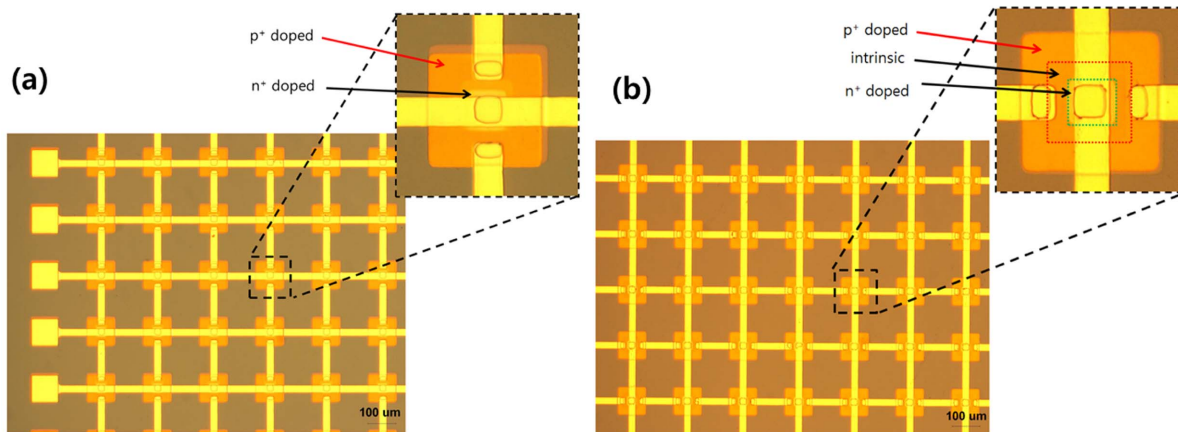


Fig. 3. Optical microscope image of silicon pixel arrays; (a) p-n junction and (b) p-i-n junction.

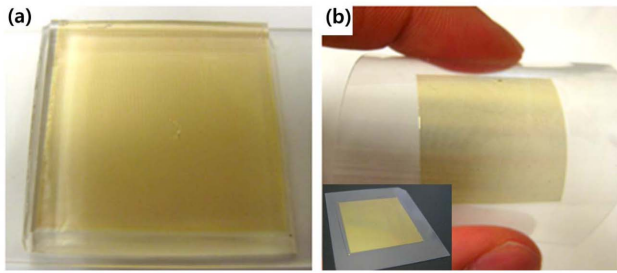


Fig. 5. PM device arrays transferred on (a) PDMS polymer and (b) flexible PET film.

류가 10^{-2} A까지 증가하며, 역방향 전류는 -10^{-3} A까지 나오는 것으로 측정되었다. 이는 단일 소자가 아닌 어레이 소자에서 나타나는 현상으로 작은 역방향 전류가 차단되지 않고 전체 어레이 소자를 통해 우회하는 경로를 따라 흐르게 되어 상대적으로 높은 누설 전류 값으로 나타나게 되었다. 반면에 도핑된 영역 사이에 고유 영역을 구성하여 제작한 p-i-n 접합 소자의 경우에는 위와 같은 어레이 소자에서도 역방향으로 흐르는 전류를 상대적으로 키진 고갈 영역이 차단하게 되어 높은 정류비를 얻을 수 있었다. 각 소자의 정류비는 +10 V와 -10 V를 기준으로 p-n 접합소자의 경우 약 10의 값을, p-i-n 접합소자의 경우 10^4 이상의 값을 보여주었다. 또한 p-i-n 접합 소자의 특성으로 나타나는 현상으로 도핑된 영역 가운데 고유 영역이 p-n 접합 소자에 비해 크게 존재하므로 고갈 영역이 크게 되어 일정 전압 이상이 가해지기 전까지는 p-n 접합 소자에 비해 전류 나르게 흐름(current carrier flow)이 낮으나 어느 순간(약 2 V 부근)부터는 한꺼번에 더 많은 나르게 흐름이 생겨서 급격하게 전류가 증가하는 것을 확인할 수 있었다[10,11].

SOI 기판 위에 제작된 실리콘 패시브 매트릭스 소자 어레이는 불산 용액에 20분간 넣어서 구멍을 통해 위쪽 실리콘 아래의 산화된 실리콘이 에칭되어 전이하기 쉬운 상태가 된다. 이때 작은 힘으로도 쉽게 웨이퍼로부터 분리할 수 있으며, PDMS 고분자의 접착력을 이용해 간단히 접촉함으로써 쉽게 기판으로부터 소자를 접촉한 PDMS로 전이할 수 있다. PDMS의 강한 접착력과 떼어낼 때의 속도 등에 의해서 1인치 크기의 대면적 소자도 성공적으로 전이할 수 있었다. Fig. 5(a)는 전체 소자가 전이된 PDMS 이미지이다. 또한 불산 처리된 칩을 물에 넣으면 부력만으로 소자가 웨이퍼로부터 분리되는데 이때 물위에 뜬 소자를 유연한 기판위에 쉽게 전이할 수 있다. 유연한 기판에 전이된 소자는 쉽게 구부릴 수 있으며 해당 이미지를 Fig. 5(b)에 나타내었다.

4. 결 론

본 논문에서는 실리콘을 나노 리본 형태로 제작한 후 p-i-n 유연 소자 제작에 응용하였다. 약 55 nm 두께와 가로/세로 각각 100 μ m

크기의 실리콘 나노리본을 픽셀로 하여 spin-on-dopant로 p-타입과 n-타입으로 도핑하였고, 가운데 고유 영역을 두어 교차 혼선에 의한 역전류를 감소시켰다. 전체 1인치 크기의 소자를 제작하여 총 10000개의 p-i-n 접합 소자를 구성하였으며, p-n 접합 소자에 비교하여 매우 향상된 정류 특성을 보였다. 완성된 소자는 불산 처리를 통해 전이가 쉽게 될 수 있도록 기판으로부터 들어 올려졌으며, 접착성이 좋은 PDMS 고분자 기판과 유연한 PET 필름으로 각각 전이하였다. 본 연구에서 확인한 실리콘 소재를 유연소자로 활용할 수 있는 가능성은 차후 각종 센서, 태양광전지, 트랜지스터, 다이오드 등 다양한 고성능 소자로의 응용을 기대할 수 있게 한다.

감 사

본 연구는 한국과학재단의 나노원천기술개발사업(2010-0019180), 도약연구지원사업(2010-0018932), 및 핵심연구지원사업(2010-0010374) 연구비에 의하여 수행되었습니다.

참고문헌

- Armini, A. J., Bunker, S. N. and Spitzer, M. B., "Non-mass-analyzed Ion Implantation Equipment for high Volume Solar Cell Production," Proc. 16th IEEE Photovoltaic Specialists Conference, 895(1982).
- Sirringhaus, H. and Ando, M., "Materials Challenges and Applications of Solution-processed Organic Field-effect Transistors," *MRS Bull.* **33**, 676(2008).
- Lodha, A. and Singh, R., "Prospects of Manufacturing Organic Semiconductor-based Integrated Circuits," *IEEE Trans. Semicond. Manuf.* **14**, 281(2001).
- Klauk, H., Halik, M., Zschieschang, U., Eder, F., Schmid, G. and Dehm, C., "Pentacene Organic Transistors and Ring Oscillators on Glass and on Flexible Polymeric Substrates," *Appl. Phys. Lett.* **82**, 4175(2003).
- Klauk, H., Zschieschang, U., Pflaum, J. and Halik, M., "Ultralow-power Organic Complementary Circuits," *Nature*, **445**, 745(2007).
- Sekitani, T., Yokota, T., Zschieschang, U., Klauk, H., Bauer, S., Takeuchi, K., Takamiya, M., Sakurai, T. and Someya, T., "Organic Nonvolatile Memory Transistors for Flexible Sensor Arrays," *Science*, **326**, 1516(2009).
- Kim, D.-H., Ahn, J.-H., Choi, W.-M., Kim, H.-S., Kim, T.-H., Song, J., Huang, Y. Y., Zhuangjian, L., Chun, L. and Rogers, J. A., "Stretchable and Foldable Silicon Integrated Circuits," *Science*, **320**, 507 (2008).