

나노결정 InGaZnO 산화물 박막트랜지스터와 비결정 InGaZnO 산화물 박막트랜지스터의 소자 신뢰성에 관한 비교 연구

신현수¹, 안병두², 임유승¹, 김현재^{1,a}

¹ 연세대학교 전기전자공학과

² 삼성전자주식회사 LCD 사업부

Comparison of Stability on the Nano-crystalline Embedded InGaZnO and Amorphous InGaZnO Oxide Thin-film Transistors

Hyun Soo Shin¹, Byung Du Ahn², Yoo Seung Rim¹, and Hyun Jae Kim^{1,a}

¹ School of Electrical and Electronic Engineering, Yonsei University, Seoul 120-749, Korea

² LCD R&D Center, Samsung Electronics Co., Ltd., Yongin 446-711, Korea

(Received April 5, 2011; Revised May 2, 2011; Accepted May 13, 2011)

Abstract: In this paper, we have compared amorphous InGaZnO (a-IGZO) thin-film transistor (TFT) with the nano-crystalline embedded-IGZO (N_c -embedded-IGZO) TFT fabricated by solid-phase crystallization (SPC) technique. The field effect mobility (μ_{FE}) of N_c -embedded-IGZO TFT was 2.37 cm^2/Vs and the subthreshold slope (S -factor) was 0.83 V/decade, which showed lower performance than those of a-IGZO TFT (μ_{FE} of a-IGZO was 9.67 cm^2/Vs and S -factor was 0.19 V/decade). This results originated from generation of oxygen vacancies in oxide semiconductor and interface between gate insulator and semiconductor due to high temperature annealing process. However, the threshold voltage shift (ΔV_{TH}) of N_c -embedded-IGZO TFT was 0.5 V, which showed 1 V less shift than that of a-IGZO TFT under constant current stress during 10^5 s. This was because there were additionally less increase of interface trap charges in N_c -embedded-IGZO TFT than a-IGZO TFT.

Keywords: IGZO, Oxide transistor, Nano-crystal, Constant current stress

1. 서론

산화물 반도체는 넓은 밴드갭을 가지고 가시광선 영역에서 투명하며 고이동도를 가지고 있으며 소자 신뢰성이 좋아 차세대 평판디스플레이, 투명디스플레이 및 플렉서블 디스플레이 등에 응용될 수 있을 것으로 기대되고 있다 [1]. 최근에는 우수한 소자 특성 및 신뢰성 측면에서 기존 비정질 실리콘 박막트랜지

스터 (a-Si TFT)와 유기 트랜지스터의 대안으로 부각되고 있다 [2,3]. 하지만 산화물 박막트랜지스터는 많은 장점에도 불구하고 전기적 특성이 p-Si TFT에 는 미치지 못한다 [4,5].

최근에 이러한 한계를 극복하고자 소자 특성 및 신뢰성 향상에 대한 연구가 활발히 진행되고 있다 [6-12]. 다양한 물질의 조합을 통한 특성 향상뿐만 아니라 [6,7] 산화물 반도체 증착 시 다양한 조건들에 따라 전기적 특성이 달라짐이 보고되었다. 특히, 열처

a. Corresponding author: hjk@yonsei.ac.kr

리 조건, 소스-드레인 종류에 따른 접촉 저항에 따른 전기적 특성 변화뿐만 아니라 여러 종류의 게이트 산화물을 비교하여 각 산화물이 신뢰성에 미치는 영향에 대해 보고된 바 있다 [8-11]. 그 외에 박막트랜지스터에서 사용하는 반도체 보호층의 유무와 종류에 따른 소자 신뢰성이 어떻게 달라지는지에 대한 연구 결과도 주목할 만하다 [12]. 이러한 산화물 박막트랜지스터의 소자 신뢰성은 기존 a-Si TFT 연구에 근간을 두고 있으며, 구조적인 측면에서 같은 비결정성을 이루고 있어서 메커니즘이 거의 유사한 것으로 알려져 있다 [13].

지금까지 ZnO를 기반으로 하는 산화물 반도체에 대한 연구가 진행되었는데, 그 중에 InGaZnO (IGZO) 산화물 박막트랜지스터가 일본의 도쿄공대의 Hosono 그룹에서 처음 발표된 이래로 가장 많이 연구되었다 [4]. 이는 지금까지 보고되어진 산화물 박막트랜지스터 중에 전기적 특성이 가장 좋으며 소자 신뢰성 측면에도 좋은 특성을 보였기 때문이다. 하지만, IGZO 산화물 박막트랜지스터의 소자 신뢰성에 관한 연구는 비결정 IGZO (a-IGZO)에 대해서만 보고되었다 [14-17].

본 연구에서는 다결정 산화물 박막트랜지스터를 제작하여 그 특성을 분석하고 소자 신뢰성 측면에서 비결정 산화물 트랜지스터의 소자 신뢰성과 비교하여 비결정 및 다결정 산화물 박막트랜지스터의 소자 신뢰성에 영향을 주는 요인에 대해 분석하였다.

2. 실험 방법

2.1 샘플 구조 및 제작 공정

그림 1(a)는 실험에서 사용된 샘플의 구조를 나타내는 모식도이다. a-IGZO와 N_c -embedded-IGZO 두 샘플 모두 역스태거드 구조로 제작되었다.

그림 1(b)는 제작 공정에 대한 순서를 모식도로 나타내었다. 이번 실험에서 사용한 기판은 n^+ 로 도핑된 Si 기판이다. 이 Si 기판은 유리기판과는 다르게 별도의 게이트 전극을 형성할 필요가 없이 기판 자체를 n^+ 로 도핑하여 게이트로 사용할 수 있어 샘플 제작을 간단히 진행할 수 있다. 이렇게 준비된 Si 기판을 세정한 후 열산화 방법으로 실리콘 산화물 (SiO_2)을 100 nm를 형성하였다. 이렇게 준비된 기판 위에 직류 마그네트론 스퍼터링 (DC magnetron sputtering) 방

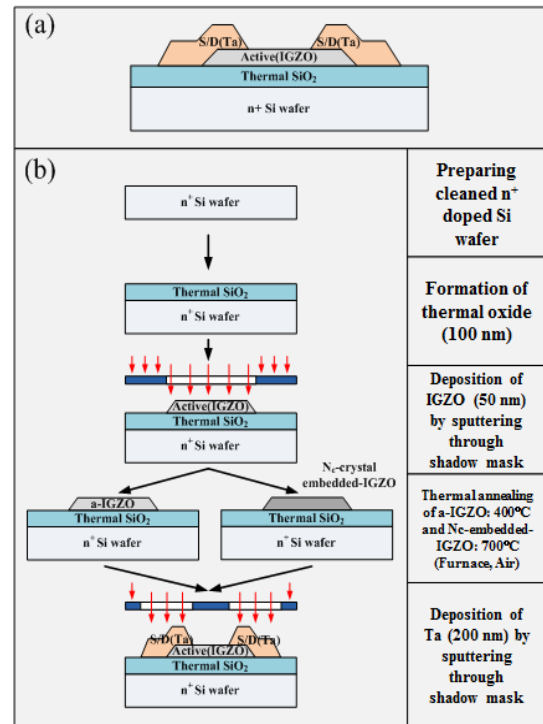


Fig. 1. Schematic diagrams of fabrication process of amorphous and N_c -embedded-IGZO TFTs with inverted staggered type.

법을 이용해서 a-IGZO 박막을 50 nm 두께로 증착하였다. 스퍼터링 증착 시 음영마스크 (Shadow mask)를 이용하여 패턴을 형성하였고, 이 때 사용된 증착 파워는 450 W, 증착 압력은 1 mTorr, 아르곤 (Ar)/산소 (O_2) 비율은 65/35였다. IGZO는 In:Ga:Zn=1:1:1 몰비를 가지는 타겟을 사용하였다. a-IGZO를 형성한 후 퍼니스 열처리 장비에서 공기분위기에서 400°C와 700°C로 각각 3시간 씩 열처리 하였다. 소스-드레인은 Ta를 스퍼터링 방법으로 200 nm 두께로 음영마스크를 이용하여 패턴을 형성하였다. 각 샘플의 결정 구조를 X선 회절 측정 방법으로 분석하였고 이때 측정에 사용한 샘플은 같은 기판위에 IGZO 박막을 200 nm 증착 한 후 각각 퍼니스 열처리 장치에서 트랜지스터 제작 방법과 동일한 조건으로 열처리하여 사용하였다.

2.2 샘플 측정

상온에서 전기적 특성에 관한 측정은 게이트 전압

Table 1. Comparison of the device characteristics of the amorphous and N_c -embedded-IGZO TFTs.

	μ_{FE} (cm^2/Vs)	S-factor (V/decade)	V_{TH} (V)	$I_{on/off}$ ratio	Total trap density (cm^{-3})
Amorphous IGZO TFT	9.67	0.19	0.03	2.14×10^8	1.57×10^{12}
N_c -embedded TFT	2.37	0.83	-3.60	1.35×10^7	4.35×10^{12}

을 변화시키면서 드레인 전류를 측정하였다. 드레인 전압을 5.1 V로 고정시킨 상태에서 게이트 전압을 30V에서 -30 V까지 0.2 V 단위로 감소시키면서 측정하였다. 소자 신뢰성 측정은 정전류 스트레스 방법을 사용하였다. 정전류 스트레스 방법의 경우 드레인에 50 μA 가 흐를 때 게이트에 전압을 가할 수 있게 장비를 설정하고 일정 시간 동안 (1 s~ 10^5 s) 스트레스를 가한 후 드레인 전압 5.1 V에 대해 앞에서 언급한 전기적 특성 측정 방법으로 측정하였다. 정전류 스트레스 방법은 전류 구동 소자인 OLED를 구동하는데 필요한 소자의 신뢰성을 평가하는데 적합하다. 이번 실험에서 스트레스로 가한 50 μA 는 일반적인 OLED 소자의 필요한 전류가 수 μA 가 되기 때문에 그보다 가혹한 조건을 선택하였다. 또한, 두 샘플의 결정상을 확인하기 위해 X선 회절 패턴을 이용하여 분석하였다. 그리고 좀 더 정확한 결정성을 확인하기 위해 투과전자현미경(TEM)을 이용하여 회절 패턴을 측정하여 확인하였다.

3. 결과 및 고찰

그림 2는 400°C와 700°C에서 열처리한 IGZO 박막 샘플의 X선 회절 패턴을 보여준다. 400°C에서 열처리한 샘플의 경우 그림 2(a)에서와 같이 비결정상을 보여준다. 하지만 700°C에서 열처리한 IGZO 박막 샘플의 경우는 2 θ 가 30도에서 40도 사이에서 결정상이 나타난다. 데이터를 분석한 결과 (101), (102), (105) 그리고 (106) 방향의 결정이 형성되었다. 이러한 결과는 $In_2Ga_2ZnO_7$ (JC-PDS#38-1097) 구조를 보여준다. 또한, 더 정확한 결정성을 확인하기 위해 투과전자현미경을 이용하여 단면을 관찰하고 회절 패턴을 측정한 결과 그림 2(a), (b)에 나타냈듯이 X선 회절패턴과 동일하게 400°C의 경우는 어떠한 규칙적인 배열이 발견되지 않았다. 이것은 400°C 샘플이 비결정상을 갖는

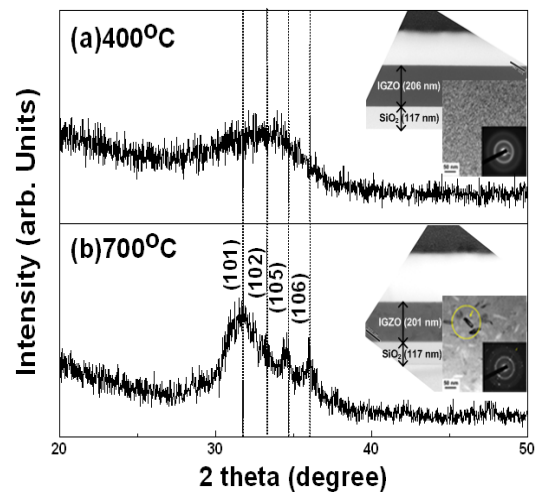


Fig. 2. X-ray diffraction patterns and cross sectional TEM images of the IGZO films annealed at (a) 400°C and (b) 700°C.

다는 결과를 보여준다. 반면, 700°C 샘플의 경우는 나노 크기의 결정상을 보여주고 있다. 이러한 투과전자현미경 결과는 X선 회절 측정 결과와 일치한다.

최근 졸겔법 (Sol-gel)으로 제작한 IGZO 박막의 경우 인듐의 조성에 따라 결정화가 되는 온도가 달라진다는 것을 보여주었는데, 인듐의 양이 증가할수록 결정화 온도가 증가하는 것으로 나타났다 [18]. 본 연구에서는 인듐의 조성 변화에 대한 결과는 아니지만, 상기 연구결과에 비추어 볼 때 결정질 IGZO 박막에 대한 결정성 원인을 간접적으로 유추할 수 있다.

그림 3은 400°C에서 열처리한 a-IGZO 트랜지스터에 대해 게이트 전압에 따른 드레인 전류를 보여주며, 700°C에서 열처리한 N_c -embedded-IGZO 트랜지스터의 측정 결과도 함께 나타내었다. 그리고 두 샘플에 대한 측정 결과를 이용하여 추출한 파라미터를 표 1에 정리하였다.

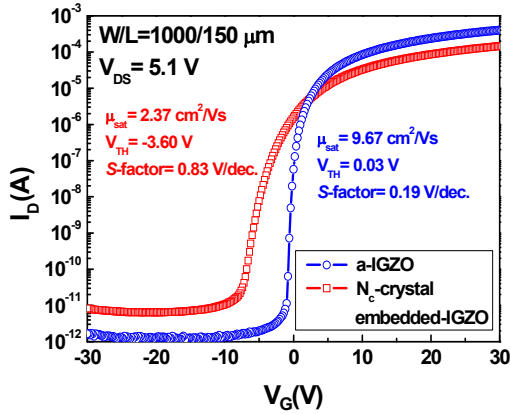


Fig. 3. Representative transfer characteristics of amorphous and N_c -embedded-IGZO TFTs.

이동도와 문턱전압은 포화영역에서 아래의 식(1)에 대응되는 게이트 전압에 대한 드레인 전류의 제곱근 값을 이용하여 피팅한 직선과 x축과 만나는 점을 계산하여 얻었다.

$$I_{DS} = \left(\frac{\mu_{FE} WC_i}{2L} \right) (V_{GS} - V_{th})^2 \quad (1)$$

여기서 사용한 트랜지스터의 채널의 폭(W)은 $1,000 \mu\text{m}$, 길이(L)은 $150 \mu\text{m}$ 이며, C_i 는 게이트산화물의 단위면적당 정전용량이다. 표 1에서 보듯이 N_c -embedded-IGZO 트랜지스터의 이동도가 a-IGZO 트랜지스터에 비해 $9.67 \text{ cm}^2/\text{Vs}$ 에서 $2.37 \text{ cm}^2/\text{Vs}$ 로 감소한 것을 확인할 수 있다. 더욱이 N_c -embedded-IGZO 트랜지스터의 S -factor와 I_{on}/I_{off} 비의 경우도 0.19 V/decade 에서 0.83 V/decade 로, 2.14×10^8 에서 1.35×10^7 로 각각에 대해 a-IGZO 트랜지스터의 값보다 나빠진 것을 알 수 있다. 또한 문턱전압의 경우는 0.03 V 에서 -3.6 V 로 음의 방향으로 이동하였다. 이러한 문턱전압의 음의 방향으로의 이동결과는 a-IGZO를 결정화 하는 과정에서 박막 내부에서 일어나는 조성 및 구조적 변화에 의한 성능 저하로 생각되어진다.

In_2O_3 양에 따라 트랜지스터의 성능이 달라지는 것에 대한 연구는 이미 보고되었다 [18]. 이는 a-IGZO 박막내의 In^{3+} 이온의 5s 원자궤도가 전자전도대의 하단 영역을 형성하는데 결정적인 역할을 하는 것으로 알려졌다기 때문이다. 또한 a-IGZO 박막을 결정화 하는 과정에서 박막 내부의 성분 변화가 일어난다는 사

실은 앞선 연구에서 보고되었다 [19]. 하지만, 아직까지 소자 특성의 저하 원인에 대한 구체적인 결과를 보고한 사례가 없기에 N_c -embedded-IGZO의 성능 저하의 원인을 파악하기 위해 secondary ion mass spectrometry (SIMS) 측정을 실시하였고 이를 통해 Zn, Ga의 변화는 거의 없이 In의 양이 반도체와 게이트부도체 사이 계면에서 a-IGZO에 비해 현저히 줄어드는 결과를 확인할 수 있었다(결과를 이 논문에는 신지 않음). 이러한 In의 양의 변화가 이동도의 저하로 나타났다고 보여진다.

다음으로 고려해야 할 점은 S -factor의 저하에 대한 것이다. S -factor는 박막내의 트랩 (Trap)의 밀도를 나타내는 척도이다. 이 트랩은 결정화에 따른 박막 내부에 형성되는 벌크 트랩 (N_{bulk}) 뿐 아니라 반도체와 게이트 산화막 사이의 계면에 형성되는 계면 트랩 (D_{it}) 모두를 말한다. 이러한 박막내의 모든 트랩 (N_t)은 다음 식을 이용해 계산할 수 있다 [19].

$$N_t = \left[S \log(e) / (kT/q) - 1 \right] \frac{C_i}{q} \quad (2)$$

여기서 N_t 는 반도체 내부 및 반도체와 게이트 산화물 계면에서의 모든 트랩을, S 는 S -factor를, k 는 볼츠만 상수, T 는 온도를, C_i 는 단위면적당 정전용량을, 그리고 q 는 전자전하량을 나타낸다. 계산식을 이용해 모든 박막내의 트랩을 계산해 보면 N_c -embedded-IGZO 박막의 경우 $4.35 \times 10^{11} \text{ cm}^{-3}$ 이며, a-IGZO의 경우 $1.57 \times 10^{11} \text{ cm}^{-3}$ 이다. 이러한 박막의 트랩의 증가가 N_c -embedded-IGZO 트랜지스터의 S -factor가 a-IGZO 트랜지스터의 것보다 증가하는 결과를 보인 것이다. 하지만, 이 결과만 놓고 보면 S -factor의 결정적인 증가가 벌크 트랩에 의한 것인지 아니면 계면 트랩에 의한 것인지 알기 어렵다. 결과적으로 보면 박막의 결정화에 의해 형성된 결정 계면에 형성되는 결함들의 수가 많아지고 또한 SIMS 결과에서 나타난 계면에서의 In양의 감소로 인한 계면의 변화가 모두 영향을 준 것으로 보인다.

또한, 표 1에서 문턱전압의 경우 N_c -embedded IGZO 트랜지스터가 a-IGZO 트랜지스터의 경우보다 음의 방향으로 약 4 V 이동한 것으로 나타났다 (0.03 V 에서 -3.6 V 로). 이러한 문턱전압의 음의 방향으로 이동은 이전 연구 결과를 살펴보면 반도체내의 자유 전자농도가 증가하면 나타나는 현상으로 여겨진다.

또한, 박막내의 자유전자농도 증가가 전도도를 향상시키고 이로 인해 오프전류가 증가한다.

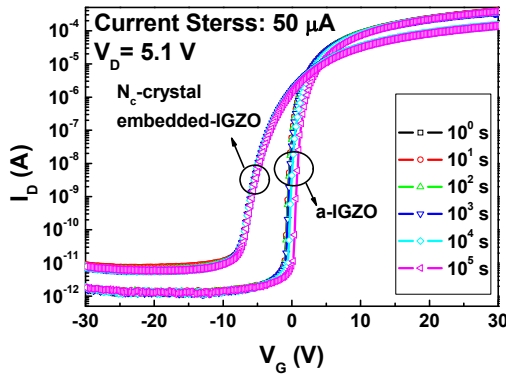


Fig. 4. Transfer characteristics of amorphous and N_c -embedded-IGZO TFTs as a function of constant current stress time.

이 결과를 뒷받침하기 위해 캐패시턴스-전압 (capacitance-voltage) 분석을 통해 박막 내의 자유전자농도를 측정하였다. 측정 결과 N_c -embedded-IGZO의 경우는 $5.2 \times 10^{17} \text{ cm}^{-3}$ 의 값을 보였으며 이는 a-IGZO의 자유전자농도인 $3.5 \times 10^{17} \text{ cm}^{-3}$ 값보다 높게 나타났다. 이는 Cho *et al.* [20]에 의해 밝혀진 a-IGZO의 박막 내의 Zn의 양이 700°C로 열처리 하는 동안 소멸되어 Zn 함량이 줄어든 결과에서의 전자농도의 변화와 유사하며, 결과적으로는 N_c -embedded-IGZO 트랜지스터에서 나타나는 음의 방향으로의 문턱전압이동과 오프전류의 증가 현상은 열처리 후 박막 내에 증가하는 자유전자농도가 원인이라 할 수 있다.

마지막으로, 두 소자의 소자 신뢰성을 비교하기 위해 정전류 스트레스를 측정하였다. 정전류 바이어스 스트레스 측정 결과는 그림 4에 나타내었다.

그림 4는 50 μA 의 정전류 바이어스를 일정 시간 가한 후 측정된 게이트 전압에 따른 드레인 전류 특성을 보여준다. 바이어스를 가하는 시간에 따라 두 소자 모두 그래프가 오른쪽으로 이동하는 것을 확인할 수 있다. 그래프에서 보듯이 이동도와 S-factor 등의 변화 없이 문턱전압만 이동하는 것으로 나타났다. 이러한 이동도, S-factor 및 I_{on}/off 비에 관한 변화값은 그림 6(a), (b)에 나타내었다.

그림 5는 두 소자에 대해 문턱전압이 스트레스 시간에 따라 변화하는 값을 산출하여 그린 그래프이다.

a-IGZO 트랜지스터의 경우 문턱전압의 변화가 1.20 V로 N_c -embedded-IGZO 트랜지스터의 0.19 V보다

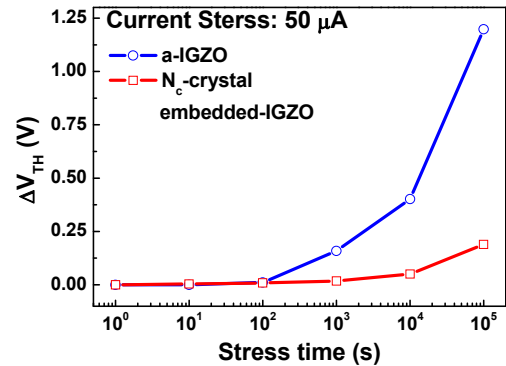


Fig. 5. Constant current stress time dependence of calculated ΔV_{TH} of amorphous and N_c -embedded-IGZO TFTs for gate bias stress.

6배 정도 많이 움직였다. 이는 N_c -embedded-IGZO 트랜지스터의 정전류 스트레스에 의한 소자 신뢰성이 결정화에 의해 소자 특성의 열화가 발생했음에도 소자 열화가 스트레스로 인한 소자 신뢰성에는 영향을 미치지 않는다는 것을 나타낸다. 오히려 소자 신뢰성이 향상된 결과를 보였다.

이와 같은 결과는 a-Si 트랜지스터와 p-Si 트랜지스터에서도 나타나는 현상이다. 기존 비정질 실리콘 실험과 비교하면 정전류 스트레스 측정 결과는 정전압 스트레스 측정 결과와 비슷할 것으로 예측되는데, 기존의 연구 결과에 의하면 양의 바이어스를 가한 상태에서의 스트레스에 의한 소자 신뢰성 평가에서 다른 트랜지스터 파라미터 값의 변화 없이 문턱 전압의 양의 방향의 이동은 반도체와 게이트산화물 사이의 계면에 결합 생성에 의한 결과로 설명 한다 [13]. 또한 앞선 a-IGZO의 신뢰성에 관한 논문에서 밴드 테일에 형성되는 억셉터 역할을 하는 에너지 준위가 낮으면 신뢰성이 향상된다고 보고하였다 [16]. 이를 뒷받침하기 위해, 두 샘플에 대한 density of states (DOS)를 계산한 결과, 스트레스를 가하기 전 두 샘플의 DOS값은 a-IGZO 트랜지스터가 N_c -embedded-IGZO 트랜지스터에 비해 밴드테일에서 한자리 수 이상 더 적은 값을 보였다. 이것은 밴드테일에서의 DOS의 양이 신뢰성에 직접적인 원인이 아님을 나타낸다. 하지만, 본 연구에서 나타난 결과는 N_c -embedded-IGZO 트랜지스터 스트레스 전후의 DOS 변화량을 측정하여 비교 분석하였다.

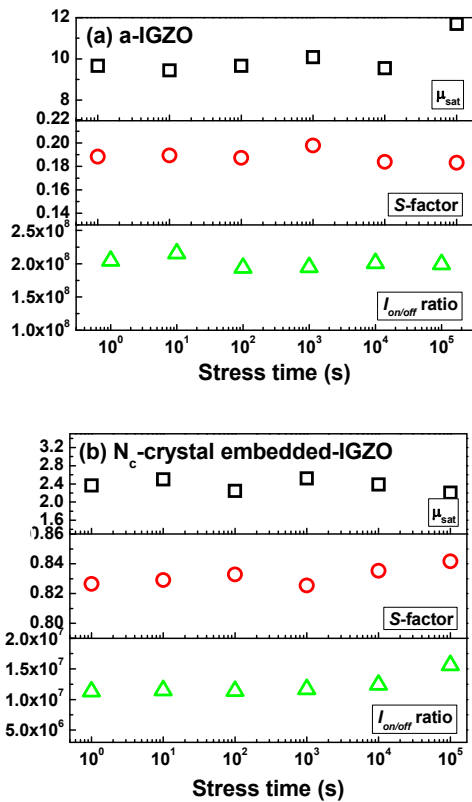


Fig. 6. Extracted TFT parameters of (a) amorphous and (b) N_c -embedded-IGZO TFTs as constant current stress time.

a-IGZO 트랜지스터의 경우는 DOS가 스트레스후에 증가하는 것에 반하여 N_c -embedded-IGZO 트랜지스터의 경우는 DOS의 변화량이 거의 관찰되지 않았다 (이 논문에 데이터는 실지 않음). 이는 양의 정전압 스트레스아래에서 문턱전압의 이동은 반도체와 게이트 산화막 계면에 형성되는 계면 트랩 전하의 증가에서 비롯된다는 Yun *et al.*에 의한 발표한 시뮬레이션 결과와 일치 한다 [21].

4. 결론

지금까지 a-IGZO 박막을 이용하여 퍼니스 열처리를 통해 고상결정화법으로 N_c -embedded-IGZO 트랜지스터를 형성하고 a-IGZO 트랜지스터와 비교 분석하였다. N_c -embedded-IGZO의 경우 결정화 과정에서 반도체와 게이트산화물 계면에서 In의 양이 줄어들었고 반

도체 내의 결함이 증가하였다. 이러한 결함의 증가로 전계 효과 이동도는 $9.67 \text{ cm}^2/\text{Vs}$ 에서 $2.37 \text{ cm}^2/\text{Vs}$ 으로, S-factor는 0.19 V/decade 에서 0.83 V/decade 로 a-IGZO 박막트랜지스터에 비해 저하되는 결과를 보였다. 하지만, N_c -embedded-IGZO의 박막 내부 및 산화물 반도체와 게이트 산화물 사이의 계면에서 트랩 증가로 인한 소자 특성 저하에도 불구하고 정전류 신뢰성 측정 결과 문턱전압의 변화가 0.19 V 로 a-IGZO 트랜지스터의 1.20 V 보다 6배 정도 향상되었다. 이는 N_c -embedded-IGZO 박막의 경우에 높은 온도에서 열처리하는 과정에서 a-IGZO에 비해 반도체와 게이트 산화막 계면에 형성되는 트랩이 감소하여 정전류 스트레스를 가했을 때 계면 전하의 증가량이 적은 결과이다.

감사의 글

This work was supported by the National Research Foundation of Korea (NRF) grant funded by the Korean Ministry of Education, Science and Technology (MEST) [no. 2007-0055837].

REFERENCES

- [1] P. F. Carcia, R. S. Mclean, M. H. Reilly, and G. Nunes, *Appl. Phys. Lett.*, **82**, 1117 (2003).
- [2] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004).
- [3] H. Yabuta, M. Sano, K. Abe, T. Aiba, T. Den, H. Kumomi, K. Nomura, T. Kamiya, and H. Hosono, *Appl. Phys. Lett.*, **89**, 112123 (2006).
- [4] R. L. Hoffman, B. J. Norris, and J. F. Wager, *Appl. Phys. Lett.*, **82**, 733 (2003).
- [5] H. Q. Chiang, J. F. Wager, R. L. Hoffman, J. Jeong, and D. A. Keszler, *Appl. Phys. Lett.*, **86**, 013503 (2005).
- [6] D. H. Cho, S. Yang, C. Byun, J. Shin, M. K. Ryu, S. H. K. Park, C. S. Hwang, S. M. Chung, W. S. Cheong, S. M. Yoon, and H. Y. Chu, *Appl. Phys. Lett.*, **93**, 142111 (2008).
- [7] C. J. Kim, S. Kim, J. H. Lee, J. S. Park, S. Kim, J. Park, E. Lee, J. Lee, Y. Park, J. H. Kim, S. T. Shin, and U. I. Chung, *Appl. Phys. Lett.*, **95**, 252103 (2009).
- [8] P. Barquinha, L. Pereira, G. Gonçalves, R. Martins,

- and E. Fortunato, *Electrochem. Solid State Lett.*, **11**, 248 (2009).
- [9] P. Barquinha, A. M. Vilà, G. Gonçalves, L. Pereira, R. Martins, J. R. Morante, and E. Fortunato, *IEEE Trans. on Electron Devices* **55**, 954 (2008).
- [10] M. K. Ryu, S. Yang, S. H. Ko Park, C. S. Hwang, and J. K. Jeong, *Appl. Phys. Lett.*, **95**, 173508 (2009).
- [11] J. Y. Kwon, J. S. Jung, K. S. Son, K. H. Lee, J. S. Park, T. S. Kim, J. S. Park, R. Choi, J. K. Jeong, B. Koo, and S. Y. Lee, *Appl. Phys. Lett.*, **97**, 183503 (2010).
- [12] J. K. Jeong, H. W. Yang, J. H. Jeong, Y. G. Mo, and H. D. Kim, *Appl. Phys. Lett.*, **93**, 123508 (2008).
- [13] A. Suresh and J. F. Muth, *Appl. Phys. Lett.*, **92**, 033502 (2008).
- [14] J. M. Lee, I. T. Cho, J. H. Lee, and H. I. Kwon, *Appl. Phys. Lett.*, **93**, 093504 (2008).
- [15] S. Lee, K. Jeon, J. H. Park, S. Kim, D. Kong, D. M. Kim, D. H. Kim, S. Kim, S. Kim, J. Hur, J. C. Park, I. Song, C. J. Kim, Y. Park, and U. I. Jung, *Appl. Phys. Lett.*, **95**, 132101 (2009).
- [16] K. Nomura, T. Kamiya, Y. Kikuchi, M. Hirano, and H. Hosono, *Thin Solid Films*, **518**, 3012 (2010).
- [17] E. G. Chong, K. C. Jo, S. H. Kim, and S. Y. Lee, *J. KIEEME*, **23**, 349 (2010).
- [18] G. H. Kim, B. D. Ahn, H. S. Shin, W. H. Jeong, H. J. Kim and H. J. Kim, *Appl. Phys. Lett.*, **94**, 233501 (2009).
- [19] C. Y. Kagan and P. W. E. Andry, *Thin Film Transistors* (Dekker, New York, 2003) p. 87.
- [20] D. Y. Cho, J. W. Song, Y. C. Shin, C. S. Hwang, W. S. Choi, and J. K. Jeong, *Electrochem Solid State Lett.*, **12**, 208 (2009).
- [21] E. N. Cho, J. H. Kang, C. E. Kim, P. Moon, and I. Yun, *IEEE Trans. Elec. Dev.*, **11**, 112 (2011).