

## 액상공정으로 제작된 ZrInZnO 박막 트랜지스터의 전기적 특성에 관한 연구

정태훈<sup>1</sup>, 김시준<sup>1</sup>, 윤두현<sup>1</sup>, 정웅희<sup>1</sup>, 김동림<sup>1</sup>, 임현수<sup>1</sup>, 김현재<sup>1,a</sup>

<sup>1</sup> 연세대학교 전기전자공학과

### Study on the Electrical Characteristics of Solution-processed ZrInZnO Thin-film Transistors

Tae Hoon Jeong<sup>1</sup>, Si Joon Kim<sup>1</sup>, Doo Hyun Yoon<sup>1</sup>, Woong Hee Jeong<sup>1</sup>, Dong Lim Kim<sup>1</sup>,  
Hyun Soo Lim<sup>1</sup>, and Hyun Jae Kim<sup>1,a</sup>

<sup>1</sup> School of Electrical and Electronic Engineering, Yonsei University, Seoul 120-749, Korea

(Received May 3, 2011; Revised May 13, 2011; Accepted May 17, 2011)

**Abstract:** Solution-processed ZrInZnO (ZIZO) thin-film transistors (TFTs) with varying Zr content were fabricated. The ZIZO TFT (Zr=20 at. %/Zn) has an optimal performance with the saturation field effect mobility of  $0.77 \text{ cm}^2/\text{Vs}$ , the threshold voltage ( $V_{th}$ ) of 2.1 V, the on/off ratio of  $4.95 \times 10^6$ , and subthreshold swing (S.S) of 0.73 V/decade. Using this optimized ZIZO TFT, the positive and negative gate bias stress according to annealing temperature was also investigated. While the  $V_{th}$  shifts dramatically after 1,000 s of both gate bias stresses, variations in the S.S are negligible. It suggests that electrons or holes are temporarily trapped in the gate insulator, the semiconductor, or the interface between both layers.

**Keywords:** Oxide semiconductor, ZrInZnO, TFT, Mobility, Threshold voltage, Stability, Solution process

#### 1. 서 론

투명 비정질 산화물 반도체(transparent amorphous oxide semiconductors, TAOSs)는 비정질 실리콘(amorphous Si), 다결정 실리콘(polycrystalline Si)에 비해 우수한 전기적 특성으로 인해서 차세대 디스플레이에 적용 가능한 박막 트랜지스터로 기대를 모으고 있다. 특히, 최근에는 InZnO (IZO) [1], SnZnO (TZO) [2], InGaZnO (GIZO) [3], GaSnZnO (GTZO) [4] 등 3가지 종류 이상의 원소들이 결합된 다성분계 (multicomponent) TAOS가 높은 전기 이동도와 높은 신뢰성으로 인해 활발히 연구되고 있는 추세이다. 그중에서도 Ga를 포함한

GIZO는 상용화에 가장 가능성이 있는 물질로 각광받고 있다 [3]. 또 한편으로는, Ga의 대체 원소로 높은 산소친화도(oxygen affinity)를 갖는 Al, Zr, Hf, Mg, La을 IZO와 TZO 시스템에 첨가하는 연구가 있었다 [5-9]. 특히, 진공 공정으로 진행된 ZrInZnO (ZIZO)에서 Ga보다 낮은 표준 전극 전위 (standard electrode potential, SEP)와 전기 음성도(electronegativity)를 갖는 Zr이 낮은 첨가량에도 불구하고 캐리어 발생(carrier generation)을 효과적으로 억제하고, 그 결과 ZIZO 박막 트랜지스터는 GIZO 박막 트랜지스터에 비해 더 높은 on/off 비를 나타낸다는 보고가 있었다 [7].

또한, 일반적인 박막 증착 방법인 진공 챔버에서 제작된 박막 트랜지스터들과 달리 액상공정을 적용한

a. Corresponding author: hjk3@yonsei.ac.kr

경우 공정비용을 획기적으로 감소시킬 수 있는 장점 때문에 이를 이용한 박막 트랜지스터 제작에 대한 관심이 날로 고조되고 있다 [7-10].

본 연구에서는 액상공정으로 제조된 ZIZO 박막 트랜지스터의 Zr의 함량과 열처리 온도에 따른 전기적 특성 분석에 중점을 두었다. 특히, 400°C, 450°C, 500°C의 열처리 온도에서 게이트 바이어스 전압에 따른 ZIZO 박막 트랜지스터의 전기적 특성 변화에 대해 연구하였다.

## 2. 실험 방법

Indium nitrate hydrate, zinc acetate dihydrate, 및 zirconium chloride을 2-methoxyethanol에 녹여 졸-겔 방법으로 0.5 M ZIZO 용액을 합성하였다. In과 Zn 비는 3:2로 고정하였고, Zr 함량은 Zn 대비 0에서 40 원자비 (at. %/Zn)로 변화되었다(Zr:In:Zn=0-0.8:3:2). 각 혼합된 용액은 40분 동안 70°C에서 300 rpm으로 스테어링되었다.

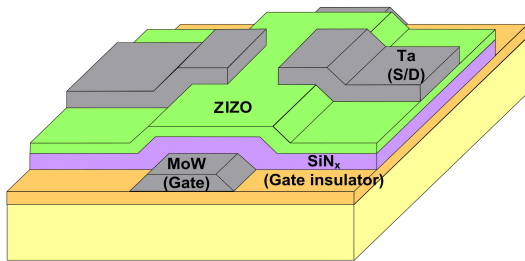


Fig. 1. Schematic diagram of bottom gate ZIZO TFT structure.

박막 트랜지스터는 그림 1에 도시한 바와 같이 1,000  $\mu\text{m}$ 의 너비(W)와 150  $\mu\text{m}$ 의 길이(L)을 갖는 하부 게이트와 상부 컨택구조를 갖도록 제조되었다. 구체적인 박막 트랜지스터의 제조공정을 설명하면, 200 nm 두께의 MoW 게이트 전극이 스퍼터링 방법에 의해 SiO<sub>2</sub>/glass 상부에 증착되었고, 게이트 절연막은 plasma enhanced chemical vapor deposition (PECVD)에 의해 200 nm 두께의 SiN<sub>x</sub> 박막이 형성되었다. 다음으로 45 nm 두께의 ZIZO 활성층은 상기와 같이 제조된 ZIZO 용액을 스프인 코팅함으로써 형성되었다. 그 후, 400°C, 450°C, 500°C의 열처리 온도에서 2시간 열처리 단계를 각각

진행하였고, 소스/드레인 컨택을 형성하기 위해 스퍼터링 방법에 의해 Ta 전극을 200 nm 두께로 증착하였다. 제작된 ZIZO 박막 트랜지스터는 HP4,156C 반도체 파라미터 분석기에 의해 상온, 암실 상태에서 측정되었다.

## 3. 결과 및 고찰

### 3.1 Zr 함량 및 열처리 온도에 따른 전기적 특성

그림 2는 Zr의 함량에 따른 ZIZO 박막 트랜지스터의 포화 전계 이동도 ( $\mu_{FE}$ ), 문턱 전압 (threshold voltage,  $V_{th}$ ), on/off 비, 스윙(subthreshold swing, S.S)의 변화를 보여주고 있다.

ZIZO 시스템에 추가되는 Zr의 함량이 증가함에 따라,  $\mu_{FE}$ 는 낮아지고,  $V_{th}$ 는 높아진다. 또한, on/off 비는 일정 함량까지 증가하다가 다시 감소하고, S.S은 이와는 반대로 낮아지다가 다시 증가하는 현상을 보여주고 있다.

ZIZO 박막 트랜지스터의  $\mu_{FE}$ 도 감소는 Zr의 낮은 SEP로 인해 산소의 결합체로 작용하였기 때문이다. 한편, 이러한 Zr 특성으로 인하여 산소 공공(oxygen vacancy)과 관련된 밴드갭 내에 localized state는 억제되어 S.S의 감소를 가져온다 [6]. 그러나 Zr의 함량이 40 at. %/Zn에서는 오히려 S.S이 1.23 V/decade로 증가되었다. 이는 과도한 Zr이 첨가되면 Zr interstitial에 의해 분리되어 ZIZO 박막의 morphology가 나빠져서, 오히려 트랩이 형성되기 때문이다.

일정  $\mu_{FE}$ 를 가지면서, 낮은  $V_{th}$ , 높은 on/off 비, 낮은 S.S을 가지는 가장 효과적인 Zr의 함량은 20 at. %/Zn로 가정할 수 있다. 여기서 ZIZO 박막 트랜지스터의  $\mu_{FE}$ 는 0.77  $\text{cm}^2/\text{Vs}$ ,  $V_{th}$ 는 2.1 V, on/off 비는  $4.95 \times 10^6$ , S.S은 0.73 V/decade를 보였다.

그림 3은 최적화된 Zr의 함량인 20 at. %/Zn의 열처리 온도에 따른 ZIZO 박막 트랜지스터의 드레인 전압 10.1 V에서 transfer 그래프를 보여준다.

열처리 온도가 400°C에서 500°C로 증가함에 따라, 나노결정(nano-crystalline) 구조의 형성으로 인해  $\mu_{FE}$ 는 0.03  $\text{cm}^2/\text{Vs}$ 에서 0.77  $\text{cm}^2/\text{Vs}$ 로 증가하였다 [8]. 이 외에 on/off 비, S.S 특성들도 열처리 온도가 증가함에 따라 향상됨을 보였다. 특히, S.S를 통해 활성층과 게이트 절연막 사이의 최대 계면 트랩( $N_{max}$ )은 아래 수식을 이용하여 계산되었다 [11].

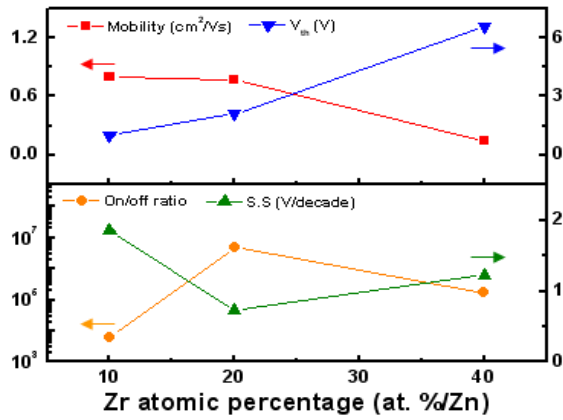


Fig. 2. Variations in mobility, V<sub>th</sub>, on/off ratio, and S.S.

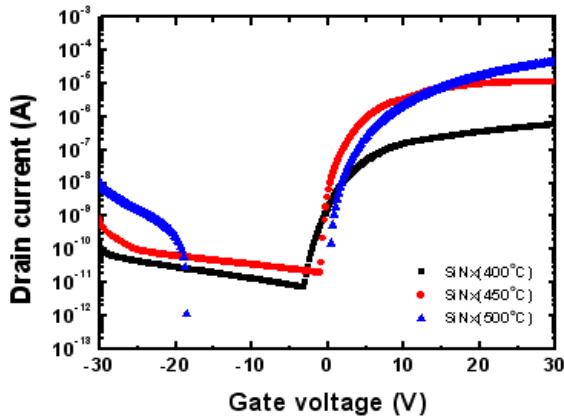


Fig. 3. Transfer curves of ZIZO TFTs according to annealing temperature.

$$N_{\max} = \left( \frac{S \cdot S \cdot \log(e)}{kT/q} - 1 \right) \frac{C}{q} \quad (1)$$

여기서  $k$ 는 Boltzmann 상수이고,  $T$ 는 상온이며,  $C$ 는 단위 면적당 게이트 절연막의 capacitance,  $q$ 는 단위 전하이다.  $N_{\max}$ 는 열처리 온도가 400°C에서 500°C로 증가함에 따라,  $3.48 \times 10^{12} \text{ cm}^{-2}$ 에서  $2.10 \times 10^{12} \text{ cm}^{-2}$ 로 감소되었다.

### 3.2 열처리 온도에 따른 XRD 분석

그림 4는 ZIZO 박막(Zr=20 at. %/Zn)의 결정성 상태를 확인하기 위하여 측정된, 열처리 온도 400°C, 500°C에서의 XRD (x-ray diffraction) 패턴을 보여준다.

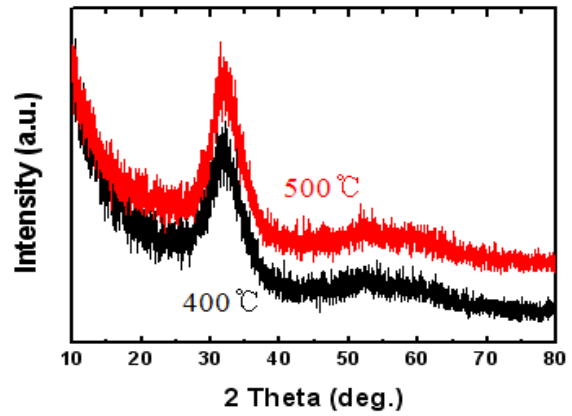


Fig. 4. XRD pattern of ZIZO film (Zr= 20 at. %/Zn) according to annealing temperature.

두 경우에 ZIZO 박막은 유사한 피크를 보였다. 30°에서 40°에 보이는 넓은 피크는 In<sub>2</sub>O<sub>3</sub>와 ZnO를 포함하는 IZO와 관련되어 있는 것으로 보인다 [12]. 따라서 액상공정에 의한 ZIZO 박막은 비정질 또는 나노 결정 상태에 있는 것으로 해석될 수 있다. IZO 시스템에서 Ga를 대체하기 위하여 수행된 액상 공정의 다른 연구에서도 비슷한 결과가 보고되고 있다 [9].

결정화 크기(crystallite size)는 XRD 패턴으로부터 널리 알려진 Scherrer 수식에 의해 계산될 수 있다.

$$d = 0.9 \lambda / \beta \cdot \cos \theta \quad (2)$$

여기서  $\lambda$ 는 X-ray의 파장이고,  $\beta$ 는 피크 강도의 중간 너비 (full width at half-maximum, FWHM)이며,  $\theta$ 는 피크의 각도이다. 이를 통해 2.4 nm 크기가 계산되었다.

### 3.3 ZIZO 박막 트랜지스터의 게이트 바이어스에 따른 전기적 특성

액상공정으로 제작된 ZIZO 박막 트랜지스터의 게이트 바이어스 전압에 따른 전기적 특성들을 조사하기 위해, positive 게이트 바이어스 ( $V_{gs}=30 \text{ V}$ ,  $V_{ds}=0 \text{ V}$ )와 negative 게이트 바이어스 ( $V_{gs}=-30 \text{ V}$ ,  $V_{ds}=0 \text{ V}$ )를 각각 1초, 10초, 100초, 1,000초 인가한 후, 그 특성변화를 분석하였다.

표 1과 표 2는 최적화된 Zr의 함량인 20 at. %/Zn를 이용하여 제작된 ZIZO 박막 트랜지스터의 400°C,

**Table 1.** The variation of  $V_{th}$  according to various gate bias stresses for 1, 10, 100, and 1,000 s.

| Bias stress time   |     | 1 | 10    | 100   | 1000   |
|--------------------|-----|---|-------|-------|--------|
| Positive gate bias | 400 | 0 | 2.34  | 12.90 | 21.72  |
|                    | 450 | 0 | 1.20  | 2.70  | 8.50   |
|                    | 500 | 0 | 0.57  | 1.76  | 5.99   |
| Negative gate bias | 400 | 0 | -1.64 | -7.74 | -14.30 |
|                    | 450 | 0 | -0.02 | -0.58 | -6.80  |
|                    | 500 | 0 | 0.17  | -0.16 | -2.56  |

**Table 2.** The variation of S.S according to various gate bias stresses for 1, 10, 100, and 1,000 s.

| Bias stress time   |     | 1 | 10     | 100    | 1000   |
|--------------------|-----|---|--------|--------|--------|
| Positive gate bias | 400 | 0 | -0.005 | -0.015 | -0.032 |
|                    | 450 | 0 | 0.017  | 0.023  | 0.024  |
|                    | 500 | 0 | -0.068 | -0.110 | -0.219 |
| Negative gate bias | 400 | 0 | 0.027  | 0.043  | 0.054  |
|                    | 450 | 0 | -0.030 | -0.020 | -0.032 |
|                    | 500 | 0 | -0.022 | -0.100 | -0.122 |

450°C, 500°C 열처리 온도에 따른  $V_{th}$ 와 S.S의 특성 변화를 각각 정리한 것이다.

$V_{th}$ 는 positive 게이트 바이어스가 인가되면 positive 이동을 하고, negative 게이트 바이어스가 인가되면 negative 이동을 하는 현상을 보였다. 이러한 이동은 인가되는 전압의 극성에 따라서 electron 또는 hole이 일시적으로 게이트 절연막, 반도체, 또는 둘 사이의 계면에 트랩되는 현상으로 해석된다. 인가되던 바이어스가 제거되면, 이 캐리어들은 점차적으로 트랩된 곳에서 방출되고 ZIZO 박막 트랜지스터는 처음의 특성을 회복함을 보였다.

이 실험에서, positive  $V_{th}$  이동의 크기가 negative  $V_{th}$  이동의 크기에 비해 상대적으로 큰 것도 확인되

었다. 이는 electron 트랩 현상이 hole 트랩 현상에 비해 훨씬 일어나기 쉽다는 것을 의미한다.

또한, 열처리 온도에 따라  $V_{th}$  이동의 절대값이 다른 것을 확인하였다. 이는 열처리 온도가 높을수록 ZIZO 박막의 질이 우수해지고 계면 특성이 향상됨에 따라, ZIZO 박막 트랜지스터의 특성 역시 우수해짐을 의미한다.

S.S의 경우, 표 2에 보이는 것처럼 positive와 negative 게이트 바이어스 모두 큰 변화가 없음을 보였다. 이는 bulk 또는 계면 트랩이 새롭게 생성되지 않음을 의미한다.

또한, S.S가 거의 변하지 않았기 때문에 이를 이용하여 계산되는  $N_{max}$ 값도 게이트 바이어스 인가 시간에 따라 거의 변하지 않음을 알 수 있다.

#### 4. 결론

액상공정으로 제작된 ZIZO 박막 트랜지스터의 Zr의 함량과 열처리 온도에 따른 전기적 특성을 검토하였다. Zr의 첨가는 산소 공공을 감소시키고, 이는 ZIZO 박막 캐리어 농도의 효과적인 감소를 가져왔다. ZIZO 박막 트랜지스터는 Zr의 함량이 20 at. %/Zn에서 최적화되었고, 이 소자의  $\mu_{FE}$ 는 0.77  $cm^2/Vs$ ,  $V_{th}$ 은 2.1 V, on/off 비는  $4.95 \times 10^6$ , S.S은 0.73 V/decade를 보였다.

이를 바탕으로 400°C, 450°C, 500°C 열처리 온도로 제작된 ZIZO 박막 트랜지스터의 positive와 negative 게이트 바이어스에 따른  $V_{th}$ 와 S.S 변화를 확인하였다. 1,000초의 게이트 바이어스 인가 후,  $V_{th}$  이동은 두드러진 반면, S.S 변화는 거의 없었다. 이는 electron 또는 hole이 일시적으로 게이트 절연막, 반도체, 또는 둘 사이의 계면에 트랩되는 현상으로 해석된다.

#### 감사의 글

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (No. 2007-0055837).

## REFERENCES

- [1] K. B. Park, J. B. Seon, G. H. Kim, M. Yang, B. Koo, H. J. Kim, M. K. Ryu, and S. Y. Lee, *IEEE Electron Device Lett.*, **31**, 311 (2010).
- [2] Y. J. Chang, D. H. Lee, G. S. Herman, and C. H. Chang, *Electrochem. Solid State Lett.*, **10**, 135 (2007).
- [3] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hironouchi, and H. Hosono, *Nature*, **432**, 488 (2004).
- [4] E. M. C. Fortunato, L. M. N. Pereira, P. M. C. Barquinha, A. M. B. Rego, G. Goncalves, A. Vila, J. R. Morante, and R. F. P. Martins, *Appl. Phys. Lett.*, **92**, 222103 (2008).
- [5] D. H. Cho, S. Yang, C. Byun, J. Shin, M. K. Ryu, S. H. K. Park, C. S. Hwang, S. M. Chung, W. S. Cheong, S. M. Yoon, and H. Y. Chu, *Appl. Phys. Lett.*, **93**, 142111 (2008).
- [6] J. S. Park, K. S. Kim, Y. G. Park, Y. G. Mo, H. D. Kim, and J. K. Jeong, *Adv. Mater.*, **21**, 329 (2009).
- [7] W. H. Jeong, G. H. Kim, H. S. Shin, B. D. Ahn, H. J. Kim, M. K. Ryu, K. B. Park, J. B. Seon, and S. Y. Lee, *Appl. Phys. Lett.*, **96**, 093503 (2010).
- [8] G. H. Kim, W. H. Jeong, B. D. Ahn, H. S. Shin, H. J. Kim, H. J. Kim, M. K. Ryu, K. B. Park, J. B. Seon, and S. Y. Lee, *Appl. Phys. Lett.*, **96**, 163506 (2010).
- [9] D. N. Kim, D. L. Kim, G. H. Kim, S. J. Kim, Y. S. Rim, W. H. Jeong, and H. J. Kim, *Appl. Phys. Lett.*, **97**, 192105 (2010).
- [10] S. J. Kim, G. H. Kim, D. L. Kim, D. N. Kim, and H. J. Kim, *Phys. Status Solid A*, **207**, 1668 (2010).
- [11] S. J. Kim, D. L. Kim, D. N. Kim, and H. J. Kim, *J. Inf. Disp.*, **11**, 165 (2010).
- [12] S. M. Yoon, S. H. Yang, S. W. Jung, C. W. Byun, S. H. K. Park, C. S. Hwang, and H. Ishiwara, *Electrochem. Solid State Lett.*, **13**, 141 (2010).