

## LED 램프 패키지 설계를 위한 기본 지침

육지현<sup>1</sup> · 홍대운<sup>2</sup> · 이성재<sup>1†</sup>

<sup>1</sup>충남대학교 전자공학과  
☎ 305-764 대전광역시 유성구 공동 220

<sup>2</sup>삼성엘이디  
☎ 443-373 경기도 수원시 영통구 매탄3동

(2011년 4월 4일 받음, 2011년 5월 13일 수정본 받음, 2011년 5월 17일 게재 확정)

현재까지 더 좋은 성능의 LED 램프 패키지 구조의 개발을 위해 많은 연구가 진행되어 왔음에도 불구하고 아직 LED 램프 패키지 설계에 관한 표준화된 이론이나 지침 같은 것들이 마련되지 못한 것으로 판단된다. 이에 본 논문에서는 먼저 Monte Carlo photon simulation 기법을 이용하여 InGaN/Sapphire LED의 칩 구조 및 Epi-up 혹은 Epi-down 칩 부착 방식을 광추출효율 관점에서 분석하였다. 그리고 분석결과를 바탕으로 LED 램프 패키지 설계에 관한 기본 지침을 마련하였다. 이와 같이 마련된 설계지침은 관련 기업이나 연구기관에서, LED 램프의 구체적 응용분야에 따라 최적화된 패키지 구조를 설계하는 데에 중요하게 활용될 수 있을 것으로 기대된다.

## Basic Design Guidelines for LED Lamp Packages

Ji Hyun Youk<sup>1</sup>, Dae Woon Hong<sup>2</sup>, and Song Jae Lee<sup>1†</sup>

<sup>1</sup>Electronics Engineering Department, Chungnam National University,  
220 Koong-dong, Yuseong-gu, Daejeon 305-764, Korea

<sup>2</sup>Samsugn LED, Maetan3-dong, Youngtong-gu, Suwon 443-373, Korea

(Received April 4, 2011; Revised manuscript May 13, 2011; Accepted May 17, 2011)

Although significant amount of research has been done to develop LED lamp packages for improved performance, no standard theories or guidelines have been established yet for designing LED lamp packages. In this paper, the photon extraction efficiency depending on both the InGaN/Sapphire LED chip structure and its attachment schemes for chip mounting has been analyzed by using the Monte Carlo photon simulation method. Based on the results of the analysis, we have derived guidelines for LED lamp package design, which can be utilized in industries or research institutes for designing new LED lamp packages optimized for particular applications.

Keywords: Light-emitting diode, LED chip, Chip mount, Epi-up, Epi-down

OCIS codes: (230.0230) Optical devices; (230.3670) Light-emitting diodes; (230.6080) Sources

### I. 서 론

1990년대 초에 청색 LED(light emitting diode)가 상업화에 성공된 이후 가시광 LED의 시장은 지속적으로 성장해 왔다. 현재 LED는 전광판, 교통신호등, LCD backlight, 경관장식 등에 대단위로 사용되고 있는데, 광출력이 더욱 증대된 LED들이 속속 개발됨에 따라 앞으로는 자동차는 물론 일반조명 분야에서도 더 많은 LED가 활용될 것으로 판단된다. 이와

같이 LED가 우리의 생활 주변에서 광범위하게 사용될 수 있게 된 것은 LED 기술의 비약적 발전 때문이었으며, 그 LED 기술의 한 축으로는 광출력을 극대화할 수 있는 LED 램프 또는 패키지 구조의 개발을 들 수 있을 것이다.

기존에 흔히 사용되어왔던 LED 램프의 구조는 그림 1에 보인 바와 같이 크게 리드형(lead type)과 SMD형(surface mount design type)으로 구분된다. 리드형 LED 램프는 전류의 공급을 위한 리드가 밖으로 길게 나와 있는 구조를 하고

<sup>†</sup>E-mail: sjlee@cnu.ac.kr

Color versions of one or more of the figures in this paper are available online.

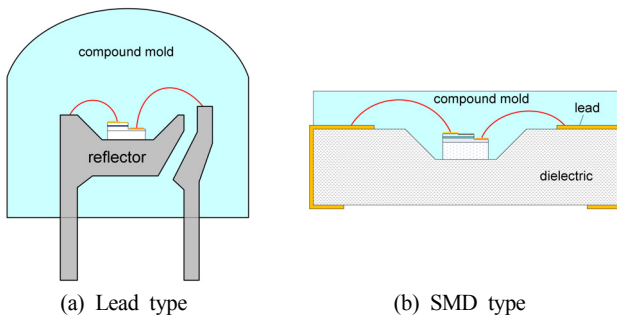


FIG. 1. Conventional LED lamps.

있는데, 아직까지도 교통신호등 및 전광판 등에 사용되고 있지만 그 비중은 점점 작아지고 있는 것으로 판단된다. 이에 비해 SMD형 LED 램프는 PCB와 같은 평면 위에 부착하기에 적합한 구조를 하고 있는데, 현재 LCD의 backlight등에 사용되고 있는 LED는 거의 대부분 SMD형 또는 그 변형에 속한다고 할 수 있을 것이다.

그림 1의 두 LED 램프 구조에서 찾아볼 수 있는 한 공통점은 LED 칩으로부터 발생된 열이 외부로 쉽게 방출될 수 없는 구조를 하고 있다는 점이라고 할 수 있다. LED 칩을 에워싸고 있는 molding compound나 칩마운트로 사용된 유전체의 열전도도는 일반적으로 금속에 비하여 크게 떨어지기 때문에, 이들 램프의 구동전류를 정격 이상으로 크게 올릴 경우 칩으로부터 발생된 열이 원활하게 외부로 방출될 수 없게 되어 접합(junction)의 온도가 크게 상승하게 된다. 일반적으로 접합의 온도가 상승하면 활성층으로 주입된 전자와 정공들이 비발광성 결합(nonradiative recombination)을 할 확률이 높아지거나 이들이 활성층 밖으로 넘어가는 carrier overflow 현상이 심화됨으로써 내부양자효율(internal quantum efficiency)이 심각하게 떨어지게 된다<sup>[1]</sup>. 뿐만 아니라, 접합 온도의 상승은 활성층의 energy bandgap의 감소로 이어지고 이는 다시 발생된 빛의 파장이 길어지는 적색편이(red shift) 현상과 그에 따른 LED의 색상 변화로 이어지게 된다. 이와 같은 부작용들을 최소화하기 위해서는 LED 램프의 구동전류를 정격 이하로 줄여야 하는데, 이 경우 광출력이 감소하는 것을 피할 수 없게 된다.

LED 칩은 LED 램프를 구성하는 핵심 요소인 만큼, LED 램프 설계를 위해서는 LED 칩 자체의 정확한 분석이 필요하다. 그림 2는 현재 가시광 LED에서 가장 중요한 위치를 점하고 있는 InGaN/Sapphire LED의 전형적인 칩 구조를 보여 주고 있는데, 이 LED는 발광 색상이 자외선, 청색, 녹색을 포함하는 매우 넓은 영역에 걸쳐있으며 수명과 신뢰성이 탁월하다는 장점을 갖고 있다<sup>[2]</sup>. 뿐만 아니라 청색 또는 자외선 LED를 적절한 형광물질과 결합시킬 경우 백색 LED가 얻어지는데, 이 LED는 현재 LCD용 backlight 등에 대단위로 사용되고 있으며 앞으로는 일반조명 분야에서도 점점 더 많이 사용될 것으로 기대된다.

한편 청색 영역에서 발광하는 LED로 InGaN/SiC LED가

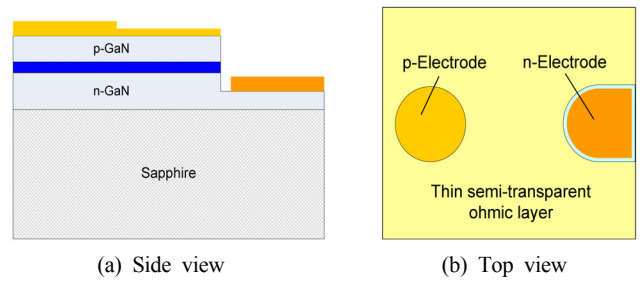


FIG. 2. Typical InGaN/Sapphire LED structure.

개발되어 InGaN/Sapphire LED와 결합할 수 있을 것으로 한 동안 기대를 받기도 하였지만, 아직까지는 신뢰성이나 광출력 면에서 크게 부족하여 시장점유율은 극히 미미한 것으로 판단된다. 그리고 또 하나의 중요한 가시광 LED로 AlInGaP/GaAs LED가 있지만, 발광색상이 적색으로 제한되어 있으며 온도나 구동전류의 변화에 대하여 발광색상이 민감하게 변하는 단점을 가지고 있다. 이 같은 상황을 종합적으로 고려할 때, InGaN/Sapphire LED의 가시광 LED에서의 독보적 지위는, 탁월한 성능의 대체 발광물질이 개발되지 않는 한, 앞으로도 계속될 것으로 여겨진다. 이 같은 이유에서 본 논문에서는 InGaN/Sapphire LED 칩을 기준으로 하여 LED 램프 패키지 설계에 대하여 다루고자 한다. 이와 같은 전제가 크게 문제가 되지 않는 것은 본 논문에서 도출될 LED 램프 패키지에 관한 이론이나 설계지침은 큰 수정 없이 여타의 LED 칩을 이용하는 LED 램프의 경우에도 그대로 적용될 수 있기 때문이다.

InGaN/Sapphire LED 칩은 반도체 결정층이 부도체인 sapphire 기판 위에 성장되는 관계로 다른 LED 칩들에 비하여 상당히 독특한 구조를 갖고 있다. 즉, 그림 2에 보인 바와 같이, p-전극과 n-전극이 모두 sapphire 기판 위에 성장된 결정층 위에 형성됨으로써 두 전극은 수직방향이 아닌 수평방향으로 서로 분리되게 된다. 전극 구조 상의 또 하나의 특징은 p-전극 패드 밖의 상부표면 전체가 반투명성(semi-transparent)의 매우 얇은 p-전극막으로 도포되어 있다는 점이다. 이 얇은 전극막은 기본적으로 p-GaN 전하집속층(carrier confinement layer)의 매우 낮은 전도도(conductivity)를 보완하기 위한 것으로, LED의 구동전압이 크게 상승하는 것을 막아주는 중요한 역할을 한다. 여기서 특히 주목할 만한 점은 p-전극과 n-전극 사이의 실질적인 격리(isolation) 간격이 보통 10~20  $\mu\text{m}$  정도로 매우 작다는 점이다. 이와 같은 p-전극과 n-전극 사이의 좁은 격리간격은 LED 칩을 칩마운트 위에 뒤집어 부착시키는 소위 Epi-down(Flip-chip bonding) 부착 방식에서 LED 칩과 칩마운트의 정확한 정렬(alignment)이 요구되는 원인이 된다.

이제까지 더 좋은 성능의 LED 램프 패키지 구조의 개발을 위해 많은 연구가 진행되어 왔음에도 불구하고 아직까지도 LED 램프 패키지 설계에 관한 통일된 이론이나 지침 같은 것들이 마련되지 못한 것으로 판단된다. 이에 본 논문에서는

먼저 Monte Carlo photon simulation 기법을 이용하여 InGaN/Sapphire LED의 칩 구조 및 칩 부착 방식이 광추출효율에 미치는 영향을 분석한다. 다음으로 그 분석결과를 바탕으로 LED 램프 패키지 구조 설계를 위한 기본 지침을 마련하고자 한다. 이와 같이 마련된 설계지침은 관련 기업이나 연구기관에서 새로운 LED 램프 구조를 설계하는 데에 중요하게 활용될 수 있을 것으로 기대된다.

## II. LED 패키지 설계 관점에서의 칩의 구분

LED 램프 패키지 설계 시 가장 먼저 해야 할 일은 사용할 LED 칩의 유형(type)을 결정하는 것이라고 할 수 있다. LED 램프 패키지 설계 관점에서 InGaN/Sapphire LED 칩을 분류하면 그림 3에 보인 바와 같이 기본면적 일반 칩, 대면적 일반 칩, 수직구조(vertical structure) 칩의 3개 유형으로 구분할 수 있을 것이다. 그림 3(a)와 3(b)는 모두 sapphire 기판이 그대로 남아 있는 일반 칩에 해당되는데, 둘 사이의 다른 점은 칩의 면적에서 크게 차이가 난다는 점이다. 그리고 그림 3(c)의 수직구조 칩은 부도체인 sapphire 기판이 제거된 후 남은 반도체 결정층의 상부 표면과 하부 표면 위에 전극이 각각 형성됨으로써 두 전극이 수직방향으로 분리된 구조를 하고 있다. 이와 같이 InGaN/Sapphire LED 칩의 유형을 구분하는 이유는 그 유형에 따라 LED 칩의 광추출효율(photon extraction efficiency or photon output coupling efficiency)이 크게 달라지고 더 나아가 각 유형의 칩을 바탕으로 한 LED 램프의 성능도 크게 달라지기 때문이다.

LED의 최종적인 발광효율에 직접적인 영향을 주는 외부양자효율(external quantum efficiency)  $\eta_{ext}$ 는

$$\eta_{ext} = \eta_{int} \eta_{cpl} \quad (1)$$

와 같이 내부양자효율(internal quantum efficiency)  $\eta_{int}$ 와 광추출효율  $\eta_{cpl}$ 의 곱으로 표현된다. 따라서 발광효율을 높이기 위해서는 내부양자효율과 함께 광추출효율도 같이 높이기

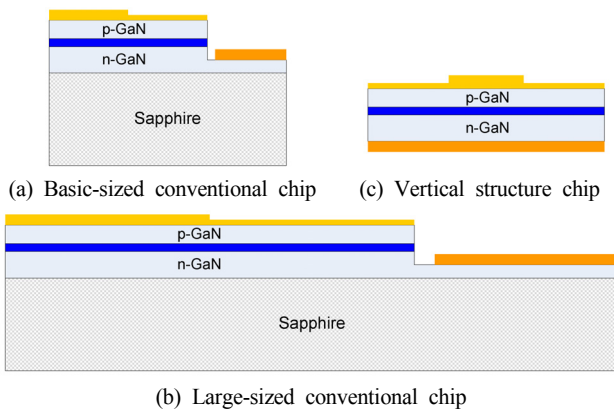


FIG. 3. Classification of InGaN/Sapphire LED structures in the viewpoint of LED lamp package design.

는 것이 필요하다. 일반적으로 내부양자효율  $\eta_{int}$ 은 주로 반도체 결정층 특히 활성층의 결정 질에 의해 결정되는 변수인 만큼 칩 또는 램프 패키지 구조와는 직접적인 연관성은 없다. 다만 칩으로부터 발생된 열에 의해 접합(junction)의 온도가 상승하게 되면 일반적으로 내부양자효율이 감소하는 경향이 나타나며<sup>[1]</sup>, 접합의 온도는 주로 칩과 램프 패키지의 방열특성에 의해서 결정된다는 점에서, 내부양자효율도 이들 램프의 구조적 변수의 영향을 받는다고 할 수 있다. 하지만 이들 구조적 변수가 내부양자효율에 미치는 영향은 어디까지 제2차적 영향(secondary effect)이라고 할 수 있다.

이에 비해 광추출효율  $\eta_{cpl}$ 은 칩과 패키지의 구조적 변수에 의해 직접적인 영향을 받는다. 예를 들어, 그림4는 이론적으로 계산한 광추출효율의 칩 크기에 따른 변화를 보여주고 있는데, 칩의 크기가 증가함에 따라 광추출효율이 민감하게 감소하고 있다. 본 논문에서는 광추출효율의 계산을 위해서 그 동안 LED 칩이나 램프 구조의 분석을 위해 많이 사용되어 온 Monte Carlo photon simulation 기법이 사용되었는데, 그 기법에 대한 자세한 설명과 주요 simulation 변수들에 대해서는 다른 자료들로부터 찾아볼 수 있다<sup>[3-5]</sup>. 다만 이하의 모든 광추출효율의 계산의 경우, LED 칩은 80%의 반사도(reflectivity)를 갖는 금속 칩마운트의 표면 위에 부착된 다음 그 전체가 굴절률 1.50의 밀봉재(encapsulant) 속에 파묻혀 있는 것으로 가정하였음을 밝힌다.

활성층으로부터 생성된 광자들은 생성 순간부터 random한 방향으로 날아가다가 도달되는 매질의 경계면에서 반사 또는 투과 과정을 거쳐 칩 벽면으로 입사하게 되는데, 이때 전 반사(total internal reflection) 현상을 피할 수 있게 되면 칩 밖으로 빠져나갈 수 있게 된다. 하지만 일부의 광자들은 이 과정 중에 매질 내에서 흡수되는데, 광자들이 흡수될 확률은 매질의 흡수계수뿐만 아니라 광자들이 칩 밖으로 빠져 나오기까지 칩 내에서 이동해야만 하는 거리에 비례하는 만큼 칩의 크기가 증가하면 광추출효율은 감소할 수밖에 없다.

현재 상업적으로 많이 사용되고 있는 LED 칩은 대략 300  $\mu\text{m} \times 300 \mu\text{m}$  정도 이하의 비교적 작은 면적을 갖고 있는데, 이와 같은 기본면적의 LED 칩을 이용할 경우 단위 LED 램프(LED 램프 unit)로부터 뽑아낼 수 있는 최대 광출력은 크게 제한될 수밖에 없다. 이 같은 이유에서 한동안 단위 LED 램프로부터의 광출력을 키우기 위한 방안의 하나로 대면적의 칩을 사용하는 방안에 대한 연구가 활발히 진행되어 왔다. 하지만 대면적 칩의 경우, 그림 4의 결과로부터 알 수 있듯이, 칩 밖으로 빠져 나온 광자들의 칩 내에서의 평균 이동 거리가 증가하고 광추출효율도 심각하게 손상된다. 게다가 대면적 칩의 경우에는 증가된 칩 면적에 비례하여 구동전류와 그에 따른 발열양도 증가하는 만큼, 패키지의 방열 효과도 비례적으로 개선되지 않는 한, 접합 온도의 상승으로 인한 내부양자효율까지도 감소하는 현상을 피하기 힘들다. 이와 같이 대면적 칩의 경우 광추출효율은 물론 내부양자효율까지도 감소할 수 있다는 개연성을 감안할 때, 일반적으로 외부양자효율  $\eta_{ext}$ 의 칩 크기에 대한 감소의 기울기는 그림

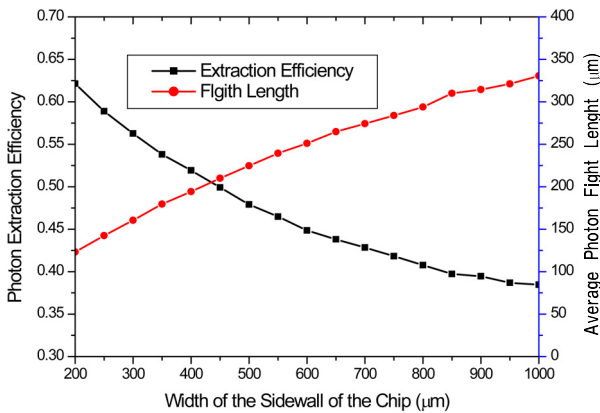


FIG. 4. The photon extraction efficiency and the average flight length of the output photons as a function of the chip size in conventional chip.

4에 보인 광추출효율  $\eta_{cpl}$ 의 칩 크기에 대한 감소의 기울기 보다 더 커진다고 할 수 있다.

이와 같이 대면적 칩의 경우에는 광추출효율 뿐만 아니라 내부양자효율의 감소에 따른 발광효율의 심각한 손상으로 말미암아, LED 고유의 장점의 하나라고 할 수 있는 고효율 특성이 상당 부분 사라지게 된다. 따라서 특별한 이유가 없는 한 그림 3(b)의 대면적 칩을 채택하기 보다는 그림 3(a)의 기본면적 칩을 채택하는 한편에 방열특성이 크게 개선된 패키지를 도입하는 것이 합리적이라고 할 수 있다. 이 경우, 구동전류를 크게 올리더라도 발생된 열이 원활하게 외부로 배출되고 그에 따라 접합 온도의 상승이 최소화됨으로써, 증가된 구동전류에 대강 비례하는 즉 크게 증가된 광출력을 얻을 수 있게 된다.

그림 3(c)의 수직구조 칩은 열전도도가 크게 떨어지는 sapphire 기판이 제거되었다는 점에서 방열관점에서는 분명한 이점을 갖는다. 하지만 수직구조 칩의 경우 sapphire 기판이 반도체 결정층과 몰딩재 사이에서 제공하고 있었던 굴절률정합(index-matching) 효과가 사라지기 때문에, 기판이 그대로 남아 있는 일반 칩에 비하여 광추출효율이 떨어지는 문제점이 나타나게 된다. Sapphire기판의 굴절률은 약 1.77 정도로, GaN 결정층의 굴절률, 약 2.48과 에폭시나 실리콘 수지 같은 일반적인 몰딩재의 굴절률, 약 1.50 사이의 값을 갖는다. 따라서 기판이 그대로 남아 있는 일반 칩의 경우에는, 활성층으로부터 생성된 광자들이 GaN 층으로부터 직접 몰딩재로 투과해 가는 확률보다는 sapphire기판을 경유하여 몰딩재로 투과해 가는 확률이 커지게 된다.

그림 5는 일반 칩에서 광추출효율의 sapphire 기판의 두께에 따른 변화를 보여주고 있다. Sapphire 기판의 두께가 감소하게 되면, 활성층으로부터 생성되어 기판으로 넘어간 광자들 중에서 칩 밖으로 탈출하지 못하고 기판 하부로부터 반사되어 반도체 결정층으로 되돌아오는 광자들의 비율이 증가하게 된다. 이에 반해, 기판의 두께가 증가할수록 기판으로부터 넘어간 광자들 중에서 직접 또는 기판의 하부로부터의

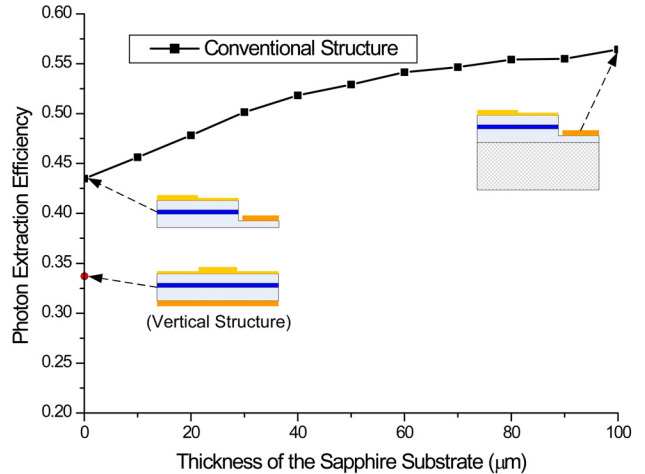


FIG. 5. Photon extraction efficiency as a function of the sapphire substrate thickness in conventional chip.

반사를 거쳐 기판의 옆면으로 입사하여 칩 밖으로 빠져 나오는 광자들의 비율이 증가함에 따라 광추출효율은 증가하게 된다.

수직구조의 칩의 경우에서도, 광자들이 칩 밖으로 빠져나가는 것을 돕는 역할을 하는 sapphire 기판이 사라진 만큼, 일반 칩에 비하여 광추출효율이 떨어질 수밖에 없다. 수직구조 칩의 광추출효율은, 그림 5에 표시된 바와 같이, 약 0.334로 기판의 두께가 100 μm 인 일반 칩의 광추출효율 0.564에 크게 못 미치는 것으로 나타났다. 더욱 흥미로운 점은 이 수직구조 칩의 광추출효율은 기판의 두께를 영으로 선택한 즉 기판을 제거한 일반 칩에서의 광추출효율 0.435보다도 상당히 작은 값을 갖는다는 점이다. 이와 같이 두 경우 모두 sapphire 기판이 사라졌다는 점에서 차이가 없음에도 불구하고 광추출효율에서 상당히 차이가 나는 이유는 전극 구조상의 차이 때문이다<sup>16)</sup>. 즉 두 전극이 수평방향으로 분리된 일반 칩의 경우, 활성층에서의 광자들의 생성 밀도가 n-전극 주변 영역에서 높게 나타나게 되는데, 이 영역은 칩의 벽면으로부터 상대적으로 가까운 영역이어서 광자들이 칩 밖으로 빠져나올 확률이 그 만큼 높아지게 된다. 이에 비해 수직구조의 칩의 경우에는 광자들이 칩의 중앙부위에 밀집되어 생성됨으로써 광자들이 칩 밖으로 빠져 나오는 과정에서 흡수될 확률이 높아지게 되어 광추출효율은 떨어지게 된다. 물론 수직구조 칩에서도 상부 전극 패드 밖의 얇은 전극층의 일부 영역을 열어주는(open) 방식 등을 이용을 하여 광추출효율을 어느 정도 개선시킬 수 있을 것으로 기대되지만, 그 상한선은 기판의 두께를 영으로 한 일반 칩에서의 광추출효율 정도 일 것으로 판단된다.

이상을 요약하면 수직구조의 칩은 방열관점에서 분명한 이점을 갖고 있지만, 일반 칩에 비하여 광추출효율이 심각하게 손상되는 문제점을 갖는다. 따라서 수직구조 칩의 경우, 방열관점에서의 잠재력을 충분히 살릴 수 있는 패키지를 도입하지 않는 한, 손상된 광추출효율을 극복하기가 쉽지 않아

광출력을 크게 늘리는 데에 한계가 따를 수밖에 없다.

### III. LED 칩 부착 방식

LED 패키지 설계에 있어서 사용할 LED 칩의 유형 결정과 함께 중요한 일은 칩마운트 위에 LED 칩을 부착시키는 방법을 결정하는 것이라고 할 수 있는데, 칩 부착 방식은 크게 Epi-up 방식과 Epi-down(Flip-chip bonding) 방식으로 구분된다. Epi-up 방식에서는 LED 칩을 칩마운트 위에 epitaxy 사이드가 위쪽으로 향하도록 부착하는 반면에, Epi-down 방식에서는 epitaxy 사이드가 칩마운트와 서로 맞닿도록 LED 칩을 뒤집어 부착한다. 참고로 sapphire 기판이 제거된 수직구조 칩의 경우에는 칩을 올바르게 부착하거나 뒤집어 부착하더라도 특성상에 큰 차이가 없기 때문에 이와 같은 구분은 무의미하다고 할 수 있다. LED 패키지 설계에 있어서 칩 부착 방식이 중요한 의미를 갖는 이유는 그 방식에 따라서 LED 램프의 방열특성은 물론 발광효율까지도 영향을 받을 수 있기 때문이다.

그림 6(a)에 보인 Epi-up 방식이 갖는 이점의 하나는 비전도성의 sapphire 기판이 칩마운트에 직접 부착되는 관계로 절연층이 도포되지 않은 맨몸(bare) 상태의 금속판을 칩마운트로 사용하는 것이 가능하다는 점이다. 참고로 이 경우 LED 칩의 두 전극 패드는 bond wire에 의해 패키지 구조의 다른 부위에 따로 마련된 두 리드에 각각 연결되게 된다. 이에 비해 Epi-down 방식의 경우에는 두 전극이 마련되어 있는 epitaxy 사이드가 칩마운트와 서로 맞닿도록 부착되는 관계로, 칩마운트 상에는 반드시 전기적으로 서로 격리된 두 개의 리드 패턴이 형성되어 있어야만 한다. 일반적으로 Epi-down 방식의 경우에는 열이 발생하는 반도체 결정층이 칩마운트에 직접 부착된다는 점에서 방열 관점에서 잠재적 이점을 갖는다고 할 수 있다. 하지만, 그림 6(b)의 구조에서처럼, 일반적으로 열전도도가 크게 떨어지는 유전체를 베이스로 하는

칩마운트를 사용할 경우 칩마운트를 통한 방열에는 제약이 따르게 된다. 따라서 방열효과를 개선하기 위해서, 그림 6(c)의 경우에서와 같이, 금속 베이스 위에 절연층을 도포한 다음 그 위에 다시 리드 패턴을 형성한 좀 더 복잡한 구조의 칩마운트가 사용되는 것이 보통이다.

이와 같이 Epi-down 방식은 좀 더 복잡한 구조의 칩마운트가 요구된다는 단점을 갖는데, 이 방식이 갖고 있는 더욱 심각한 문제점은 양산공정에 적용하기가 어렵다는 점이다. 앞에서 이미 살펴본 바와 같이, InGaN/Sapphire LED 칩에서 p-전극과 n-전극 사이의 실질적인 격리(isolation) 간격은 보통 10~20  $\mu\text{m}$  정도로 매우 작기 때문에, 칩 부착 시 두 전극 사이의 단락현상(short circuit)을 방지하기 위해서는 칩의 전극 패턴을 칩마운트 위의 리드 패턴에 정확하게 정렬시키는 과정이 필요하다. 그런데 일반적으로 LED 램프 제조 공정에 주로 사용되는 die bonder의 경우, 정렬 정확도가 10~20  $\mu\text{m}$ 에 크게 못 미치기 때문에 Epi-down 방식을 양산공정에 적용하기란 극히 어렵다고 해야 할 것이다.

이와 같은 Epi-down 방식이 갖는 칩과 칩마운트 사이의 정렬문제를 해결하기 위한 대안의 하나가 Si-wafer를 LED 칩의 submount로 사용하는 것이라고 할 수 있는데, 그 방법을 요약하면 다음과 같다. 먼저 표준 반도체 제조공정을 이용하여 epitaxy wafer 위에 전극 패턴을 형성한다. 다음으로 epitaxy wafer와 동일한 모양과 크기를 갖는 Si wafer 위에 절연층을 도포한 후 그 위에 다시 리드 패턴을 형성한다. 다음으로 이와 같이 준비된 Si wafer 위에 soldering 공정을 이용하여 epitaxy wafer를 뒤집어 부착시키게 되는데, 이 과정에서 특기할 만한 점은 epitaxy wafer 상의 전극 패턴과 Si wafer 위의 리드 패턴을 정확하게 정렬시키기 위해서는 일반적으로 die bonder 대신에 표준 반도체 제조공정에 많이 사용되는 mask aligner가 요구된다는 점이다. 끝으로 etching 또는 sawing 공정을 이용하여 그림 6(d)에 보인 바와 같은 Si submount가 부착된 개별 LED 칩들로 분리해 낸다.

하지만 이와 같은 Si-submount를 이용하는 방안 역시 다음과 같은 여러 문제점들로 인하여 역시 양산공정에 적용하기는 쉽지 않을 것으로 판단된다. 즉 그림 6(d)에 보인 바와 같이, Si submount 위의 리드 패턴에는 bond wire용 패드가 칩 밖으로 노출되도록 마련되어야만 하는데, 이를 위해서는 필연적으로 epitaxy wafer의 일부 영역을 etching 또는 sawing 공정을 이용하여 제거해내야만 하기 때문에 epitaxy wafer의 손실이 초래될 수 밖에 없다. 또한 이와 같이 상대적으로 복잡한 공정을 통해 얻은 Si submount가 부착된 LED 칩을 얻었다 하더라도, 이를 이용해 LED 램프를 제작하기 위해서는, 맨몸 상태의 LED 칩을 이용하는 경우에서와 마찬가지로, die bonding 공정과 함께 wire bonding 공정도 추가적으로 요구되기 때문에 LED 램프 생산 단가가 높아질 수밖에 없게 된다. 한편 방열 경로상에는 Si-submount와 함께 일반적으로 열전도도가 크게 떨어지는 절연층이 삽입됨에 따라 Epi-down 방식이 갖는 방열 관점에서의 이점도 어느 정도 손상될 수밖에 없다.

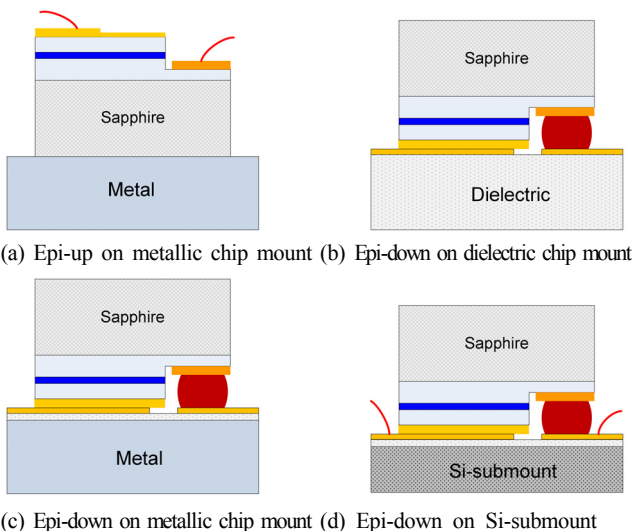


FIG. 6. Chip mounting schemes.

LED 칩 부착 방식을 결정함에 있어서 또 하나의 중요하게 고려할 사항은 칩 부착 방식이 광추출효율에 미치는 영향이다. 직관적으로 생각해보면, Epi-down 방식의 경우, sapphire 기판이 위쪽으로 완전히 열려 있다는 점에서 광추출효율이 크게 개선될 것으로 여겨지지만 반드시 그렇지만은 않다. 그림 7은 Epi-up 방식과 Epi-down 방식의 칩 크기에 따른 광추출효율의 변화를 비교해주고 있는데, 칩의 한 벽면의 폭이 260  $\mu\text{m}$  정도 이하인 영역에서는 Epi-down 방식의 광추출효율은 Epi-up 방식의 광추출효율에 비하여 오히려 떨어진다는 것을 알 수 있다<sup>4, 5</sup>.

이와 같은 약간의 의외로 여겨질 수 있는 결과를 설명하기 위해서는 sapphire 기판에 의한 굴절률정합 효과 외에 전반사(total internal reflection) 현상이 광추출효율에 미치는 영향에 대해서도 이해할 필요가 있다. 이미 앞에서 살펴본 바와 같이, sapphire 기판의 굴절률은 1.77 정도로 몰딩재의 굴절률 1.50과 큰 차이가 나지 않기 때문에, 생성된 광자들이 기판으로 넘어가지만 하면 대부분, 특히 Epi-down 방식의 경우, 칩 밖으로 빠져나가게 된다는 점에서 기판은 광추출효율을 개선시키는 효과를 갖는다. 하지만 sapphire 기판의 굴절률 1.77은 GaN 굴절률 2.48에 비해서는 상대적으로 너무 작다고 할 수 있어서 상당한 비율의 광자들은, 즉 활성층으로부터 생성되어 결정면에 대강 나란하게 진행하는 광자들은, sapphire 기판에 대한 입사각이 임계각(critical angle)을 넘게 됨에 따라 기판으로부터 전반사 현상을 피할 수 없게 되어 결국 반도체 결정층 내에 갇히게(trap) 된다.

이들 반도체 결정층 내에 갇힌 광자들의 경우에는 Epi-up 방식이 Epi-down 방식에 비하여 광추출효율 관점에서 유리하다고 할 수 있는데, 그 이유는 Epi-up 방식의 경우 광자들이 반도체 결정층의 옆면은 물론 p-전극 패드 밖의, 대개의 경우 textured surface에 도포된, 반투명성의 얇은 전극막을 통해서도 칩 밖으로 빠져 나갈 수 있기 때문이다. 한편 활성층으로부터 생성되어 결정면에 대하여 대강 수직인 방향으로 진행하는 광자들의 경우에는, sapphire 기판에 대한 입사각이 임계각보다 작게 되어 전반사를 피해 기판으로 넘어갈 수 있게 된다. 이들 광자들의 경우에는 Epi-down 방식이 Epi-up 방식에 비하여 광추출효율 관점에서 유리하다고 할 수 있는데, 그 이유는 Epi-down 방식의 경우 광자들이 기판의 옆면은 물론 완전하게 열려 있는 기판의 윗면을 통해서도 칩 밖으로 빠져나갈 수 있기 때문이다.

이와 같이 생성된 광자들의 대강의 진행 방향에 따라 Epi-up 방식과 Epi-down 방식 각각에서만 열려 있는 LED 칩 표면이 존재하기 때문에 두 방식 사이에는 광추출효율이 달라질 수밖에 없는데, 여기서 주목할 점은 칩의 크기가 변하게 되면 각각의 방식에서만 광자들이 빠져나가는 칩 표면의 전체 칩 표면에 대한 비율이 변한다는 점이다. 예를 들어, LED 칩의 높이가 고정된 채로 칩의 크기가 수평방향으로만 증가하게 되면, Epi-down 방식에서만 열려 있는 기판 윗면의 면적이 Epi-up 방식에서도 같이 열려 있는 기판 옆면의 면적에 비하여 빠른 속도로 증가하게 된다. 그 결과 활성층으로부터

생성되어 결정면에 대하여 대강 수직인 방향으로 진행하여 기판으로 넘어가는 광자들의 경우에는, 칩의 크기가 증가할수록 Epi-down 방식의 상대적 이점이 커지게 된다. 한편 칩의 크기가 증가할 경우, Epi-up 방식에만 열려 있는 p-전극 밖의 보통 textured surface에 도포된 반투명성의 얇은 전극막의 면적이 Epi-down 방식에서도 같이 열려 있는 반도체 결정층의 옆면 면적에 비하여 빠른 속도로 증가하게 된다. 그 결과 활성층으로부터 생성되어 결정면에 대하여 대강 나란한 방향으로 진행함으로써 결정층 내에 갇힌 광자들의 경우에는, 칩의 크기가 증가할수록 Epi-up 방식의 상대적 이점이 커지게 된다.

이와 같이 광추출효율 관점에서 LED 칩의 크기가 증가할수록 Epi-up 방식이 상대적으로 유리해지는 부분과 반대로 Epi-down 방식이 상대적으로 유리해지는 부분이 함께 존재함에도 불구하고, 그림 7에 보인 바와 같이, 칩의 크기가 크게 증가된 영역의 경우 Epi-down 방식의 광추출효율이 Epi-up 방식에 비하여 높게 나타나고 있다. 이와 같이 대면적 칩에서 Epi-down 방식의 광추출효율이 Epi-up 방식의 광추출효율 보다 큰 값을 보이는 이유는, 칩의 크기가 증가에 따른 Epi-down 방식의 상대적 이점이 Epi-up 방식의 상대적 이점보다 크거나, 혹은 sapphire 기판으로부터 전반사를 피하여 기판으로 넘어가는 광자들의 비율이 기판으로부터의 전반사 현상으로 인해 결정층 내에 갇히는 광자들의 비율보다 높기 때문에 Epi-down 방식의 상대적 이점이 더욱 부각되는 것으로 판단 할 수 있을 것이다.

하지만 InGaN/Sapphire LED 칩의 경우, sapphire 기판의 두께는 보통 100  $\mu\text{m}$  정도로 매우 큰 값을 갖고 있어서, 칩의 크기가 크게 감소하면 Epi-up 방식에서도 열려 있는 기판 옆면의 면적이 Epi-down 방식에서만 열려 있는 기판 윗면의 면적에 비하여 무시할 수 없는 수준이 되어서 Epi-down 방식의 상대적 이점이 그만큼 퇴색될 수밖에 없다. 결국, 그림 7의 결과에서 볼 수 있듯이, 칩의 한 벽면의 폭이 260  $\mu\text{m}$  이

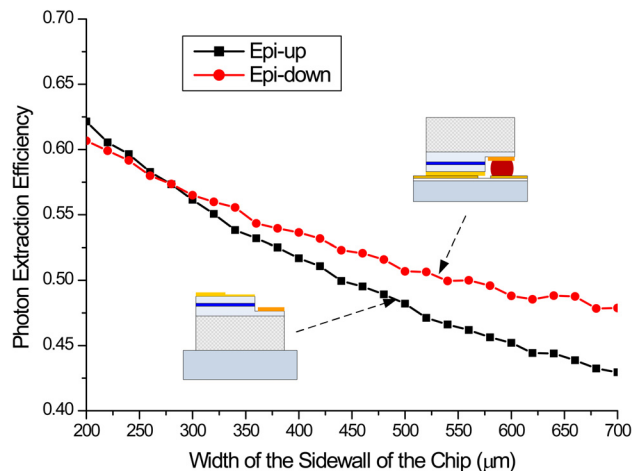


FIG. 7. Photon extraction efficiency as a function of the chip size, depending on chip-mounting schemes.

하의 상대적으로 작은 면적의 칩의 경우 Epi-down 방식의 광추출효율이 Epi-up 방식의 광추출효율보다 오히려 낮아지게 된다.

이상으로부터 Epi-down 칩 부착 방식은 좀 더 복잡한 구조의 칩마운트가 요구되며 칩 부착 시 LED 칩과 칩마운트 사이의 정밀한 정렬이 요구된다는 점에서 양산에 적용하기가 어려운 방식이라고 할 수 있다. 또한 Epi-down 방식에서 요구되는 칩마운트의 경우 필연적으로 두 리드 패턴은 열전도도가 상대적으로 떨어지는 절연층 위에 형성될 수밖에 없는데, 이 절연층은 칩으로부터 발생된 열의 원활한 방출을 제한한다는 문제를 야기시키게 된다. 한편 상업적으로 광범위하게 사용되고 있는  $300\ \mu\text{m} \times 300\ \mu\text{m}$  정도 이하의 기본면적 칩의 경우, Epi-down 방식의 광추출효율은 Epi-up 방식의 광추출효율과 비교하여 거의 같거나 오히려 떨어진다는 사실도 Epi-down 방식이 갖고 있는 방열 관점에서의 잠재력을 그만큼 상쇄시키는 것이라고 할 수 있을 것이다.

#### IV. LED 칩-칩마운트 조합 및 광출력 특성

앞의 두 절에서 살펴본 LED 칩의 유형과 칩 부착 방식에 대한 검토 내용을 바탕으로 다음과 같은 중간 결론을 내릴 수 있을 것이다. 우선 그림 3(b)의 대면적 칩은 광추출효율이 손상될 뿐만 아니라 내부양자효율까지도 손상될 개연성이 큰 만큼, 특수 상황이 아니면 사용하지 않는 것이 유리하다. 그리고 그림 3(c)의 기판이 제거된 수직구조 칩은 광추출효율이 심각하게 손상된다는 단점에도 불구하고 방열관점에서 잠재력을 가지고 있기 때문에 방열특성이 우수한 칩마운트와 결합될 경우, 최대 광출력을 늘릴 수 있는 개연성이 있다. 다음으로 LED 칩 부착 방식과 관련해서는, Epi-down 방식은 상대적으로 복잡한 구조의 칩마운트가 요구되며 칩 부착 공정이 어렵다는 점에서 실용성이 떨어질 뿐만 아니라, 실제로 광범위하게 사용되고 있는  $300\ \mu\text{m} \times 300\ \mu\text{m}$  정도 이하의 기본면적의 칩에 적용할 경우 광추출효율 관점에서

Epi-up 방식에 비하여 이점이 거의 없거나 손해가 된다. 이와 같은 문제점들을 감안할 때 Epi-down 칩 부착 방식 역시 특수한 상황이 아니면 사용하지 않는 것이 유리하다고 할 수 있을 것이다. 이상의 중간결론에 의거하여 대면적 칩과 Epi-down 방식을 실질적으로 배제시킬 경우, 실용성을 갖는 대부분의 LED 램프 패키지 구조들은, 그림 8에 보인 바와 같이, 기본 면적의 일반 및 수직구조 칩과 금속 및 유전체 칩마운트 사이의 4가지의 조합 유형의 어느 하나로 분류할 수 있을 것이다.

이미 LED 칩-칩마운트 조합에 따른 전류-광출력 특성에 대한 연구 결과가 보고된 바가 있지만<sup>7)</sup>, 실제의 LED 램프의 전류-광출력 특성을 일반화시켜 설명하기는 극히 어렵다고 할 수 있다. LED의 전류-광출력 특성을 포함한 제반 특성은 칩의 유형과 칩 마운트의 종류 및 크기(열용량)뿐만 아니라 제작된 단위 LED램프가 궁극적으로 부착되는 PCB (printed circuit board)의 방열특성 등과 같은 매우 다양한 변수에 의해 결정되며, 특히 유전체 칩마운트는 금속 칩마운트에 비하여 일반적으로 방열특성뿐만 아니라 광자 반사도(reflectivity)조차도 크게 떨어지기 때문에, 이들 두 종류의 칩마운트 사이에서 광출력의 크기를 단순 비교할 수는 없게 된다. 따라서 본 연구에서는 이전의 연구에서 밝혀진 사실들을 바탕으로 주로 원론적인 차원에서 광출력 특성을 분석하고자 하는데, 우선 그림 9는 칩-칩마운트 조합 유형별 전류-광출력 특성을 도식적으로 표시해본 것이다.

그림 8(a)는 일반 칩을 금속 칩마운트와 결합시킨 유형으로 접합부로부터 칩마운트 하단까지의 방열 경로상에 열전도도가 크게 떨어지는 sapphire 기판이 위치하고 있어서 전체 열저항은 상당히 큰 값을 갖게 된다. 이와 같이 상당히 큰 열저항 값을 갖는다 하더라도, 구동전류가 상대적으로 작은 경우에는 발열량이 작아서 접합부의 온도가 크게 상승하지 않게 되어 광출력은 대강 구동전류에 비례하게 된다. 하지만 전류가 크게 증가하게 되면, 발열이 심화되고 발생된 열이 큰 열저항으로 인하여 외부로 원활하게 배출되지 못하게 된다. 그 결과 접합의 온도가 상승하게 되고 그 부작용으

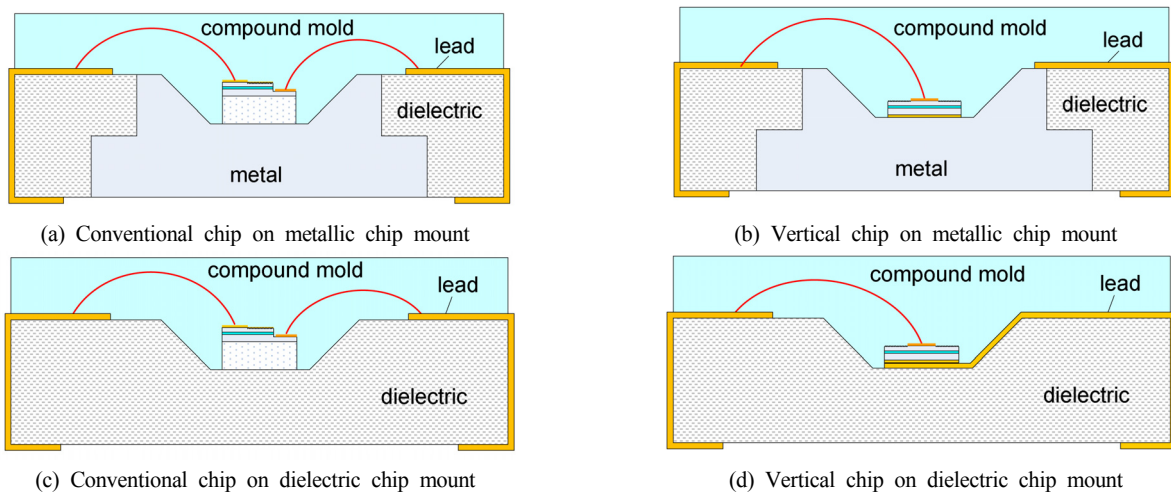


FIG. 8. Four basic LED lamp packaging structures with different chip/chip mount combinations.

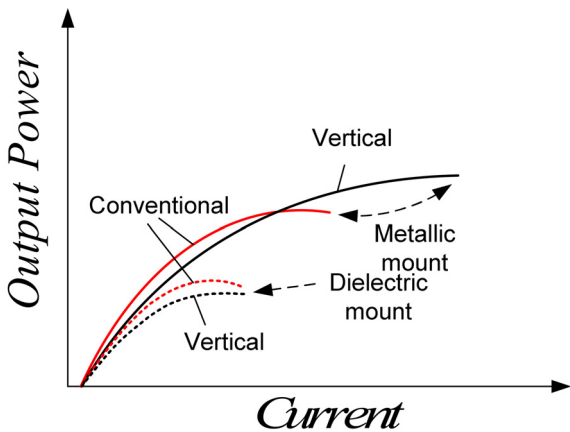


FIG. 9. Schematic current-output power characteristics depending on chip/chip mount combinations.

로 내부양자효율이 심각하게 손상됨에 따라 구동전류에 대한 광출력의 증가가 둔화되거나 심하면 감소하게 된다.

그림 8(b)는 수직구조 칩을 금속 칩마운트와 결합시킨 유형으로 접합부로부터 칩마운트 하단까지의 방열 경로상에 열전도도가 크게 떨어지는 sapphire 기판이 사라져서 전체 열저항은 극히 작은 값을 갖게 된다. 하지만 이 조합의 경우 광추출효율이 상대적으로 작은 수직구조 칩이 사용됨에 따라, 전류가 작은 영역에서의 광출력이 그림 8(a)의 일반 칩을 사용한 경우에 비하여 항상 떨어진다는 문제점을 갖는다. 그러나 이 조합의 경우에는 열저항이 극히 작기 때문에 전류를 크게 증가시키더라도 접합부로부터 방출된 열이 외부로 원활히 배출되고 접합의 온도 상승이 최소화됨으로써 구동전류에 대하여 광출력이 선형적으로 증가하는 구간이 크게 확대 된다. 그 결과 구동전류를 웬만큼 증가시키더라도 광출력이 계속 비례하여 증가함에 따라, 결국 그림 8(a)의 일반 칩으로부터 얻을 수 있는 광출력을 능가하는 점(power crossover point)이 나타나게 된다.

그림 8(c)는 일반 칩을 유전체 칩마운트와 결합시킨 유형으로 접합부로부터 칩마운트 하단까지의 방열 경로상에 열전도도가 크게 떨어지는 sapphire 기판 외에 일반적으로 기판보다 훨씬 두꺼운 유전체 재질의 칩마운트가 위치하고 있어서 전체 열저항이 매우 큰 값을 갖게 된다. 이 경우 비교적 작은 발열량에 의해서도 접합부의 온도가 크게 상승하기 때문에 매우 낮은 구동전류에서부터 광출력의 전류에 대한 증가가 둔화되기 시작한다. 유전체 칩마운트는 이와 같이 방열특성이 크게 떨어진다는 문제점 외에 그 표면의 반사도가 일반적으로 금속 칩마운트에 비하여 떨어진다는 문제점도 가지고 있다. 따라서 같은 일반 칩을 사용하고 있음에도 불구하고 그 광출력은 유전체 칩마운트 대신에 금속 칩마운트를 사용한 그림 8(a)의 경우에 비하여 항상 작은 값을 갖게 된다.

그림 8(d)는 수직구조 칩을 유전체 칩마운트와 결합시킨 유형으로 방열 경로상에 열전도도가 크게 떨어지는 sapphire

기판이 사라졌다고는 하지만 여전히 매우 두꺼운 유전체 칩마운트가 위치하고 있어서 전체 열저항이 아직도 매우 큰 값을 갖게 된다. 따라서 그림 8(c)의 경우에서처럼 전류에 대하여 광출력이 선형적으로 증가하는 선형구간이 크게 감소하게 된다. 게다가 사용된 수직구조 칩의 낮은 광추출효율로 인하여 광출력은 거의 모든 전류영역에 걸쳐 그림 8(c)의 경우에 비하여 낮은 값을 갖게 되는데, 특히 주목할 점은 대개의 경우 그림 8(b)의 구조에서 관찰되었던 power crossover point에 도달되기 전에 LED 칩이 실패하는(fail) 현상이 나타난다는 점이다.

### V. COB 패키지 개념에 대하여

일반적으로 LED의 광출력, 스펙트럼 분포 및 색상, 신뢰도 등을 포함하는 제반 특성은 접합부의 온도에 의해 상당히 민감하게 영향을 받는 만큼, 이들 특성이 최종적으로 결정되는 것은 LED가 실제로 사용되는 응용제품 내의 PCB 등에 부착되고 난 뒤라고 할 수 있다. 일반적으로 고출력 LED의 경우에는 유전체를 베이스로 하는 보통의 PCB보다는 MCPCB (metal core printed circuit board)가 주로 사용된다. MCPCB는 금속판 베이스 위에 절연층이 도포된 다음 그 위에 다시 구리와 같은 금속의 회로층(circuit layer)이 형성된 구조를 하고 있는데, 그림 10(a)는 MCPCB 위에 부착된 단위 LED 램프(LED lamp unit)를 보여주고 있다.

방열특성만을 고려할 경우 단위 LED 램프를 PCB 위에 부착시키는 방식은, 그림 10(b)에서와 같이, LED 칩 자체를 PCB 위에 직접 부착시키는 소위 COB(chip on board) 방식에 비하여 불리하다. 참고로 COB 방식의 경우에서도 Epi-down 방식으로 칩을 부착시킬 수도 있지만, 이미 앞에서 살펴본 바와 같이, Epi-down 방식이 갖는 여러 한계점을 감안하여 Epi-down 방식을 이용한 COB 방식은 더 이상 다루지 않기로 한다.

일반적으로 LED가 최종적으로 부착되는 PCB의 경우, 상대적으로 넓은 면적을 갖고 있으며 그 베이스 기판도 매우 두껍기 때문에 열용량(heat capacity)이 매우 크게 된다. 따라서 COB 방식으로 LED 칩을 PCB에 직접 부착시킬 경우 접합부의 온도 상승이 최소화됨에 따라 구동전류와 광출력을 크게 늘릴 수 있게 된다<sup>[8]</sup>. 이와 같은 COB 패키지 개념이 갖는 이점 때문에 최근까지도 많은 연구가 진행되고 있는 것으로 여겨지지만, COB 패키지는 분명한 한계점으로 말미암아 광범위하게 사용될 수는 없을 것으로 여겨진다.

일반적인 LED 응용 제품 내의 PCB는 그 제품 고유의 용도에 따라 그 형태 또는 크기가 일정하지 않게 된다. 그리고 복수의 LED를 요하는 경우 인접한 LED 사이의 간격도 일정하지 않다고 해야 할 것이다. 이와 같이 전혀 표준화될 수 없는 PCB 위에 LED 칩을 부착시키고 이를 다시 에폭시나 실리콘 수지와 같은 몰딩재로 에워싸는(encapsulation) 등의 공정을 자동화 시키는 것은 결코 쉬운 일이 아니다. 비록 값이 싸게 COB 공정이 개발되었다 하더라도 또 하나의 중요



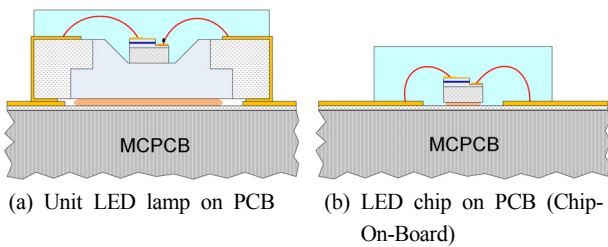


FIG. 10. Two different approaches to implement LED lamps on application PCB.

한 관문이 남게 되는데, 그것은 PCB 상의 모든 COB 램프들에 대하여 광출력, 스펙트럼 분포, 신뢰성 등과 같은 제반의 LED 특성을 테스트하고 평가해야 한다는 것이다. COB LED 램프의 경우 이와 같은 특성 테스트도 역시 표준화되지 못한 PCB 상에서 이루어져야 하는 만큼 자동화시키는 것도 매우 어려울 수밖에 없다. 또 하나의 결정적인 문제점은 만일 PCB 상의 여러 램프들 중에서 어느 한 램프에서 어느 한 테스트 항목에서라도 실패를 할 경우 그 램프는 교체되어야 하는데, 일반적으로 PCB 상에 몰딩되어 있는 LED를 제거하는 것은 극히 어려운 작업이다. 이에 비해 그림 10(a)에서와 같이 단위 LED 램프를 PCB에 부착 시키는 방식의 경우에는, 먼저 단위 LED 램프를 표준 반도체 공정을 이용하여 대량으로 제작하게 된다. 다음으로 자동화된 테스트 장비를 이용하여 제작된 LED 램프의 제반 특성을 측정 및 평가한 후 통과된 LED 램프만을 선택하여 PCB 위에 보통 납땀을 이용하여 부착시키게 된다. 그리고 만일 단위 LED 램프 부착 과정 등에서 문제가 생긴 램프는 정상적인 램프로 손쉽게 대체될 수 있게 된다.

이상으로부터 COB 패키지 개념은, 단위 LED 칩으로부터의 광출력을 크게 키울 수 있다는 잠재력을 가지고 있지만, 일선 LED 램프 생산 기업에서 양산적으로 적용하기는 극히 어려운 기술이라고 할 수 있을 것이다.

## VI. 결 론

Monte Carlo photon simulation 기법을 이용하여, InGaN/Sapphire LED 칩 구조의 3가지 유형, 즉 기본면적 일반 칩, 대면적 일반 칩, 수직구조 칩의 광추출효율 특성을 분석하였다. 그리고 Epi-up 칩 부착 방식과 Epi-down 칩 부착 방식을 광추출효율과 공정상의 난이도 관점에서 상호 비교하였다. 이상을 바탕으로 LED 램프 패키지 구조 설계를 위한 기본 지침을 정리하면 다음과 같다:

1. 칩 면적이  $300\ \mu\text{m} \times 300\ \mu\text{m}$  정도를 크게 넘는 대면적 칩은 광추출효율이 크게 손상될 뿐만 아니라 심화된 발열과 그에 따른 접합부의 온도 상승으로 인하여 내부양자효율까지도 손상될 개연성이 큰 만큼, 대면적 칩은 특별한 경우가 아니면 사용하지 않는 것이 바람직하다.

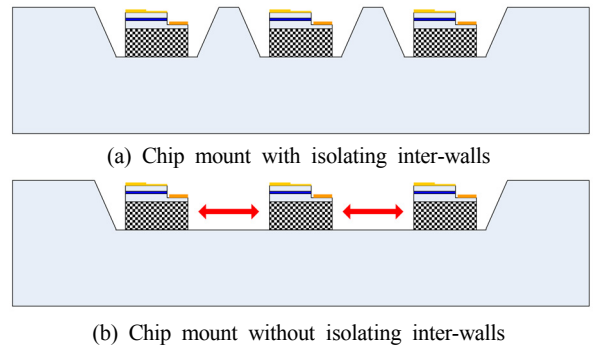


FIG. 11. Multi-chip integration schemes.

2. 단위 LED 램프로부터의 광출력을 높이기 위한 현실적인 대안은  $300\ \mu\text{m} \times 300\ \mu\text{m}$  정도 이하의 기본면적의 칩과 방열특성을 크게 개선할 수 있는 패키지를 결합시킴으로써 최대 구동전류를 크게 늘리는 것이다.
3. 단위 LED 램프 패키지로부터의 광출력 또는 광속밀도 (photon flux density)를 높이기 위한 방안으로 한 패키지 내에 복수의 칩을 집적시키는 방안이 있을 수 있는데, 이 경우에는 그림 11(a)에 보인 바와 같이 인접 칩들 간의 광결합(optical coupling) 현상을 막을 수 있는 격벽을 갖춘 칩마운트를 사용하는 것이 바람직하다. 참고로 그림 11(b)에 보인 바와 같은 격벽이 없는 단순한 구조의 칩마운트를 사용하는 경우에는, 인접 칩들간의 심각한 광결합 현상으로 말미암아 복수의 칩들이 마치 면적이 크게 증가된 한 개의 칩으로 동작하는 효과가 나타남으로써 광추출효율이 심각하게 손상된다.
4. Sapphire 기판이 그대로 남아 있는 일반 칩을 칩마운트 위에 뒤집어 부착시키는 Epi-down 방식의 경우, 전기적으로 서로 분리된 두 개의 리드 패턴을 윗면에 갖추고 있는 상당히 복잡한 구조의 칩마운트가 요구될 뿐만 아니라 후속 공정도 매우 복잡하기 때문에 실용적이지 못하다. 한편 상업적으로 광범위하게 사용되고 있는  $300\ \mu\text{m} \times 300\ \mu\text{m}$  정도 이하의 기본면적의 칩의 경우, Epi-down 방식의 광추출효율은 Epi-up 방식의 광추출효율과 거의 같거나 오히려 떨어진다. 이와 같이 Epi-down 방식은 양산성이 떨어질 뿐만 아니라 광추출효율 상의 이점도 없기 때문에, 방열특성의 커다란 개선이 요구되는 특별한 경우가 아니면 채택하지 않는 것이 바람직하다.
5. 유전체 칩마운트는 금속 칩마운트에 비하여 훨씬 간단한 구조로 그리고 값이 싸게 구현할 수 있는 장점을 갖지만, 방열특성이 떨어질 뿐만 아니라 표면의 광자반사도가 떨어져 발광효율을 손상시키는 만큼 고효율 LED 램프에는 사용하지 않는 것이 바람직하다.
6. Sapphire 기판이 제거된 수직구조 칩의 경우, 일반 칩에 비하여 방열특성에서 이점을 갖지만 광추출효율이 상당히 떨어지기 때문에, 방열 관점에서의 잠재력을 살리기 위해서는 금속 칩마운트가 필수적으로 요구된다. 하지

만 수직구조 칩과 금속 칩마운트가 결합된 램프를 상대적으로 작은 전류로 구동할 경우, 그 광출력은 일반 칩을 금속 칩마운트와 결합시킨 램프에 비하여 오히려 떨어진다. 그리고 수직구조 칩을 유전체 칩마운트와 결합시킨 램프의 광출력은 거의 모든 전류 영역에 걸쳐서 일반 칩과 유전체 칩마운트를 결합시킨 램프에 비하여 떨어진다. 결론적으로 수직구조 칩은 고출력 응용분야에서 반드시 금속 칩마운트와 결합되어 사용되어야 하며, 저출력 응용분야에서 사용될 경우 유전체 칩마운트는 물론 금속 칩마운트 위에서도 일반 칩에 비하여 불리하게 된다.

7. LED 칩을 응용 제품 내의 PCB에 직접 부착시키는 COB 패키지 개념은 실용성이 크게 떨어지는 만큼 특수한 경우를 제외하고는 적용하지 않는 것이 바람직하다.

끝으로 이상의 LED 램프 패키지 설계를 위한 지침들은 관련 기업이나 연구기관에서, LED 램프의 구체적 응용분야에 따라 최적화된 패키지 구조를 개발하는 데에 중요하게 활용될 수 있을 것으로 기대된다.

### References

1. Y. Li, W. Zhao, Y. Xia, M. Zhu, J. Senawiratne, T. Detchprohm, E. F. Shubert, and C. Wetzel, "Temperature dependence of the quantum efficiency in green light emitting diode dies," *Phys. Stat. Sol. (c)* **4**, 2784-2787 (2007).
2. T. Mukai, M. Yamada, and S. Nakamura, "InGaN-based uv/blue/green/amber/red LEDs," *Proc. SPIE* **3621**, 2-14 (1999).
3. S. J. Lee, "Analysis of light-emitting diodes by Monte Carlo photon simulation," *Appl. Opt.* **40**, 1427-1437 (2001).
4. S. J. Lee, "Photon extraction efficiency in InGaN light-emitting diodes depending on chip structures and chip-mount schemes," *Hankook Kwanghak Hoeji (Korean J. Opt. Photon.)* **16**, 275-286 (2005).
5. S. J. Lee, "Study of photon extraction efficiency in InGaN light-emitting diodes depending on chip structures and chip-mount schemes," *Opt. Eng.* **45**, 1/14601-14/14601 (2006).
6. S. J. Lee, "Electrode design for InGaA/Sapphire LED's based on multiple thin ohmic metal patches," *Proc. SPIE* **5530**, 339-346 (2004).
7. D. W. Hong, J. K. Yoo, J. M. Kim, M. J. Yoon, and S. J. Lee, "Analysis of the effect of the substrate removal and chip-mount type on light output characteristics in InGaN/Sapphire LEDs," *Hankook Kwanghak Hoeji (Korean J. Opt. Photon.)* **19**, 381-385 (2008).
8. D. W. Hong and S. J. Lee, "A study on high power LED lamp structures," *Korean J. Opt. Photon. (Hankook Kwanghak Hoeji)* **21**, 118-122 (2010).

1. Y. Li, W. Zhao, Y. Xia, M. Zhu, J. Senawiratne, T.