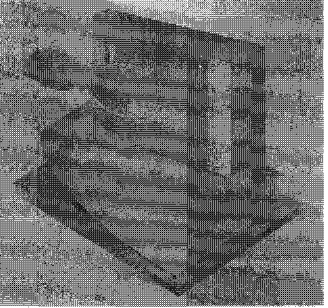


# A Fundamental ESD Protection Technology for IC



심진섭 팀장/수석연구원 (Magnachip 반도체 Corporate Engineering NVM/ESD/Device Team)

## 1. 서론

얼마 전 인기리에 중영된 시크릿 가든에서 가장 인상 깊었던 장면 중 하나가 남자 주인공이 뇌사 상태인 여자 주인공을 살리기 위하여 자신이 대신 뇌사 상태로 빠지는 희생을 각오하고 번개가 빗발치는 지역으로 자동차를 몰고 가는 장면인데 이러한 번개는 자연 현상 중 하나로서 급하게 상승하는 기류에 의한 구름들 간의 마찰에 의하여 만들어진다. 그 마찰에 의하여 구름 속에 있는 얼음 조각이나 물방울이 분해되어 양 전하는 구름 위쪽으로, 음전하는 구

름 아래쪽으로 형성되는데 그 음전하는 지상에 양전하를 끌어 당기게 되고 지상으로 그 번개를 이동시켜 낙뢰를 발생시키기도 한다. 특히 전하가 집중되어 있는 곳, 즉 날카로운 끝점이나 가장자리에 낙뢰가 발생하는데 이러한 원리로서 산꼭대기, 큰 나무 줄기, 피뢰침 등으로 번개가 유입되는데 반하여 자동차 안은 자동차 표면에 전하가 널리 분포되기 때문에 자동차 안의 전기장은 0이 되어 보다 안전하다고 할 수 있다.

반도체 IC에서도 이러한 번개처럼 극단적인 Discharge 현상은 아니지만 같은 원리로서 두 반도체간의 마찰에 의하여 서로 이동할 수 있는 전하 (Charge)가 이동하여 충전하게 되고 그 충전된 전하는 Discharge하는 가운데 Arc를 발생시켜 IC에 치명적인 Damage를 줄 수 있다.

이때 발생되는 현상을 ESD (Electric Static

표 1. Electrostatic Triboelectric Series (1).

MOST POSITIVE(+)	→	
		AIR
		HUMAN SKIN
		ASBESTOS
		FUR(RABBIT)
		GLASS
		MICA
		HUMAN HAIR
		NYLON
		WOOL
		SILK
		ALUMINUM
		PAPER
		COTTON
		STEEL
		WOOD
		SEALING WAX
		HARD RUBBER
		NICKEL, COPPER
		BRASA, SILVER
		GOLD, PLATINUM
		ACETATE FIBRE(RAYON)
		POLYESTER(MYLAR)
		CELLULOID
		ORLON
		POLYSTYRENE(STYROFOAM)
		POLYURETHANE(FOAM)
		SARAN
		POLYETHYLENE
		POLYPROPYLENE
		POLYVINYL CHLORIDE(VINYL)
		SILICON
		TEFLON
		SILICON RUBBER
MOST NEGASITIVE(-)	→	

표 2. Examples of General Electrostatic Discharge (2).

Static voltages as a function of humidity	20% RH (kV)	80% RH (kV)
Walking across vinyl floor	12	0.25
Walking across synthetic carpet	35	1.5
Arising from foam cushion	18	1.5
Picking up polyethylene bag	20	0.6
Sliding styrene box on carpet	18	1.5
Removing mylar tape from pc board	12	1.5
Shrinkable film on pc board	16	3
Triggering vacuum solder remover	8	1
Aerosol circuit freeze spray	15	5



Discharge) 현상, 즉 정전기 현상이라 한다.

여기서 전하 이동이라는 용어가 나오는데 두 물질간의 마찰 (Friction), 문지름 (Rubbing), 접촉, 충돌 (Collision) 등이 일어나면 두 물질간의 Electron Orbit 구조에 따른 전자 친화력 차이로 인하여 작은 전자 친화력을 가진 물질에서 큰 전자 친화력을 가진 물질로의 전하 이동이 생기면서 ESD가 발생되는데 이것을 접촉성 대전 (Triboelectric Charging)이라 한다. 이외에도 유도성 대전, Spray Charging 등이 있으나 반도체 IC에서 발생하는 ESD는 대부분 이 접촉성 대전에 의한 것이다.

이러한 전자 친화력 특성으로 인한 전하이동으로 각 물질은 전자를 잃어버리기 쉬운 Positively Charged 물질과 전자를 얻기 쉬운 Negatively Charged 물질로 분류가 되는데 이러한 물질의 Polarity특성과 대전된 Charge양에 따라 표 1과 같은 Triboelectric Series 표를 만들 수 있다.

따라서 서로 양극화가 심한 물질간의 접촉은 ESD 현상이 잘 일어나고 그 ESD Level도 높으며 그 반대는 ESD 현상이 덜 일어나는 것을 의미한다. 예를 들면 Silicon 재질인 Wafer의 운반 Box로서 Teflon 재

질을 사용하는 것은 정전기를 최소화할 수 있기 때문이다.

또한 주위 습도 양에 따라 ESD Level이 달라지는데 표 2에는 여러 상황 조건에 따른 ESD Level을 주위 습도 양에 따라 명기한 것으로 고습도의 환경에서는 ESD Level이 감소하는 것을 알 수 있다.

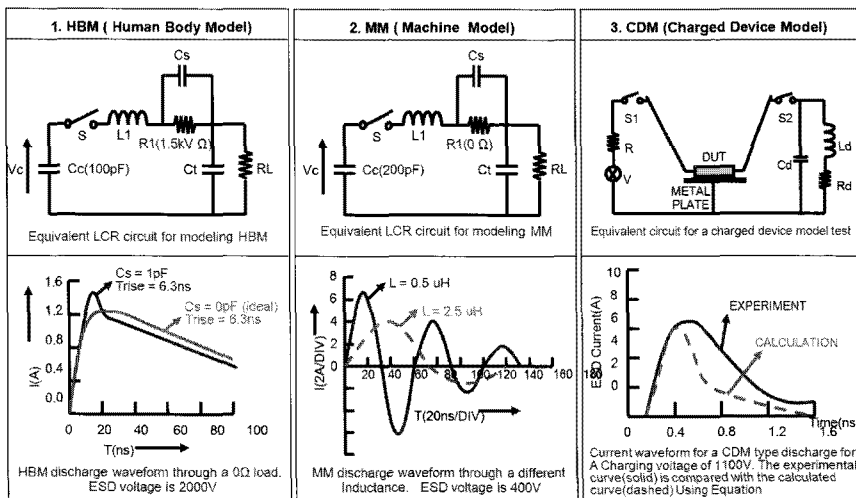
## 2. ESD MODEL

이러한 ESD는 대표적인 3가지 Case별로 LCR 형태의 Model (HBM, MM, CDM)를 만들 수 있는데 이것은 보다 큰 영역인 EOS (Electric Over Stress)와 구분될 수 있는 특징이기도 하다.

### 2.1 HBM (Human Body Model)과 MM (Machine Model)

정전기를 가지고 있는 물체(인체, 기계)가 Device의 Pin에 접촉하면서 순간적으로 Device 내부로 Charge들이 들어가는 현상을 Model화한 것이다.

\*외부에서 내부로 가해지는 Current (Charge) Stress



\* Cs: Parasitic Cap. of Interconnect

(Cs의 증가는 Rising Time을 감소, Peak Current를 증가시킴)

\*\* Ct: Parasitic Cap. of Test Board

(Ct의 증가는 Rising Time을 증가, Peak Current를 감소시킴)

그림 1. ESD LCR Model & Stress Waveform.

## 2.2 CDM (Charged Device Model)

Package의 Pin이나 Body를 통해서 미세한 Charge들이 마찰 또는 Field에 의해 Device내의 Cap. 성분 (Metal Line & Junction)에 축적되어 있다가 외부와 Path를 형성하는 Pin을 통해서 순간적으로 Device 외부로 방전되는 현상을 Model화한 것이다.

\* 내부에서 외부로 가해지는 Current (Charge) stress

앞서 서론에서 설명한 Discharge하면서 Arc를 발생시켜 Damage를 준 정전기 현상은 CDM에 속한다 할 수 있다.

이 CDM은 Charging 방식에 따라 Socket에 IC를 꼽고 모든 Pin들을 한 번에 Charging시키는 Socket CDM보다 IC의 Pin을 하늘을 향해 놓고 E-field로 인한 자장으로 Charging시키는 방식인 Non-socket CDM (Field Induced CDM)이 실제 상황과 더 가까워 주로 이 방식을 채택하는 추세다.

이 3가지 LCR Model은 각각 다른 Stress 파형을 생성시킬 수 있는데 이 파형들은 반도체 IC Level ESD Test 시 사용된다. 이러한 파형들은 그림 1과 같이 Rising Time ( $\leq 10$  nsec)과 Duration Time ( $\leq 100$  nsec)이 매우 짧고 1 A 이상의 High Current 특징을 갖고 있다.

## 3. ESD TEST METHODOLOGY & ESD SPECCIFICATION

반도체 IC의 ESD Test는 먼저 모든 Function Test에서 Pass한 IC를 선택하여 3가지 Model의 Stress 파형을 각각 인가 (Zapping) 후 앞서 진행한 Function Test를 재 실시하여도 동일하게 Pass하는 것을 확인하는 것이다. 그림 2는 그 Test방법의 Concept를 도시한 것이다.

(1) VDD Mode (Reference): VDD Power Pin을 Ground 시키고 나머지 Pin들을 각각 한 Pin씩 Zapping 한다.

(2) VSS Mode (Refer-ence) : VSS Ground Pin을 Ground시키고 나머지 Pin들을 각각 한 Pin씩 Zapping 한다.

(3) IO Mode : VDD, VSS Pin들은 Floating시키고 Zapping해야 하는 한 I/O Pin을 제외하고는 모두 Ground 시키면서 모든 I/O Pin을 하나씩 Zapping한다.

CDM의 경우는 위와 같은 순서로 진행하되 Zapping 시 모든 Pin들을 한 번에 Charging시킨 후, 한 Pin씩 차례로 Ground시키는 Discharge방법으로 하되 Charging시 HBM과 MM과 달리 Positive, Negative Charging은 별도로 한다.

이러한 ESD Test 조건 및 결과는 불량발생 시 그 원인 분석 자료로서 사용되므로 정확한 이해가 필요하다.

그림 3은 일반적인 ESD Specification으로 제품에 따라서는 그 SPEC Level이 더 높을 수도 있다.

따라서 제품 ESD 설계 시 ESD SPEC을 사전에 확인 하고 ESD Test 조건, 즉 Reference Pin (Grounding시키는 Pin)이 여러 Power Pin 중 어느 Pin인지, 여러 Ground Pin 중 어느 Pin인지를 확인 하고 이러한 Reference Pin을 제각각 Separation하여 Grounding하는지 하나로 Grouping하여

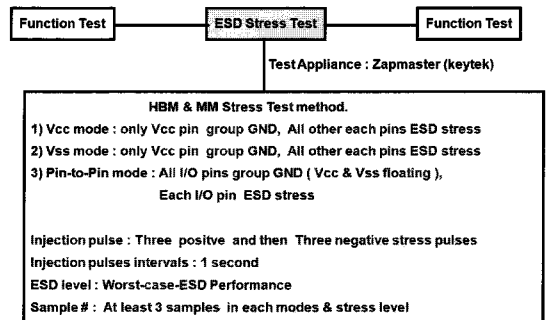


그림 2. ESD Test Concept.

ESD Model	START	STEP	LAST	Specification	ITEM EVICS
HBM	500 V	500 V	2000~8000 V	2000 V	SRAM,ROM,ASIC,FLASH
(MIL-STD)	500 V	100 V	2000~5000 V	2000 V	DRAM
MM (EIAJ)	50 V	50 V	200~500 V	200 V	Non-DRAM & DRAM
Socket CDM	500 V	100 V	800~2000 V	800 V	Non-DRAM & DRAM
Non-Socket CDM	500 V	100 V	800~2000 V	800 V	DRAM

그림 3. ESD Specification (SPEC).

Grounding하는지를 파악하고 설계할 필요가 있다. 이것은 후에 설명할 ESD Network Design의 기초 자료가 된다.

## 4. ESD PROTECTION CIRCUIT

일반적으로 반도체 IC는 I/O (In/Out)와 Core Circuit으로 구분할 수 있는데 이 I/O는 외부 전원과 IC내부의 Core Circuit의 Interface역할, 즉 IC에 필요한 전압 공급 및 구동 역할과 외부의 Stress로부터 Core Circuit을 보호하는 역할을 한다. 따라서 I/O에는 ESD 보호회로 (ESD Protection Circuit) 설계가 필요한데 그 구성 요소와 Circuit은 다음과 같다.

### 4.1 Resistor Protection

가장 간단한 보호회로로 입력저항에서의 전압강하를 통해 내부회로로 흐르는 전류를 제한하고 저항을 통해 발생 열을 방출시킨다. 저항 소자로 Poly Si와 Active Junction을 아용하는데 회로 동작에 있어선 RC Time Constant (시정수) Delay 증가로 회로 속도가 감소하는 단점이 있으므로 내부 회로 동작 설계자와 협의하여 적절한 저항값을 선택해야 한다. 또한 Active Junction 저항은 Parasitic Path를 형성시킬 수 있어 불량을 일으키기 쉬우므로 주위의 Layout을 고려하여 적용해야 하고 Poly Si 저항은 열에 약하므로 충분한 Width를 확보하고 Layout 상 Pin 뒤에 바로 적용하는 것은 삼가야 한다.

### 4.2 Diode Protection

P-N Junction Diode의 Forward / Reverse Breakdown을 이용한 것으로 (+)/(-) Zapping 전압을 각각 VDD쪽 Diode와 Ground쪽 Diode로 흘려 보내 내부회로를 보호한다. Input Capacitance와 Leakage Current 증가 시

를 제외하고는 IC Function 동작에 영향을 끼치지 않는다.

### 4.3 Resistor-Diode Combination Type

Resistor와 Diode의 조합으로 저항을 통해 Diode에 흐르는 전류를 제한하고 Diode 보호회로가 ESD에 대응할 수 있는 시간적 여유를 가지며 Diode의 Reverse Breakdown 전압은 Gate Oxide가 과대 전압에 의해 파괴되는 것을 보호한다. 면적과 Performance의 손해를 최소화할 수 있는 효과적인 구조이지만 응용에 제한이 있는데 Power와 Ground 사이에 있는 ESD Protection 요소인 Power Clamp 성능과 그 Power Clamp까지의 Bus 저항 (I/O전류를 공급하는 Metal Line의 저항)을 고려하여 설계를 하면 된다.

### 4.4 Thin Oxide Punch through Transistor (GGNMOS : Gate Grounded NMOS)

일반 MOS Tr은 Channel 전류로 Performance를 발휘하나 Gate가 Ground된 상태의 MOS Tr은 기생 Bipolar 특성을 이용한 것으로 (그림 4) Drain (Collector)과 Substrate (Base) 사이의 Junction Breakdown으로 발생한 Hole이 Substrate (Sub의 Full Name)로 침투해 Sub와 Drain 사이 Voltage Drop이 생기고 유입된 Hole에 의해 (+) Potential이

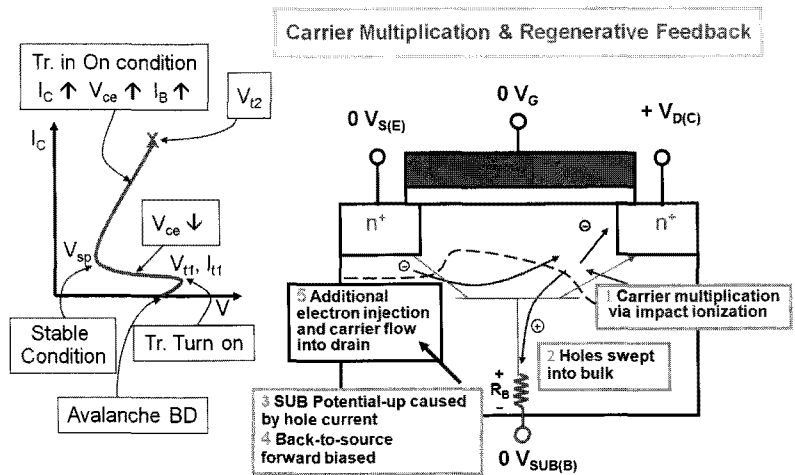


그림 4. Operation of GGNMOS.

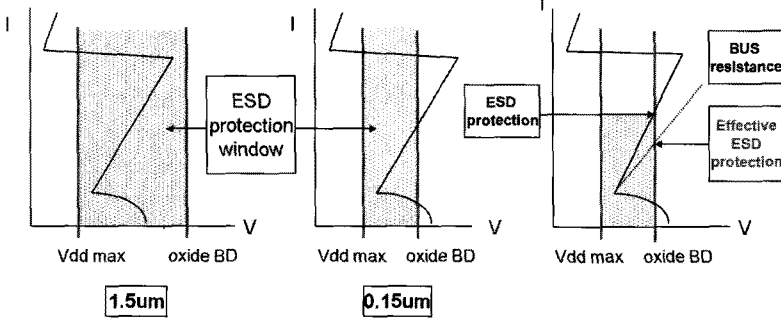


그림 5. The Design Window of GGNMOS.

된 Substrate (Base)는 Ground된 Source (Emitter)에 대해 순방향 Bias된 PN 접합이 되어 기생 Bipolar의 Emitter (Source)에서 Collector (Drain)로 방전Path가 형성된다. Gate Oxide 및 Source/Drain의 구조에 따라 ESD 내압이 조정될 수도 있다.

그림 4의 왼쪽에 있는 IV Curve는 TLP (Transient Line Pulsing)라는 장비로 측정한 Curve인데 ESD Stress 파형과 유사하게 짧은 Rising Time과 짧은 Duration Time을 갖는 Rectangular Step 파형을 GGNMOS에 유입시켜 얻은 IV Curve로서  $V_{t1}$  (Triggering 전압),  $I_{t1}$  (Triggering 전류),  $V_h$  (Holding 전압),  $I_h$  (Holding 전류),  $V_{t2}$  (Thermal Breakdown 전압)는 앞서 설명한 기생 Bipolar 동작의 각 Step별로 발생된 Point이라 할 수 있다.

$V_{t1}$ 은 GGNMOS의 Junction Breakdown과 연관된 인수로서 ESD Stress에 의하여 Core내에 있는 Circuit이 동작되기 전에 먼저 동작되어야 하고  $I_{t2}$ 는 그 GGNMOS가 유입된 Stress를 Discharge시킬 수 있는 Current양을 말하며 그때의 전압을  $V_{t2}$ 라 한다. 이  $I_{t2}$ 는 GGNMOS의 Width에 비례하므로 ESD SPEC을 만족시키기 위한 Width Size를 결정할 수 있다.  $V_{t2}$ 는 열적으로 파괴되는 전압으로서 Core 내 Circuit에 손상을 주는 전압보다 작아야 한다.

그림 5는 GGNMOS의 Design Window를 도시한 것으로 High Technology로 가면서 Core Circuit 내 Oxide BV가 작아지고 Bus 저항 (I/O

Metal Line의 Parasitic 저항)에 따라 그 Window Design Size가 작아지는 것을 알 수 있다. 따라서 I/O설계자는 이러한 IV Curve 특성을 고려하여 전체 I/O 설계를 해야 한다.

## 4.5 Thick Oxide Enhanced Punch through Transistor

N/P MOS 공정에서 가장 효과적인 구조로 알려져 있다. 원리는 Thin Oxide Tr을 이용한 ESD 보호 회로와 동일하며 Field Oxide Tr을 사용하여 ESD에 의한 Oxide의 파괴를 방지하는데 단독으로 사용하기보다는 Thin Oxide Tr (GGNMOS)와 함께 사용한다. 이 구조는 Primary Element (Thick Oxide Tr) + Insulator (Resistor) + Secondary Element (Thin Oxide Tr) 형식인데 I/O Area를 증가시킬 수 있으므로 Chip Shrink 측면에서 그러한 구조를 적용하기에는 한계가 있다.

## 5. ESD NETWORK DESIGN

IC의 일반적인 I/O Network (그림 6)는 각 요소의 Parasitic 성분만으로도 어느 정도의 ESD Level이 나올 수 있다. 그러나 IC 내부 Core Circuit을 보다 철저

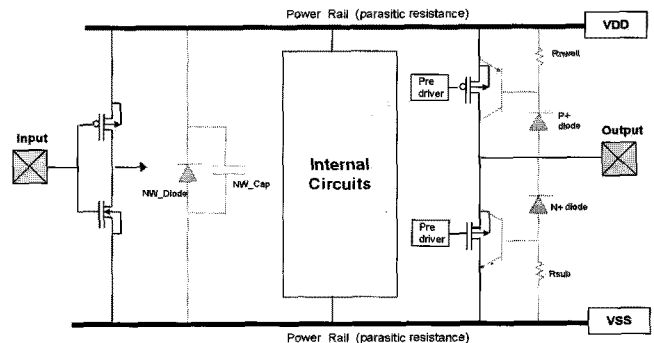


그림 6. General I/O Network without ESD Protection Circuit.

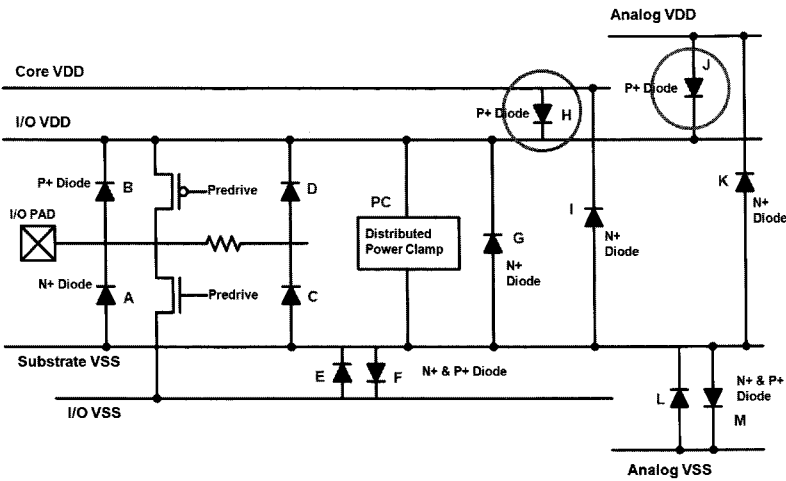


그림 7. The ESD net work of Analog & Digital Mixed Signal IC.

표 3. The Zapping Combination Table for Analog & Digital Mixed Signal IC.

+	I/O	VDD	VSS	I/O VDD	I/O VSS	AVDD	AVSS
I/O	B-PC-A B-PC-A	B-PC-I H-PC-A	B-PC A	B PC-A	B-PC-F E-A	B-PC-K J-PC-K	B-PC-M L-A
VDD	H-PC-A B-PC-I		H-PC I	H PC-I	H-PC-F E-G	H-PC-K J-PC-I	H-PC-M L-I
VSS	A B-PC	I H-PC		G PC	F E	J PC	M L
I/O VDD	PC-A B	PC-I H	PC G		PC-F E-G	PC-K J	PC-M L-G
I/O VSS	E-A B-PC-F	E-I H-PC-K	E F	E-G PC-F		E-K J-PC-F	E-M L-F
AVDD	J-PC-A B-PC-K	J-PC-I H-PC-K	J-PC K	J PC-K	J-PC-F E-K	J-PC-I J-PC-K	J-PC-M L-K
AVSS	L-A B-PC-M	L-I H-PC-M	L M	L-G PC-M	L-F E-M	L-K J-PC-M	

히 보호하여 ESD SPEC을 만족시키려면 앞서 설명한 ESD Protection Circuit을 적절히 배치하고 그 IC에 맞는 ESD Network Design을 해야 한다.

서론에서 언급한 낙뢰에 자동차 안이 안전한 것은 자동차 표면으로 유입된 Stress가 널리 분포되어 땅으로 Discharge되었기 때문이다. 이와 같은 원리로 각 ESD Protection Circuit이 동작하여 Stress를 Discharge시킬 동안 Stress가 Core Circuit으로 유입되지 않도록 Power Rail의 Parasitic 저항을 최소화해야 하고 그 Stress가 어느 한쪽으로 쏠리지 않도록 Uniform한 Network Design이 필요하다.

그림 7은 Mixed Signal Analog & Digital IC의 ESD Network의 한 예로서 Chip Shrink를 위하여 각 Pin에는 Diode Protection을 적용하였고 Power Clamp

로는 Distributed Power Clamp와 N Diode Power Clamp를 적용하였다. 이러한 Network를 점검하기 위해서는 표 3과 같은 Zapping Combination 표를 작성하여 각 Pin을 Zapping 시 Discharge Path를 확인하여 Core Circuit으로 Stress가 유입되는지를 Check 해야 한다.

예를 들면 AVDD Reference Mode일 때 VDD에 Positive Stress가 유입되면 Circle로 표시한

H-PC-K의 순서로 Discharge될 동안 그에 관련된 내부 Circuit에 Stress가 유입되는지를 확인해야 하는데 PC, 즉 Power Clamp와 H와 K에 있는 N Diode의 TLP IV Curve도 확인하면서 관련 Bus 저항도 최소화되어 있는지 점검해야 한다.

## 6. THE EFFECTIVE LATOUT FOR ESD PROTECTION

앞서 설명한 각 ESD Protection Element에 대한 특성뿐만 아니라 그들의 Layout 역시 ESD 특성에 큰 영향을 주므로 매우 효과적으로 해야 한다.

이러한 효율적인 Layout의 핵심은 유입된 Stress Current를 집중시키지 않도록 분산시키는 것이다.

### 6.1 Diode Layout

- (1) ESD Current는 대부분 Lateral Path이므로 Diode의 Perimeter 길이를 최대한 늘려서 Layout 해야 한다.
- (2) Diode N+ and P+ Area를 최소화하여야 하고 그들의 Perimeter는 최대한으로 설계해야 함, 왜냐하면 Area는 Capacitance를 늘려주어 Chip의 Parasitic Cap값을 발생시키기 때문이다.

(3) Diode의 Body Tap Space는 가능한 한 Minimum으로 하여야 하나 (Diode의 Reverse 저항 감소를 위해) Butted Contact는 피해야 한다.

(4) 모든 면에 걸쳐 Tap Space는 동일하게 가져가야 ESD Current Uniform Flow에 효과가 있다.

(5) Diode Edge부분은 Three-Dimension상 Electric Field가 집중될 수 있으므로 Contact와 Active간 거리를 유지하여 ESD Current Distribution을 도모할 필요가 있다.

(6) 모든 면에 걸쳐 Active Edge Overlap Contact 거리는 동일하고 일정하게 유지하여야 한다.

(7) Contact와 Via 역시 Uniform & Symmetric하게 Layout하여 ESD Current Distribution을 도모하여야 한다.

☞ 때론 E-field가 집중되는 Diffusion Edge부분과 모서리 Guard ring의 Contact를 제거할 수도 있다.

(8) Guard ring의 Contact는 한쪽에 치우침 없이, 골고루 배치되어야 한다.

☞ 때론 M1 Routing으로 인해 한쪽 면의 Guard ring Contact를 삭제하는 경우가 있으나, M2 Routing으로 변경하여 이를 지양해야 한다.

## 6.2 Resistor Layout

(1) 초기엔 Active Junction (Diffusion Resistor)을 사용하였으나 최근에는 High Capacitance와 Lower Breakdown (Reverse Bias to Substrate)으로 인한 Handicap을 가지고 있어서 사용을 자제하는 경향이 있다. Layout 시 Lower Reverse Breakdown을 방지하기 위해 N+ Diffusion Contact 주위를 Nwell로 감싸줌으로써 그 약점을 보완할 수도 있다.

(2) Nwell Resistor는 높은 Sheet Resistance (200~1 K ohm/sq)로 인해 수십 Kilo ohm을 가지는 Resistor까지도 쉽게 구현할 수 있어 종종 사용되나 높은 Sheet Resistance는 정확하게 작은 저항 값을 Define해야 될 경우엔 오히려 불리할 수 있다.

☞ Nwell Resistor 주변에는 Guard ring을 해주어 Latch-up의 위험성을 제거해주는 것이 좋다.

## 6.3 Poly-Silicon Resistor

(1) Substrate와 절연되어 Noise에 민감하지 않고 주위의 Layout과의 Parasitic 성분을 고려하지 않아도 된다. Low-Capacitance를 갖고 있어 정상 Function 동작에도 영향을 끼치지 않는다.

(2) Limited Current Capability를 고려하여, Poly-Silicon Width는 Min. 5 um 이상으로 Layout하는 것이 좋으나 Technology마다 다르므로 이에 대한 TLP TP를 통한 Characterization이 필요하다.

(3) 저항이 커서 Poly-Silicon을 Bent시키면서 길게 Layout할 경우, Poly to Poly Space는 DR Min. 보다 크게 Layout하고 효율성을 높이기 위하여 Non-Salicided Poly Si 저항을 사용한다. 이때 Contact 부위는 Salicided Contact로 진행하여 Contact Thermal Damage를 줄이는 게 일반적이다.

## 6.4 GGNMOS Layout

(1) 일반적으로 ESD GGNMOS 구조는 Ladder Structure 즉, Finger를 여러 개 사용하는 Multi-Finger Layout으로 가져가기 때문에 많은 Finger Tr들이 동시에 Turn-on 되도록 Layout하기 위해서 Pork Structure Metal Routing을 주로 적용한다. 이것은 각 Finger의 Drain 부분이 함께 연결되어 Pork 형태의 Layout으로 하여 많은 Finger Tr들의 ESD Current흐름을 Uniform하도록 하는 것이다.

(2) Well Pick-up은 가능하면 Guard ring형태로 하고 Well Pick-up Contact은 가능한 어느 한 방향으로 치우쳐 배치되지 않도록 Uniform하게 Layout해야 한다.

(3) Latchup에 민감한 구조엔 반드시 Double Guard ring을 해야 하나 N-active와 P-active간 거리가 Latch-up에 문제없는 먼 거리에 위치할 경우엔 Double Guard ring을 굳이 하지 않

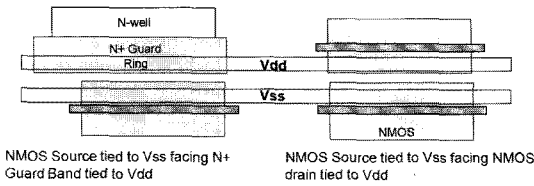


그림 8. The Parasitic NPN in core circuit.

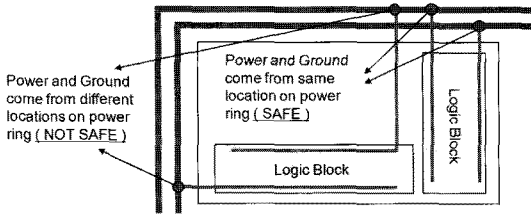


그림 9. The assignment of VDD & VSS Line for Logic Block.

아도 된다.

- (4) I/O Cell Pitch가 작아서 많은 Finger를 1단으로 동일하게 Layout 못 할 경우엔, 상하 2단으로 Layout해도 되나 1단으로 할 경우보다 Multi-Finger Turn on이 원활하지 않으므로 ESD 특성이 저하 된다는 것을 고려하여 Layout해야 한다.

### 6.5 Core Protection Layout

- (1) 내부 Core Circuit안의 Parasitic NPN Path (그림 8)를 Detect할 수 있도록 Design Rule Checker (DRC)에 반영되도록 하고 Stacked NMOS Layout, 즉 NMOS의 Source가 VDD로 연결되는 Layout은 피해야 한다.
- (2) Core Circuit내 Logic Block의 VDD와 VSS Line은 서로 가까운 곳에 배치시켜야 한다 (그림 9).

### 6.6 Power Clamp Layout

- (1) I/O의 Power Line과 Core Circuit의 Power Line은 서로 분리하는 것이 좋고 동일 전원 사이에는 Back to Back Diode를 적용하여 전원간 Noise를 억제시켜야 하는데 그러한 Noise가 미약하다면 Short 시키는 것이 ESD에는 유리

하다.

- (2) Power Clamp는 되도록이면 VDD와 VSS PAD에 배치해야 하는데 그것이 힘들면 적어도 VDD와 VSS PAD에서 Metal Bus저항이 3 Ω 미만의 거리 안에 배치되어야 한다.
- (3) Power Clamp는 전 IC 내에 고르게 분포되어야 하고 SCR과 같은 Latchup Operation을 이용하는 Device는 사용하지 말아야 한다.

## 7. ESD FAILURE ANALYSIS

ESD Fail이 발생하면 우선 Fail Data Log 통하여 각 Fail Item을 분류 정리하는데 DC Test Item인 Open/Short Fail과 Input/Out Leakage Fail data로 어느 Pin에 Stress 유입 시 Fail이 난 것을 알 수 있으므로 비교적 쉽게 분석할 수 있으나 IDD, ISS Leakage나 Function Fail 같은 경우에는 분석하기 그리 쉽지 않다,

우선 Fail Site를 찾기 위하여 Metal Line의 Reflection이 반영 안 되도록 Backend Emission Scope로 Fail Site를 Detect하고 그것이 진성 Damage인지 확인하기 위한 SEM/TEM 사진을 확보한다. 때로는 Fail이 발생하는 Discharge Path를 알아보기 위하여 Pin 분리 Zapping을 해보기도 하고 별도의 Test Program을 고안하여 분석하기도 한다.

### 7.1 Failure 위치와 형태에 따른 분류

- (1) Diffusion Edge에서의 Soft Damage : LDD Tr. 에서 주로 나타나며, n-/n+ 경계 면의 Silicon-Oxide 계면에서 발생하는 Melting 현상
  - Well 농도가 낮고 LDD Width가 큰 경우 HBM 2,000 V 미만에서 발생하는데 1st Breakdown Voltage Shift 현상으로 Pin Leakage가 10 uA 미만이어서 정상적인 동작에는 영향을 미치지 않을 수 있다.
- (2) N+ Diffusion간의 Current Filamentation에 의한 Melting 현상 : Reverse Biased Junction에서의 Thermal Breakdown에 의한 Melting



으로 Well 농도에 가장 크게 영향을 받는 부분이다.

(3) Drain Contact Region에서의 Contact Spiking : Contact-to-Gate(or FOX) Spacing 혹은 Junction Depth에 문제가 있는 것으로 Contact 수 혹은 Size의 감소로 인한 단위 Contact 당 Charge Density의 과부하가 그 원인이 될 수 있다.

☞ HBM보다는 MM 혹은 CDM에서 주로 발생한다.

(4) Gate Oxide Damage : HBM & MM의 경우에는 Protection Circuit의 부적절한 Design이 그 원인으로 CDM의 경우에는 Gate Oxide의 Thickness 혹은 Oxide 내의 Defect 문제로 본다.

## 7.2 Leakage Current의 크기에 따른 분류

Failure Mode	Leakage Current의 크기
Junction Edge Damage	1 nA to 10 uA
Junction Filamentation	1 uA to 100 uA
Contact Spiking	50 uA to 100 uA
Gate Oxide Breakdown	1 mA to 100 mA

## 7.3 ESD Failure Mechanism

(1) 잠정적 피해 (Soft Failure) : ESD Pulse에 노출된 소자나 시스템이 Error나 오동작을 발생시키는 것이다.

(2) 완전한 피해 (Hard Failure) : 소자가 완전히 파괴되어 정상 동작이 불가능한 경우로 다음 3가지가 주요 원인이다.

① Thermal Breakdown : ESD Pulse에 의한 열이 집중되어 Junction이 Short되는 현상으로 기생 Bipolar Tr의 주 파괴요인이다.

② Dielectric Breakdown : MOS의 주 피해 요인으로 Oxide에 걸린 전압이 Oxide의 절연을 파괴하는 것이다.

③ Metallization Melt & Evaporation : ESD에 의해 온도가 높아져 Metal이 녹거나 Bond Wire가 떨어지는 현상이다.

## 8. CURRENT ESD ISSUES & FUTURE ESD TECHNOLOGY

### 8.1 Current ESD Issues

(1) Cost 경쟁력을 높이기 위하여 Chip Shrink를 해야 하는 Trend에 I/O Area 역시 자유롭지 못하다. 또한 제품에 따라, 예를 들면 DDI (Display Driver IC) 제품의 경우, 많은 Pin수와 큰 장축으로 인하여 I/O 영역으로만 Discharge시키기가 매우 힘들다,

(2) 따라서 I/O와 만나는 첫 번째 Core Circuit Block을 강화하는 설계가 필요하고, ESD Stress 유입으로 자체 발현할 수 있는 Latchup 현상을 억제하기 위하여 Well 저항을 뒀 수 있는 한 작게 Set-up되도록 해야 한다.

(3) 또한 Chip Shrink로 인하여 예전에는 문제가 안되었던 Core 내 Fail이 증가하고 있는데 앞서 설명한 Parasitic NPN Path를 Detect하기 위한 DRC를 보다 강화해야 하고 신규 도입 Circuit Scheme이 있다면 Circuit 측면뿐만 아니라 Layout 측면에서도 적당한 Tool로 검증할 필요가 있다.

(4) 앞서 설명한 것들은 모두 IC Level ESD에 대한 것이지만 요즘은 SET 업체에서 행하는 SET ESD 역시 IC 업체가 고민해야 할 부분이다. 이러한 SET ESD는 기본적으로 SET 그 상태의 Module 및 Board Design에 따라 영향을 많이 받으나 동일한 SET 상태에서 해당 IC의 SET ESD Level이 각 부품회사 간의 경쟁이 되므로 SET ESD에 대한 IC의 내성을 키우는 설계를 할 수밖에 없다.

(5) 그러나 불행하게도 IC Level ESD와 SET ESD 간에는 정확한 Correlation 관계가 형성되지 않아 단품 ESD가 되었다 하더라도 SET ESD가 Pass되지 않고 그 반대의 경우도 발생하는 것이 현실이다. 실제로 IC를 동작시키지 않은 상태에서 Zapping되는 한 Pin에서 Ground시킨 Pin까지의 Discharge Path를 점검하면 되는 IC Level ESD와는 달리 정상 동작 상황에서



Stress를 가해주기 때문에 여러 방향으로 들어오는 Stress를 IC가 감당하기 위해서는 그 Stress를 널리 분포시키는 것이 더욱더 중요하다. 앞서 서론에서 설명한 피뢰침과 같이 Stress를 집중시키지 않는 설계도 필요하다.

(6) 그 밖에 SET 업체에서는 ESD보다 더 큰 Category인 EOS에 대한 Test도 요구하고 있어 이에 대한 대처 방법도 강구되고 있다.

## 8.2 Future ESD Technology

- (1) Whole Chip Based ESD Simulation 개발 : 다른 Design과 달리 ESD Design은 설계 후, Verification이 힘든데 Net List가 다른 설계보다 복잡하여 Simulator를 실행시키기가 힘들고 실행된다 하더라도 실행시간이 너무 길다는 약점이 있다. 현재 여러 회사에서 이 Simulator 개발을 하고 있으므로 상용화 가능한 정확한 Simulator가 개발될 것으로 보인다.
- (2) ESD-less I/O 개발 : 현재도 일부 제품에서는 특정 Pin에 대하여 ESD Circuit을 제거하여 I/O를 설계하는 경우가 있으나 아직 특정 Pin만이고 완성도가 떨어져 SET ESD Test에서는 문제를 일으키곤 한다. 그러나 Chip Shrink 측면에서 이와 같은 시도는 매우 효과적이므로 계속 개발해나갈 것으로 본다.
- (3) Automatic I/O Layout Program 개발 : 현재도 일부 회사에서는 Skill Program을 이용한 Program을 만들어 사용하고 있지만 확장성이 없어 범용화 되지는 않고 있다. 그러나 SOC 개념의 IC가 개발되는 추세인데 전원이 많고 복잡하여 ESD Network 설계가 만만치 않다. 이러한 설계를 사람의 손으로만 하기에는 더욱 힘들고 I/O Layout의 최적화를 위해서도 Automatic I/O Layout Automatic I/O Design Layout 개발은 반드시 필요하다.
- (4) High Speed I/O 개발 : 이전에도 동작주파수 2.46 GHz 수준의 RF제품에 대한 별도의 RF Input ESD Protection 기술을 적용하곤 하였다. 그러나 지금은 RF 제품뿐만 아니라 다른 제품에서도 3 GHz 수준까지 작동하는 경우가

있어 점점 더 ESD Circuit의 Capacitance가 그런 제품의 성능에 방해되고 있는 실정이다, 따라서 제품성능은 그대로 유지하면서 ESD Protection Design을 해야하는 High Speed I/O 개발기술이 필요하다.

지금까지 부족하나마 IC를 개발하기 위한 설계 Eng' r와 그 IC를 FAB에서 제조해야 하는 Process Integration & Device Eng' r을 위하여 기본적인 반도체 IC의 ESD Protection기술에 대하여 열거하였습니다. 위 Eng' r들에게 조금이라도 도움이 되었으면 합니다.

## 참고 문헌

- [1], [2] "ESD in Silicon Integrated Circuit" 1st Edition

## 저|자|약|력|



성 명 : 심진섭

◆ 학 력

- 1987년 한양대학교 공과대학 금속공학과 공학사
- 1991년 동 대학 동 대학원 공학석사

◆ 경 력

- 1991년 - 1997년 LG반도체 입사
- 1997년 - 1998년 현대전자
- 1998년 - 2005년 Hynix Magnachip 반도체 Corporate Engineering NVM/ESD/Device Team 팀장/수석연구원
- 2005년 - 현재 KAIST IDEC ESD기술 전임강사
- 2010년 - 현재 ESD Association of Koera (ESDAK) 회장