

1. 서론

정전기 방전 (ESD : Electro-Static Discharge)에 대한 시험규격은 크게 Component Level (IC, Diode, LED and TR 등등) 과 System level (전기, 전자 통신 기기 등)로 나뉘어져서 각각의 관련된 규격에 의거 시험, 평가되어지고 있다.

Component Level와 관련된 규격으로는 ESDA, JEDEC 그리고 AEC 등이 있으며 세부적인 시험 모델로는 HBM (Human Body model), MM (Machine Model), CDM (Charged Device Model) 등이 있다.

그리고 System Level은 IEC 61000-4-2에 의해 시험방법 및 사양이 정의되며, 시험 방법으로는 기중방전 모드 (Air Discharge Mode)와 접촉방전 모드 (Contact Mode)가 있다.

최근에는 Component와 System level의 중간 단계라 할 수 있는 PCB board 레벨이나 시스템 IC 또는 TFT-LCD glass (또는 Module)에 대한 정전기 평가와 관련하여 어느 모델을 적용할 지 아님 새로운 모델을 개발해야 할 지 여부에 대해서도 검토가 되어져야 만할 것이다. 현재는 System level ESD 평가용 시험장비으로 IEC61000-4-2 규격을 적용하기도 하고, RC 네트워크를 Component level의 모델 (HBM or MM)로 교체해서 시험을 하기도 한다. 그러나 이러한 방법은 ESD건 장비 자체가 시스템레벨의 규격을 따르고 있고 비록 RC 네트워크가 같은 값을 가지고 있더라도 실제 출력 파형을 보면 각 장

비 Maker간 유의 차가 크기도 하고, 어떤 경우는 출력 파형에 대한 정의가 없어 시험 결과에 대한 신뢰성이 떨어져 업체별 논쟁의 소지가 다분하다고 볼 수 있다.

따라서 이러한 논쟁의 소지를 최소화하기 위해서는 각각의 레벨 (Component, PCB, System IC, LCD module 등)별 전문가가 모여 이에 대한 논의가 이루어져야 할 것이다.

2. Joint ESDA/JEDEC 규격

ESD와 관련된 대표적인 규격으로는 ESDA, JEDEC 그리고 자동차 관련 부품 규격인 AEC 규격이 있다. 실제 세 가지 규격을 비교해 보면 정의된 파형 사양이나 시험방법에 대해 유사성이 많다. 2008년 이후부터는 ESDA와 JEDEC 이 두 협회에서는 규격을 통합화하는 작업을 진행하고 HBM과 관련된 규격은 2010에 ANSI/ESDA/JEDEC JS-001-2010의 새로운 규격을 발표했다. MM과 CDM 모델에 대해서도 통합화 작업이 진행 중에 있다.

2.1 HBM Device Testing

(1) HBM (Joint ESDA/JEDEC JS-001-2010)

Joint 위원회는 2008년에 ESDA와 JEDEC Work Group의 멤버로 구성되어, 이전의 두 규격을 포괄적으로 수용하여 향상시켰으며, 향후 시험에 요구되거나 추가될 수 있는 내용도 검토 중에 있다.

Joint 규격에 포함된 내용을 보면

- ① Trailing Pulse, Pre Discharge Voltage ramp 측정기술
- ② Waveform verification 방법 정의: 하루에 한 펄스 소스에 대해 1 KV에 대한 파형을 순차적으로 돌아가며 Waveform 측정하여 기록. 예를 들어 8개의 HBM Pulse source가 있다면, 8일을 주기로 매일 하나의 Pulse 소스에 대한 파형을 검증해야 한다.
- ③ Power supply pin에 대한 인가횟수 : Package Plane에 의해 연결되어진 핀들은 Supply 레일에 인가되는 스트레스 횟수를 줄이기 위해 한 핀으로 대표될 수 있다.
- ④ Alternative Pin 조합 허용 : 특정 Device protection 구조에서 Parasitic 영향을 줄이기 위해 Alternative pin 조합이 허용된다. 만약 IO vs Power 시험 시 시험 결과가 한 스트레스 극성에서 기대치 보다 낮은 레벨에서 불량이라면 Power vs IO의 개별 핀들에 대한 시험이 허용된다.

Joint 규격이 개발되는 동안 "Parking lot item" list가 생기게 되었는데 이 아이템들은 Documentation에 포함되기 이전에 추가적인 연구가 필요하다.

- ① NC (No Connection) Pin에 대해서 Low voltage test level로 Testing하며,
- ② IO vs IO 핀 평가에 대한 연구는 Test 시간을 감소시키기 위해 없애자는 요청도 있고 다른 핀을 시험하는 동안 한 핀만 Ground로 묶이기 때문에 2-pin testing 방법도 검토되고 있다.

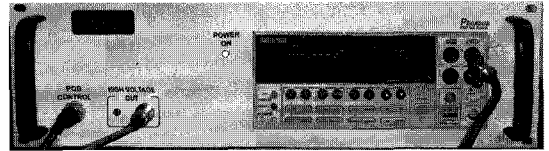
일부 Maker에서는 IO vs IO 핀 조합에 대한 시험을 제거하자고 요청하기도 하는데 이는 Test 시간을 줄이고 IO pin에 대한 OVER STRESSING을 줄이고 2-PIN tester 사용을 허용하게 될 수 있다.

2-pin testing 방법은 엔지니어링 방법이지만 2011년에는 IC package 시료와 HBM Tester 사이의 Parasitic을 감소시키기 위한 방법으로 2-pin 조합이

추가될 예정이다.

(2) Joint ESDA/JEDEC JS-001-2011

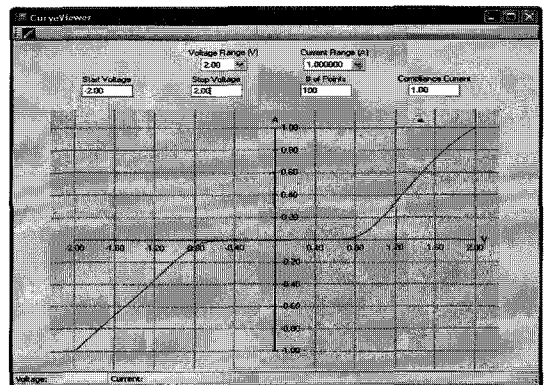
Joint ESDA/JEDEC JS-001-2010에서 Joint ESDA/JEDEC JS-001-2011로 Reversion 되면서 네가



(a)



(b)



(c)

그림 1. 2-Pin Tester (a) Pulse Generator, (b) RC Network, (c) Curve Trace Screen.



지 주요 변화가 있을 것으로 예상된다.

처음 들은 HBM Test 시간과 핀 조합에 대한 총 스트레스 인가 횟수 변화에 의한 조기에 발생하는 HBM 불량 메커니즘으로 분류된 것이다.

- ① 기존 HBM IO vs IO에 대한 핀 조합 시험의 경우 각각의 IO pin에 대해 스트레스를 인가하며 시험되지 않는 모든 핀들은 Ground로 묶이게 되었다. 이에 새로 제안된 안은 모든 핀들에 대해 시험을 하는 것이 아니고, 서로 다른 핀들과 같이, 연결되어진 핀 쌍들의 조합에 대한 시험과 모든 핀이 Ground로 묶인 상태에서 Zapping하는 방법을 없앨 것이 제안되었다.
- ② IO 핀은 내부적인 접속 가능성에 대해 상관없이 모든 Power와 Ground group핀에 대해 시험을 해왔는데, 이에 IO 핀에 대해 모든 Power나 Ground 핀들에 대해서만 시험하는 방법이 제안되었다.

두 번째 들은 IC 패키지 시료와 Tester간의 Parasitic을 줄이기 위한 방법으로 분류된 것이다.

- ③ 2 핀 시험을 위한 Pin 조합: 모든 디바이스들에 대해 2핀 조합 시험을 할 수 있도록 제안
- ④ Supply to Supply 스트레스에 Single polarity (주로 Positive) 사용을 제안 기존에는 Supply to supply 조합에 대해 Pos/Neg 양극성에 대해서 시험을 했으나 이에 대해 한 극성만 사용하는 방법이 제안되었다.

상기에 명시한 방법은 시험하기 전 디바이스에 대한 추가적인 정보가 요구되고 시험을 수행하는데 Test 엔지니어에게는 많은 경우의 수가 이용되지 않는다. 이러한 정보가 이용되지 않거나, 만약 업체에서 새롭게 제시된 방법이 신뢰성 있는 시험방법이 아니라고 생각된다면 기존의 조합으로 JS-001-2010 version으로 시험을 할 수도 있다.

2.2 MM device Testing (ESDA WG5.2)

ESDA에서 Release된 ANSI/ESD S52-2009 버전은 ANSI에 요구에 따라 개정되었다.

이 버전에는 25 V Step에 대한 Stress 레벨과 Waveform이 요구되었으며 500옴 측정 방법이 보다 현실적으로 조정되었다.

ESDA나 JEDEC 두 협의회에서는 MM 시험방법을 규격에서 제거하고 HBM과 CDM의 시험방법만 두고 A JEDEC JESD22-AL15와 ANSI/ESD S52-2009규격을 Reference로만 두는 방안을 고려중이다.

2.3 CDM Device Testing

(1) ESDA (WG5.3.1)

ANSI/ESDA-STM5.31 CDM규격의 대체 버전으로 ESD S5.3.1-2009를 발표하였다.

바뀐 내용을 보면,

- ① Tester의 개념도 추가
- ② Single dual 방전 방식에 대한 그래픽과 정의 포함
- ③ Waveform 검증장비 스펙이 향상됨
- ④ Waveform 검증 module로 FR4가 가지고 있는 습기와 그 외의 이슈가 없는 RF35가 제시됨
- ⑤ 검증 모듈에 대한 커패시턴스 값은 반드시 측정되어야 한다.

현재 협회에서는 1 ohm 저항을 통한 측정방법 대신 다른 파형 검증방법을 강구하고 있다.

(2) JEDEC

JEDEC은 2009년에 JESD 22-C101E Version을 발표하였으나 이 버전에서는 기존의 펄스인가 횟수를 각 극성마다 3회씩 인가 하는 것을 1회씩 인가하도록 했으며 횟수가 1회로 줄어들면서 CDM 펄스 방전 시 이를 검증할 필요가 있다.

현재는 ESDA와 JEDEC 두 규격이 서로 분리되어 있으며 그 내용도 상이하다. 그러나 이 두 그룹은 ESDA와 JEDEC은 이 규격들을 하나의 통합된 규격으로 만드는 작업을 진행 중이다.

Joint ESDA/JEDEC CDM Device Testing이 통합

된 협의회는 2009년에 결정되었으며, 이 두 개의 규격의 Work group의 멤버로 구성되었다.

그러나 이 통합된 Work group에는 아래와 같은 많은 문제에 직면해 있다.

- ① 기존 방전 방식에 따른 재현성 문제
- ② Test가 진행되는 동안 파형의 재현성
- ③ 재현성이 없는 파형 검증 이슈
- ④ 시험 환경의 영향에 의한 시험결과

이러한 많은 문제에 대해 다음과 같이 권고안을 만들게 되었다.

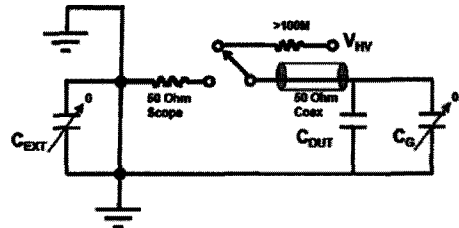
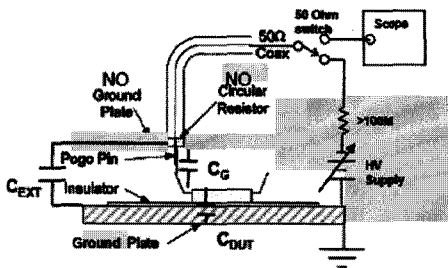
- ① 모든 SPEC은 최대 습도에 대한 명시가 되어야 한다.
- ② Device를 고정시키기 위한 Vacuum이나 기계적인 수단은 에어 잭을 줄이기 위해 Charge plate에 압착되어야 커패시턴스를 줄일 수 있다. 따라서 Peak current는 Spec 사양에 추가되어야만 한다.

(3) CDM2

“Industry Council white paper, 2 Rev 1 March 2009”는 Component level CDM ESD 사양을 낮추기를 500 V에서 250 V로 그리고 2015에는 125 V까지 낮추도록 권하고 있으며, 위와 같은 방법은 현재의 시험방법으로는 극복하기 어렵기에 새로운 시험 방식인 CDM2 방식이 개발되었으며, CDM2 방식의 개발로 Device level CDM 이외에도 Wafer level 그리고 현재 ESDA Working group에서 검토 중인 System level charged board event (CDE) 방식의 시험도 가능하게 되었다.

2.4 HMM Device Testing

ESD SP5.6-2009는 2009년 말에 HMM (Human Metal Model)에 대해 SP 버전으로 발표하게 되었다. 그 Outline은 두 개의 서로 다른 시험 방법으로 구분되는데 하나는 IEC61000-4-2 규격의 Waveform (ESD건)을 그대로 사용하는 방법과 IEC Waveform과 같은 파형을 개발하기 위해 Coaxial source impedance에 의해 제어되는 50 ohm을 사용하는 방



Assumptions / Variables:

- 1. No Spark at DUT / No Variable.
- 2. $C_{EXT} \sim 0$ (lower GP and Coax Ground at same potential) / No Variable. C_{DUT} charged directly by V_{HV} .
- 3. $C_G \sim 0$ (no upper GP) / No Variable.
- 4. No 1 Ohm resistor. / No Variable. Uses 50 Ohm coax to 50 Ohm Scope directly.

$$I(t) = \frac{V}{\omega L} e^{-\alpha t} \sin(\omega t)$$

$$\alpha = R/2L$$

$$\omega = 2\pi f = \sqrt{\frac{1}{LC} - \left(\frac{R}{2L}\right)^2}$$

FICDM Parameters

$V = V_{EXT} - V_{DUT} - V_{HV}$

$R \sim S \sim 25 \text{ Ohm Spark}$

$C = C_{EXT}/C_{DUT}$

$V = V_{HV}$

$R = 50 \text{ Ohm TL}$

$C = C_{DUT}$

그림 2. CDM2 test Equivalent.

법이다.

기존의 시스템 레벨의 IEC시험 방법도 Component level 시험에도 유용하나 스트레스 레벨이 너무 높기 때문에 Component 레벨에 적용하기 위해서는 그 스트레스 레벨과 파형에 대한 Spec 검토가 필요하다.

현재는 이를 규격화하기 정당성을 확인하기 위한 시험을 계속 진행하고 있으며, ESD 장비 Maker에서는 HMM 시험을 위한 2핀 Generator를 이미 시장에 출시했다.

2.5 Charged Board Event (CDE)

많은 논문에서 충전되어진 보드가 디바이스에 주는 영향에 대해 논의되어 왔다. 그 데이터에 보면 디바이스 자체에 CDM 시험을 했을 때보다 Charged board event 이후의 에너지가 더 클 수 있다는 것을 보여준다. 많은 업체들이 이 현상에 대해 관심이 보이고 있으나 각각의 보드는 전혀 다른 현상을 보일 것이고 많은 Test set up 조건이 필요하기 때문에 규격화하기에는 어려움이 있다.

참고 문헌

- [1] ESD Assoc. ANSI/ESD STM5.1-2007 "Electrostatic Discharge Sensitivity Testing - Human Body Model (HBM) Component Level", 2007
- [2] JEDEC JESD22-A114F "Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM)", 2008
- [3] ESD S5.2-2009 Electrostatic Discharge Sensitivity Testing - Machine Model (MM) - Component Level
- [4] ESD S5.3.1-2009 Electrostatic Discharge Sensitivity Testing - Charged Device Model (CDM) - Component Level
- [5] JEDEC JESD22-C101E "Field Induced Charged-Device Model Test Method for the Electrostatic Discharge Withstand Thresholds of Microelectronic Components"
- [6] Paper 2: A Case for Lowering Component Level

CDM ESD Specifications and Requirements, Industry Council on ESD Target Levels, Rev1 March 2009

- [7] ESD DSP5.6-2009? Electrostatic Discharge Sensitivity Testing - Human Metal Model (HMM) - Component Level

저|자|약|력|



성 명 : 신용욱

◆ 학 력

· 1996년
동양공전 전자통신과 졸업

◆ 경 력

· 1997년 - 2008년 KeyTek Corporation.
양전자시스템(주) 기술영업부 과장
· 2008년 - 현재

