
LVTTL을 이용한 데이터 통신시스템 설계

김석환* · 허창우**

Design of Data Communication System using LVTTL

Soke-Hwan Kim* · Chang-Wu Hur**

요 약

초고속 정보 통신망의 발달로, 현재 데이터 통신시스템은 가입자 상호간에 데이터를 빠르고, 정확하게 교환 할 수 있도록 하였다.. 본 논문에서는 통신 시스템에 사용되는 여러 가지 Logic중 가장 기초가 되는 LVTTL(Low Voltage Transistor Transistor Logic)을 이용하여 데이터 전송특성 분석을 위한 시스템을 설계하고 데이터 전송속도의 변화따른 LVTTL의 특성을 측정 분석하였다. 현재 시스템에 필요한 전송 라인의 길이가 30cm이기 때문에, 우리는 현재 시스템에 필요한 전송 라인의 길이에 따라 LVTTL 데이터 전송 특성을 분석했다. LVTTL의 신호 레벨은 10Mbps일 경우 3V, 50Mbps일 경우 2.2V, 100Mbps일 경우 2V, 125Mbps일 경우 1.5V, 150Mbps일 경우 1.4V이다. 전송선로의 길이가 30cm, 데이터 전송속도 100Mbps까지 안정하게 보냄을 알 수 있었다.

ABSTRACT

By the development of the information superhighway, the current data communication system can be exchanged data quickly and precisely between subscribers. In this paper, LVTTL(Low Voltage Transistor Transistor Logic), Using the fundamental one logic at several kinds of used in communication systems , the LVTTL transmission characteristics were measured by according to the change data transfer rate and the transmission line length. Because the transmission line length required on the current system is 30cm, We analysed LVTTL data transfer characteristics according to the transmission line length required on the current system . The amplitude level of LVTTL at 10Mbps is 3V and 50Mbps is 2.2V and 100Mbps is 2V and 125Mbps is 1.5V and 150Mbps is 1.4V. The length of transmission line 30cm was stable state up to 100Mbps data transfer rate.

키워드

LVTTL, FPGA(Field Programmable Gate Array), 전송선로

Key word

LVTTL, FPGA(Field Programmable Gate Array), Transmission Line

* 정회원 : 이화여자대학교 전자공학과

** 종신회원 : 목원대학교 전자공학과

접수일자 : 2010. 12. 21

심사완료일자 : 2011. 02. 24

I. 서 론

현재 우리는 초고속 정보화 시대에 살아가고 있다. 정보화 기술에 사용되는 디바이스는 반도체 소자에 대한 나노 기술의 발달로 인하여 대용량화 되었으며 이 디바이스를 이용한 통신 시스템은 데이터를 고속으로 전송 가능케 되었다[1]. 그러나 어떤 디바이스를, 어떤 로직을 통신 시스템에 적용해야 하는가에 대한 평가방법은 부족하다. 이에 본 논문에서는 통신 시스템에 적용할 수 있는 여러 가지 로직 중 가장 기본이 되는 LVTTTL 로직을 선택하였으며 현재 통신 시스템 구성에서 기본 전송선로의 길이가 30cm이므로 이를 기준으로 데이터 전송속도의 변화에 따른 변화를 측정하였다. 현재 전송선로의 길이는 30cm이지만 길이의 변화와 전송속도 변화에 대한 데이터 전송특성을 분석할 것이다.

본 논문에서 디바이스의 여러 가지 로직 중에서 시스템의 기초 로직인 LVTTTL을 구현하기 위해 범용으로 많이 사용되고 있는 Xilinx FPGA를 기반으로 한 LVTTTL을 통신 시스템으로 구성하였고 최대 안정하게 전달할 수 있는 데이터의 전송속도 및 데이터의 전달특성을 확인하였다.

구현된 모델 시스템은 FR-4기반의 Micro Strip 전송선을 이용하여 PCB를 설계 하였고 LVTTTL의 데이터 전송에 있어서 최대 안전한 주파수의 범위를 측정하고 통신 시스템 최적 조건의 모델을 제시 한다.

II. FPGA 구조 및 LVTTTL 전압특성

1. 시스템에 구현된 FPGA의 구조

본 논문에서 LVTTTL에 대한 전송특성을 분석하기 위하여 FPGA를 이용하였다. 통신시스템의 전송 특성분석에 사용된 FPGA는 Xilinx사의 Virtex II로, 내부에 구성할 수 있는 기본로직은 최소 40,000 ~ 1,000,000 게이트를 구성할 수 있다. 동작 가능한 최대 클럭 스피드는 420MHz까지 지원 가능하며 FPGA 내부에서 사용되는 기본 클럭에 대한 위상의 반전 및 Shift조절이 가능한 12개의 DCM(Digital Clock Manager)을 지니고 있고, FPGA

내부에 데이터 전송에 있어서 클럭의 지연방지를 위한 16개의 Global Clock Multiplexer Buffer가 있다. Virtex II FPGA는 8개의 Bank로 나누어졌으며 사용자의 선언에 따라 여러 가지 로직구성이 가능하다[2]. FPGA에 구성 가능로직은 표 1과 같다.

표 1. FPGA의 기본로직
Table. 1 Basic Logic of FPGA

통신 방식	로직종류
Single-End	LVTTTL, LVCMOS33, HSTL, SSTL, GTL
Differential	LVDS

그림 1은 본 논문에서 전송 특성 실험에 구현된 FPGA의 인터페이스 설계에 대한 내용이다. LVTTTL은 Point to Point 연결 방식으로 설계하며 FPGA의 출력 버퍼에서 나온 신호를 FPGA내부의 버퍼로 연결한다. 정확한 전송 특성을 측정하기 위하여, PCB에 있어서 설계 시 고려사항은 출력단자와 입력단자 그리고 전송선로간의 전류의 감소와 노이즈가 발생하는 것을 막아야 한다[3].

통신 시스템에 있어서 데이터 전송의 속도를 높여 주는 것이 꼭 좋은 것은 아니다. 전송속도가 높아지면 입력된 신호에 출력의 신호가 반사되는 경우가 발생한다[4]. 결국 이 반사되는 신호는 노이즈로 바뀌게 되고 데이터 전송시 신호레벨이 감소되는 요인이 된다 [5][6].

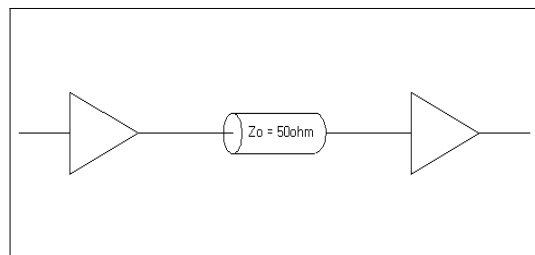


그림 1. LVTTTL의 입출력단 연결
Fig. 1 Input output port connection of LVTTTL

2. 저전압 TTL

아래 표 2에서는 LVTTTL의 전압특성을 보여 주고 있다. 데이터 통신을 하기 위한 입력과 출력간의 인터페이스에 있어서 설계된 로직에서 LVTTTL 출력 단의 신호전압 레벨은 Low 신호는 최대 0.4V이하, High 신호는 최소 2.6V이상의 신호를 내보낸다. 즉, 이것은 LVTTTL의 출력 단의 출력 기준 신호 레벨을 의미한다.

LVTTTL의 기본 로직 출력 단의 신호 레벨은 0.4V에서 2.6V사이로 신호가 나오고 이 범위에서 측정되는 신호가 LVTTTL 로직의 정상신호 범위인 것이다. LVTTTL의 입력 단의 신호 레벨은 최소 0.8V에서 2V이상이어야 하며 3.6V를 넘으면 안된다. 이는 LVTTTL로 구현된 로직은 이 범위내로 데이터 신호 레벨을 주어 져야 한다는 것이다. 즉 최소한 LVTTTL로 통신하기위한 기본 신호 레벨 값이며 데이터 전송 특성을 판단하는 중요한 지표이다.

표 2. LVTTTL의 전압특성
Table. 2 Voltage characteristics of LVTTTL

Parameter	Min	Typ.	Max
VCCO	3.0	3.3	3.6
VIH	2.0	-	3.6
VIL	-	-	0.8
VOH	2.6	-	-
VOL	-	-	0.4

III. 데이터 전송특성 측정 하드웨어 구현

1. 전체 시스템 블록도

그림 2는 데이터 통신특성을 측정하기 위한 본 논문에서 구현된 전체적인 시스템 블록도이다. IO/IP Test PCB 보드는 데이터 전송특성을 측정하기 위해 FR-4 재질의 PCB 패턴 10층 기판을 설계 했으며 그 위에 Xilinx Virtex II FPGA를 실장 시켰다. Trace Test PCB는 전송선

로 길이 변화에 따른 전송특성을 측정하기 위한 것으로 PCB 상에 30cm, 60cm, 90cm, 120cm의 Trace를 설계 하였다.

데이터 전송특성 실험은 클럭과 데이터의 동기로 측정하였다. Pattern Generator에서 전체 시스템에 사용되는 Clock을 발생시켰으며 이 Clock은 Data Generator에 연결하였다. 여기서 출력된 Clock은 IO/IP Test PCB와 Agilent 오실로 스코프에 연결하였다.

데이터 제너레이터에서는 64비트의 데이터를 생성하여 IO/IP Test PCB와 연결하여 데이터 전송특성을 측정 하였다.

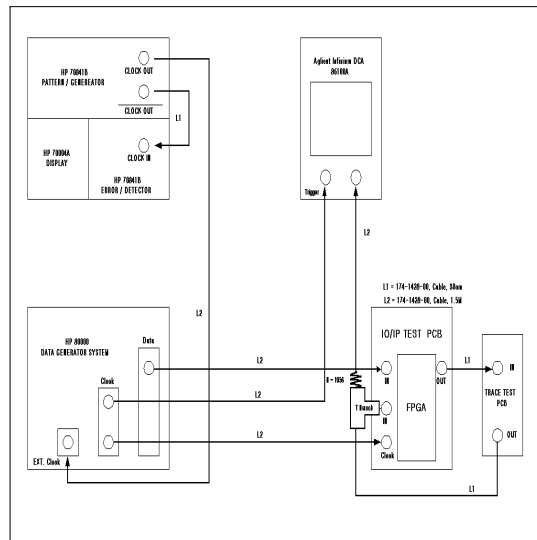


그림 2. LVTTTL 데이터 전송특성 측정을 위한 시스템 블록도

Fig. 2 system block diagram for Measurement of data transmission of LVTTTL

IV. 데이터 전달특성 결과 및 파형

LVTTTL의 데이터 전송특성을 측정하기 위해 데이터 전송속도는 10Mbps에서부터 150Mbps까지 변화 시켰다. 전송특성을 분석하기 위해 설계된 Trace Test PCB는 30cm, 60cm, 90cm, 120cm까지 변경이 가능하지만 본 논문에서 측정된 길이는 통신 시스템의 랙 구조에서 기본 전송선로 길이가 30cm 이므로 우선 30cm를 기준으로

LVTTTL의 전송특성을 분석하였다.

아래 그림 3에서부터 4는 본 논문에서 측정된 데이터 전송특성 결과 파형들이다. 측정 결과에 대한 평가는 Eye_pattern을 기준으로 하였으며 신호의 진폭 레벨을 기준으로 평가 하였다.

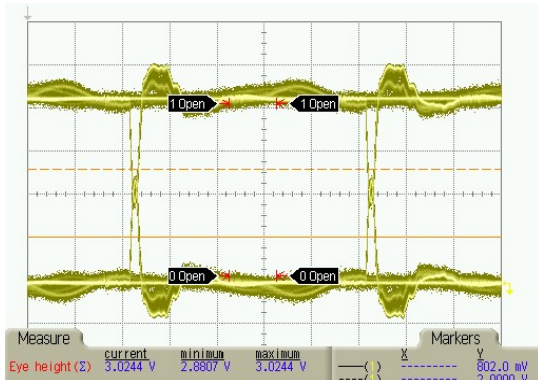


그림 3. 10Mbps에서의 데이터 전송특성
Fig. 3 10 Mbps data transfer characteristics

그림 3은 데이터 전송속도 10Mbps에서의 LVTTTL에 대한 데이터 전송특성이다. 측정된 결과는 신호 진폭 레벨이 3.02V로 나타났으며 이 값은 LVTTTL에 대한 전압특성 범위 안에 있음을 알 수 있다.

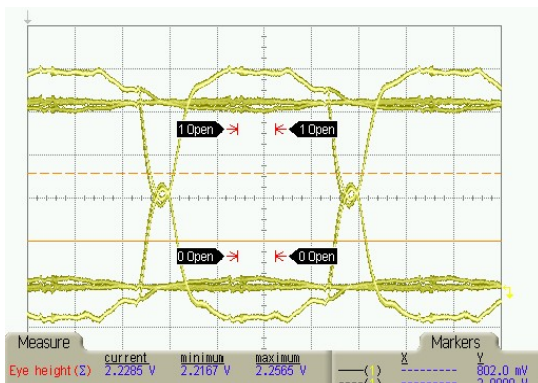


그림 4. 50Mbps에서의 데이터 전송특성
Fig. 4 50 Mbps data transfer characteristics

그림 4는 데이터 전송속도 50Mbps에서의 LVTTTL에 대한 데이터 전송특성으로 측정된 결과는 신호 진폭 레벨이 2.28V이다. 이 값은 LVTTTL에 대한 전압특성 범위

안에 있다.

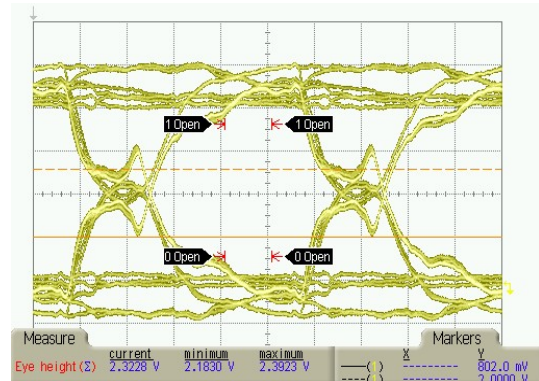


그림 5. 100Mbps에서의 데이터 전송특성
Fig. 5 100 Mbps data transfer characteristics

그림 5는 데이터 전송속도 100Mbps에서의 LVTTTL에 대한 데이터 전송특성으로 측정된 결과는 신호 진폭 레벨이 2.32V를 나타냈다. 이 값도 LVTTTL에 대한 전압특성 범위 안에 있으며 그림 4의 50Mbps와 별 차이는 없었다. 그러나 측정 파형에서 진폭레벨보다는 시간 측상에 더 줄어들었음을 알 수 있다.

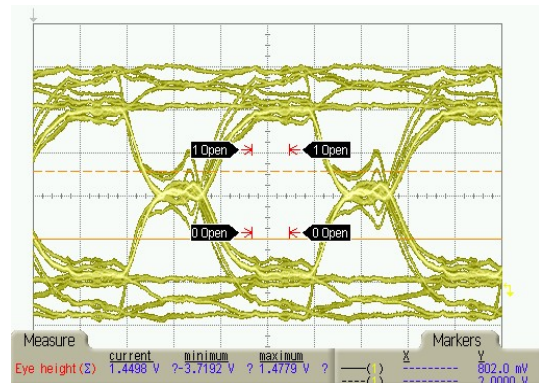


그림 6. 125Mbps에서의 데이터 전송특성
Fig. 6 125 Mbps data transfer characteristics

그림 6은 데이터 전송속도 125Mbps에서의 LVTTTL에 대한 데이터 전송특성으로 측정된 신호 진폭 레벨은 1.5V를 나타냈다. 이 값은 LVTTTL에 대한 전압특성 범위 안에서 벗어났다. 이 의미는 LVTTTL에 대한 로직으로서 사용이 벗어난 범위라는 것이다. 이 레벨 신호 값

으로는 LVTTTL 로직을 이용한 통신설계 구현이 불가능하다.

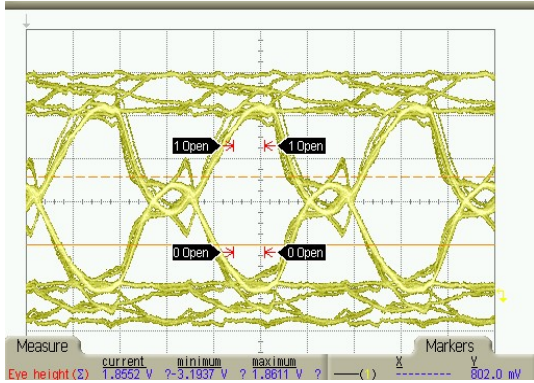


그림 7. 150Mbps에서의 데이터 전송특성
Fig. 7 150 Mbps data transfer characteristics

그림 7은 데이터 전송속도 150Mbps에서의 LVTTTL에 대한 데이터 전송특성으로 측정된 신호 진폭 레벨은 1.8V를 나타냈다. 이 값도 그림 6의 125Mbps에서 얻은 결과와 마찬가지로 LVTTTL에 대한 전압특성 범위 안에서 벗어났다. 진폭의 레벨이 약간 상승하였지만 시간 축상의 사용가능한 데이터 전송범위가 줄어들었음을 보였다. 이 레벨 신호 값으로는 125Mbps와 같이 LVTTTL 로직을 이용한 통신설계 구현이 불가능하다.

데이터 전송 속도의 증가에 따른 데이터 전송특성을 측정하기 위해서 현재 시스템에서 요구하는 전송선로길이 30cm일 경우를 기준으로 고려했으며, 클럭 주파수를 10MHz, 50MHz, 100MHz, 125MHz, 150MHz로 변화시켰을 경우 LVTTTL의 데이터 전송특성을 측정하였다. 데이터 전달특성은 10Mbps일 경우 3.02V, 50Mbps일 경우 2.28V, 100Mbps일 경우 2.32V, 125Mbps일 경우 1.5V, 150Mbps일 경우 1.8V의 데이터 진폭레벨이 나타났다.

V. 결론

FPGA의 여러 로직중 LVTTTL을 이용하여 일정 전송선로의 길이에 입력된 데이터 전송속도 변화에 따른 데이터 전송특성을 측정하였다.

데이터 전송 속도의 증가에 따른 데이터 전송특성을 측정하기 위해서 현재 시스템에서 요구하는 전송선로 길이 30cm일 경우를 기준으로 고려했으며, 클럭 주파수를 10MHz, 50MHz, 100MHz, 125MHz, 150MHz로 변화시켰을 경우 LVTTTL의 데이터 전송특성을 측정하였다. 데이터 전달특성은 데이터 전송속도가 증가함에 따라 신호 진폭 레벨이 감소되었다. 그러나 약 100mV ~ 300mV의 증가가 보였지만 상대적으로 시간축상의 여유가 더욱 좁아졌다.

전송선로의 길이 30cm에서 최대 안정된 데이터 전송특성은 최대 100Mbps까지였으며 이는 LVTTTL의 전압특성의 범위인 전압 레벨 2V를 기준으로 하였다. 125Mbps, 150Mbps에서는 데이터의 진폭레벨이 2V아래로 되었으며, Noise가 많이 발생하였다. 결과적으로 125Mbps, 150Mbps의 출력된 진폭레벨은 LVTTTL의 전압특성에서 최소 2V의 범위를 벗어났기 때문에 LVTTTL을 이용한 데이터 통신시스템 설계로서 의미가 없다.

시스템에서 요구하는 전송선로의 길이를 고려할 때 여기에서 얻어진 결과가 매우 중요하다. 그러나 실제적으로 요구하는 125Mbps에서 데이터의 진폭레벨이 LVTTTL의 기준 전압레벨보다 낮게 측정되었다는 것이다. FPGA를 이용하여 LVTTTL을 구성할 경우 최대 데이터 전달속도는 100Mbps가 가장 안정적이므로 시스템 설계시 이 범위를 선택하여야 한다.

참고문헌

- [1] Masumi Fukano, Misukuni Yokota, Katsunori Hirano, "Measuring and Evaluation Method for High Speed Transmission In Communication Systems," 電子情報通信學會, SSE. 122, PS. 46, pp. 1-6, 1999.
- [2] http://www.xilinx.com/support/documentation/virtex-ii_pro_user_guides.htm
- [3] Zhongguo he dian zi xue yu he tan ce ji shu xue hui, "An 800MSPS FADC Data Sampling System" 核電子學與探測技術, v.28 no.2 , pp.285-289 , 2008.
- [4] J.M. Benedetoo, Oliver Aeroflex UTM, "High-Speed Data Transmission for Spaceborne Applications," Proceedings of the 2001 IEEE Radiation Effects Data

Workshop, pp. 67-71, 2001.

- [5] 김석환, 이규정, 허창우, “통신 시스템의 데이터 전송 선로에 대한 연구,” 한국 해양 정보통신학회 논문지 제 9권 6호, pp. 1277-1281, 2005년 10월
- [6] Thomas Philip Warwick Clifford B. Cole, “High-Speed Digital Transceivers : A Challenge for Manufacturing,” IEEE ITC International Test Conference, pp. 211-215, 2001.



김석환(SokeHwan Kim)

2003.8 : 목원대학교 전자공학과
공학박사

2003.8~2005.2 : (주)제니텔
정보통신 선임연구원

2005.3~2006.1 : (주) 인터포스 책임연구원

2006.2~2008.4 : (주) 한백전자 책임연구원

2008.5~2010.8 : KAIST 박사 후 연구원

2001~현재 : 한국 해양정보통신학회 정회원

2009.1~현재 : 한국 해양정보통신학회 이사

2010.9~현재 : 이화여자대학교 전자공학과 연구교수

※ 관심분야 : Bio-inspired engineering, Self-repair, Gene Expression, Mutation,, FPGA 설계



허창우(Chang-wu Hur)

1991.2 : 연세대학원 전자공학과
공학박사

1986.9 ~ 1994.2 : 금성사 중앙 연구소

1994.3 ~ 현재 : 목원대학교
전자공학과 정교수

※ 관심분야 : 반도체공학 및 VLSI 설계