
군용 Single Board Computer에서의 고속메모리모듈 I/F구현

이특수* · 김영길**

The Implementation of High speed Memory module Interface in the Military Single Board Computer

Teuc-Soo Lee* · Young-Kil Kim**

요 약

군용 Single Board Computer(이하 SBC)에 주로 사용되는 중앙 처리 장치(Central Processing Unit)는 주로 Power PC의 계열이며 Freescale 사의 G4 계열인 74xx 프로세서가 주로 사용된다. 이러한 CPU인 7447A는 System Controller를 통하여 SBC 내의 주기억 장치와 고속으로 데이터를 주고받는다.

본 논문에서는 위와 같은 SBC의 구조에서 System Controller와 DDR 메모리 소자 간 I/F를 구현함에 있어 PCB 적층 구조, 소자들의 Layout, 임피던스매칭과 Rugged 환경에서 적용 되는 동작 가능한 DDR 메모리를 모듈로 설계하여 구현하였다. 또한, 군용환경에 적용하기위한 SBC의 형상은 주로 6U, 3U의 표준 형태로 설계되어져야 한다. 메모리의 단층을 대비하여 메모리를 모듈화하고 System Controller와 모듈간의 최적의 전기적인 I/F매칭과 신호의 cross over를 고려한 Artwork반영, 존재하는 PCB의 제한조건을 고려해서 시뮬레이션과 설계 및 구현하는 방안을 제안한다.

ABSTRACT

POWER PC series are common to the Central Processing Unit for Military Single Board Computer. Among them, G4 group, which contains the 74xx series supported by Freescale manufacturer is mainly used in the Military applications. We focus on the Interface between memory and controller. PCB stacking method, component routing, impedance matching and harsh environment for Military spec are the main constraints for implementation. Also, we developed memory as a module for the consideration of Military environments. The overall type of SBC should be designed by the form of 6U VME or 3U VME. Therefore this study suggests the electrically optimum Interface matching, Artwork technology based on the signal cross over and PCB stacking method on the harsh environment.

키워드

SBC, DDR, 시스템 제어기, 브이엠이

Key word

SBC, DDR, System Controller, VME

* 정회원 : LIG넥스원(주) (주저자, teucsoo.lee@lignex1.com)
** 종신회원 : 아주대학교 전자공학과 교수 (교신저자)

접수일자 : 2010. 06. 07
심사완료일자 : 2010. 07. 20

I. 서 론

카메라와 그래픽처리능력을 높인 단말기, 고속의 무선통신, 신호처리기능을 기준으로 점차 비디오, 게임, 정보검색, 교육 등에서 text에서 영상으로 응용분야가 확장되고 있는 추세이다.

이는 IT기술과 더불어서 발전되고 있으며, 범용화 차원에서 실시간을 요구하는 군사적인 Platform등에서도 적용이 되고있다.

예전의 군용 Single Board Computer(SBC) 환경과는 다르게 최근의 군용 Single Board Computer(SBC)는 기본적인 연산 능력 외에 다양한 그래픽 처리 및 신호 처리 등이 적용된 Multi환경으로 발전해 나가고 있다. 이러한 군용 Single Board Computer(SBC)라는 시스템의 기술동향은 점차 복잡화 및 다양화로 확대되고 있는 실정이다. 군용 Single Board Computer(SBC) 제품 형태는 기존의 Open Architecture인 VME 구조를 기반으로 다양한 Processor들을 탑재한 많은 제품들이 출시되고 있다. 이러한 VME 구조 외에 운용조건에 따른 다양한 Form Factor들을 기반으로 시장은 점차 확대되고 있다.

아울러 본 논문에서 적용된 것처럼 Single Board Computer(SBC)의 군용제품시장으로 확장되도록 전기적인 사양과 기능들을 한층 더 배가시켰으며, 군의 환경(주로 고온, 저온, 습도, 진동, 충격, 염수분무, 낙하 등)에 효과적으로 유지 가능토록 러기드 설계기법이 적용되고 있다. 이는 SBC를 구성하는 주요소자들인 Processor, System controller, 메모리 등의 독자적인 사양의 발전과 더불어 시스템차원에서의 효과적인 기능배분이 필수적으로 되어야만 가능하다.

이러한 군용 Single Board Computer(SBC)의 운용요구는 예전의 단말기 개념의 Operation에서 다양한 환경에서의 복잡성과 동시성을 요구하는 운용으로 바뀌고 있으며, 동 조건하에서의 Data처리는 실시간(Real Time)조건을 요구하는 적시성(Timeliness) 또한 보장되어야 한다. 아무리 고속 연산이 가능한 중앙처리 장치라도 Cache, System Controller, 주기억 장치 등과 같이 주변 소자들의 지원 없이 Single Board Computer(SBC) 시스템 차원에서의 해당 성능을 모두 발휘하기는 불가능하기 때문이다.

본 논문에서 다루고 있는 고속Data의 전송로인 Bus는 주어진 보드면적대비 다양하고 많은 수의 소자들을 가장 효과적으로 배열하여하며, Data의 손실이 없는 구조로 설계되고 제작되어야한다.

이는 전기적 인터페이스를 고려한 Bus동기와 임피던스 매칭 등이 우선되어야 하기 때문에 Bus의 종류에 따른 물리적인 특성과 장/단점을 파악하였고, 새롭게 적용되는 고속전송기법의 규격을 정리하였고 실제 주요 설계인자인 Address, Data, Clock, DQS 신호를 시뮬레이션을 통해서 보완하고 적용결과를 반영하여 군용 Single Board Computer(SBC)에서의 메모리모듈의 고속I/F시의 구현 가능한 방안을 제공하였다.

II. 고속전송 이론 및 규격

CPU와 메모리의 인터페이스에서 Data는 양방향으로, Control과 Address는 단방향으로 전송되는 Bus system으로 구성된다. Bus의 특성 Impedance가 알려져 있더라도 연결되는 소자의 수와 각 소자의 부하특성에 따라 Impedance 값이 바뀔 수가 있다. 여러 개의 메모리 소자를 연결시킨 경우에는 어떤 특성 Impedance를 갖는 BUS라도 다수의 모듈의 영향으로 Impedance가 낮게 형성이 되어 Impedance Matching이 힘들며 이 때문에 반사파에 의한 영향으로 왜곡이 발생한다. 하지만 현실적으로는 전송선의 Impedance Matching이 어려우므로 Impedance Mismatch가 존재하여도 과형왜곡이 적은 Driver회로나 인터페이스 방식을 선택하는 것이 중요하다.

2.1. 전송선로 드라이버방식

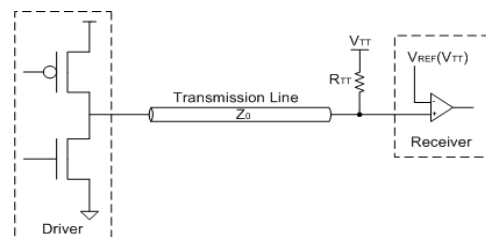


그림 1. PUSH_PULL구조의 드라이버
Fig 1. PUSH_PULL Driver

그림1은 드라이버 방식중에서 대표적인 Push-Pull형을 나타낸 것으로 “L”도 “H”도 모두MOS에 의해 구동되므로 종단전압VTT는 전송선을 단지 “Precharge”하는 역할을 할뿐이다. 이 경우 VOL은 위와 같은 식으로 주어지지만 VOH는 아래와 같다.

$$VOL = VTT - IOLRTT = (RON / (RON + RTT)) \times VTTVOH = (RTTVDD + RONVTT) / (RON + RTT)$$

따라서 고속전송에 편리하도록 자유로이 VTT를 선택할 수 있다. 예를 들어, VTT=VDD/2로 한다면 Receiver(입력Buffer)의 기준전압 VREF와 공용으로 사용할 수도 있다. 이는 사용되어지는 전원의 수를 감소시키는 중요 인자가 되며, 전송신호의 파형도 “H”와 “L”이 VTT를 중심으로 대칭 스윙하도록 할 수가 있는 장점이 있다.

2.2. SSTL2 규격

고속의 스위칭으로 data를 양방향으로 수수하는 다양한 방법이 거론되고 있으며, DDR 메모리에서는 Series Stub Termination Logic(SSTL)이라 명명된 것으로 낮은 전압, 고속의 기준을 기반으로 만들었다. SSTL은 기존의 LVTTL signaling에서 문제가 되었던 마더보드(메모리를 장착하는 구조)에서의 termination 처리를 가능하게 하였고, 신호의 무결성 처리 등을 극복하였다. 그림2는 SSTL2의 구조로 메모리가 stub나 connector 등이 존재하는 결합구조와 인터페이스 하는 경우에 특히 적합하다.

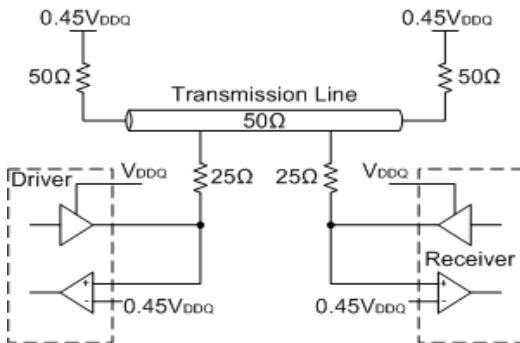


그림 2. SSTL2구조의 드라이버 Fig. 2. SSTL2 Driver

III. DDR SDRAM

3.1. SDRAM과의 비교

DDR SDRAM은 “Double DataRate Synchronous DRAM”의 약자이다.

Double Data Rate”라는 용어는 주기적으로 “1”에서 “0”이나 반대로 값이 변경되는 클럭이나 data strobe(이하 DQS) 신호의 양쪽 에지(상승 에지와 하강 에지)를 모두 사용하는 모든 제품에 대하여 사용될 수 있다.

DDR SDRAM은 데이터 신호(이하 DQ)와 함께 양방향으로 움직이는 DQS 신호를 사용하여 DDR SDRAM과 메모리 컨트롤러가 DQS를 이용하여 유효한 값을 가진 DQ 신호를 판별할 수 있게 한다.

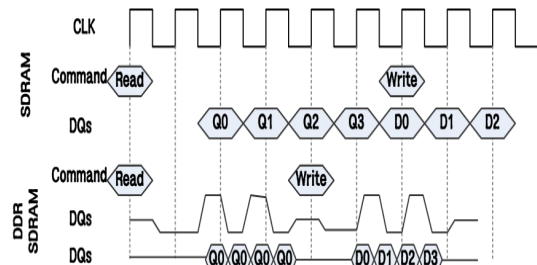


그림 3. SDRAM 과 DDR SDRAM비교 Fig 3. Comparison between SDRAM and DDR SDRAM

4bit나 8bit의 DQ 당 하나의 DQS 신호가 사용된다. DQS를 사용하는 근본적인 이유는 SDRAM의 access time을 줄이고 DRAM과 메모리 컨트롤러 사이의 전송 지연(propagation delay)을 줄여 높은 데이터 전송률을 실현하기 위함이다. 또한, DRAM과 메모리 컨트롤러의 입력 클럭 사이의 skew를 무시할 수 있다는 장점이 있다. DDR SDRAM은 DQS와 DQ가 병렬로 이동하기 때문에 이러한 장점을 갖는 것이다.

3.2. 시스템 컨트롤러(MV64460)

본 연구과제에서 적용된 MV64460은 임베디드 컨트롤 어플리케이션의 높은 퍼포먼스를 위해 설계된 system controller로써 라우터, 웹 스위치, 스토리지 어플리케이션, 무선 기반 시설 등등 PowerPC CPU를

기반으로 한 어플리케이션에 최적의 솔루션을 제공한다.

IV. 제안하는 개선 방안

군 환경에 사용되는 SBC에는 여러 제약 조건들이 있다. 본 논문에서 제시하는 주요인자인 System Controller 와 메모리 소자간의 고속 스위칭시의 설계를 기준으로 설정하였고, 이러한 인자들의 선행하는 제약조건으로는 기구적인 조건, 기능의 다양성과 복잡성, 군용 환경적 용의 3가지로 분류 될 수 있다.

군용SBC는 사용 환경의 표준은 미 국방성에서 정한 MIL-STD-810x 규정을 따르고 있다. 군 적용위한 DIMM 형태의 주기억 장치는 사용 불가하여 모든 메모리 소자들을 그림4처럼 On Board 형태로 적층하여 실장 하였다. 기구적인 공간적인 제약에 따라 각 메모리 소자들을 Board 앞, 뒤로 배치를 하게 되고 3×3열로 구성 하였다. 즉 한 면에 8Bit ECC를 포함하여 9개의 소자를 실장하고 이것을 다시 TOP, BOTTOM SIDE로 하여 총 18EA 메모리를 실장하여 총 1GB 용량으로 구현하였다.

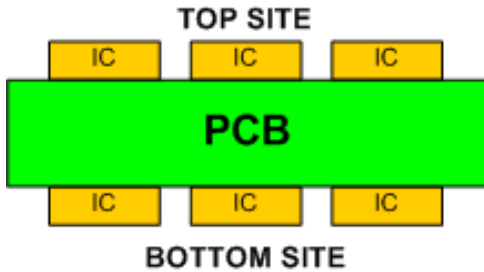


그림 4. 메모리 구조
Fig 4. Memory Structure

그림5는 메모리모듈이 장착되는 전체PCB의 18층 적층구조로 9층을 기준한 2모듈을 압축시켰다.

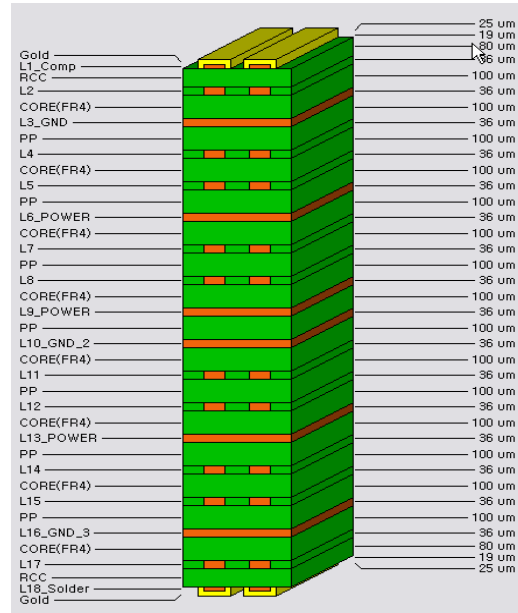


그림 5. 18층의 적층구조
Fig 5. 18 Stacks for PCB

표 1. 레이어별 임피던스 예측
Table 1. Impedance of layer

Layer Name	Type	Usage	Thickness um	Er	Test Width um	Z0 ohm
Gold	Metal	Signal	25	<Auto>	254	65.6
L1_Comp	Metal	Signal	19	<Auto>	127	81.4
RCC	Dielectric	Substrate	80	4.4		
L2	Metal	Signal	36	<Auto>	152.4	45.5
CORE(FR4)	Dielectric	Substrate	100	4.4		
L3_GND	Metal	Plane		<Auto>	101.6	67.7
PP	Dielectric	Substrate	100	4.4		
L4	Metal	Signal	36	<Auto>	101.6	46.7
CORE(FR4)	Dielectric	Substrate	100	4.4		
L5	Metal	Signal	36	<Auto>	152.4	39.1
PP	Dielectric	Substrate	100	4.4		
L6_POWER	Metal	Plane	36	<Auto>	114.3	61.4
CORE(FR4)	Dielectric	Substrate	100	4.4		
L7	Metal	Signal	36	<Auto>	114.3	44.5
PP	Dielectric	Substrate	100	4.4		
L8	Metal	Signal	36	<Auto>	152.4	39.1
CORE(FR4)	Dielectric	Substrate	100	4.4		
L9_POWER	Metal	Plane	36	<Auto>	101.6	47.7
PP	Dielectric	Substrate	100	4.4		
L10_GND_2	Metal	Plane	36	<Auto>	101.6	47.7
CORE(FR4)	Dielectric	Substrate	100	4.4		
L11	Metal	Signal	36	<Auto>	152.4	39.1
PP	Dielectric	Substrate	100	4.4		
L12	Metal	Signal	36	<Auto>	114.3	44.5
CORE(FR4)	Dielectric	Substrate	100	4.4		
L13_POWER	Metal	Plane	36	<Auto>	114.3	61.4
PP	Dielectric	Substrate	100	4.4		
L14	Metal	Signal	36	<Auto>	152.4	39.1
CORE(FR4)	Dielectric	Substrate	100	4.4		
L15	Metal	Signal	36	<Auto>	101.6	46.7
PP	Dielectric	Substrate	100	4.4		
L16_GND_3	Metal	Plane	36	<Auto>	101.6	67.7
CORE(FR4)	Dielectric	Substrate	100	4.4		
L17	Metal	Signal	36	<Auto>	127	49.1
RCC	Dielectric	Substrate	80	4.4		
L18_Solder	Metal	Signal	19	<Auto>	127	81.4
Gold	Metal	Signal	25	<Auto>	254	65.6

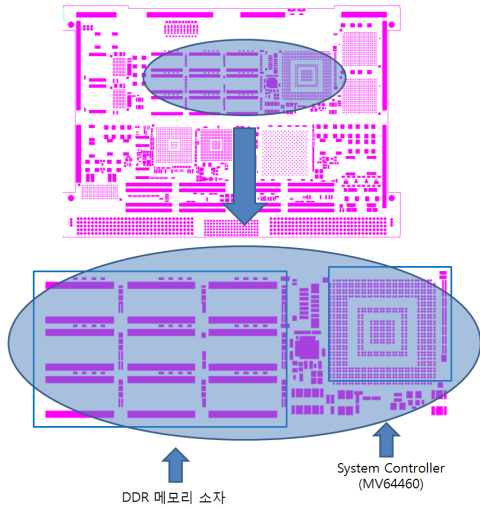


그림 6. Art Work 구현
Fig 6. Implementation of Art Work

V. 시뮬레이션 및 결과분석

본 연구에서 사용된 시뮬레이션 S/W는 Mentor Graphics 사의 Hyper Lynx을 사용 하였다.

4.1 어드레스 신호

신호의 강도가 Receiver 상단 부분 약하게 측정이 되고 길이가 표준 길이보다 많이 길게 되어 권장하는 Capacitor를 제거하여 성능 개선을 하였다.

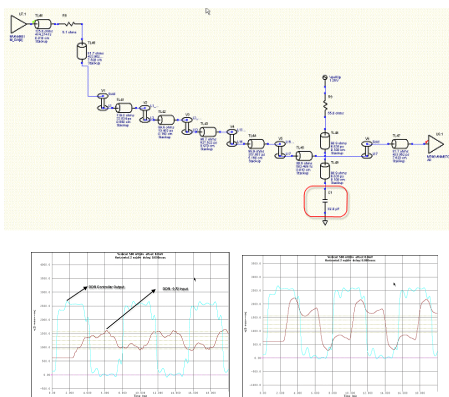


그림 7. Address 시뮬레이션
Fig 7. Address Simulation

4.2 클럭 신호

Clock 신호의 Serial Resistor Value 변경을 통하여도 성능을 개선하였으며 두 차동 Clock 신호 모두에 적용 하였다.

- 권장: 20 Ω
- 적용: 100 Ω

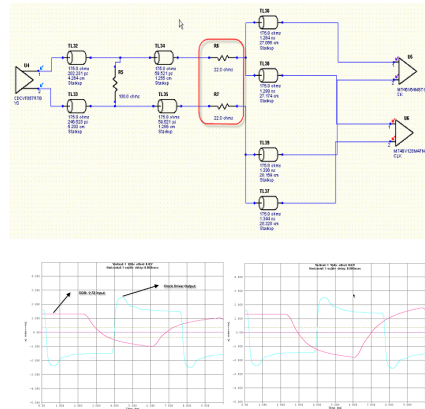


그림 8. 클럭 시뮬레이션
Fig 8. Clock Simulation

4.3 데이터 신호

M_DCAL 신호의 강도를 조절하는 저항의 값을 변경 하여 DDR Controller 보내는 신호의 강도를 세게 하여 성능 개선을 하였다.

- 권장: 22Ω
- 적용: 0 Ω

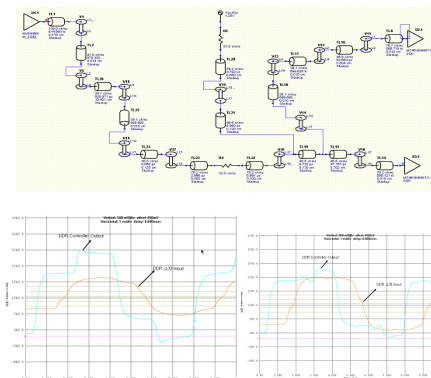


그림 9. 데이터 시뮬레이션
Fig 9. Data Simulation

4.4 DQS신호

M_DCAL 신호의 강도를 조절하는 저항의 값을 변경하여 DDR Controller 보내는 신호의 강도를 세게 하여 성능 개선을 하였다.

- 권장 : 22Ω
- 적용 : 0 Ω

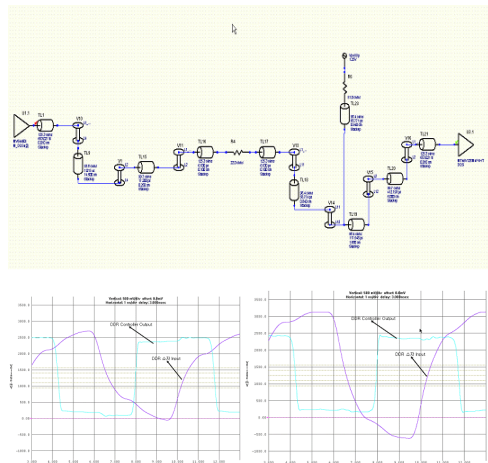
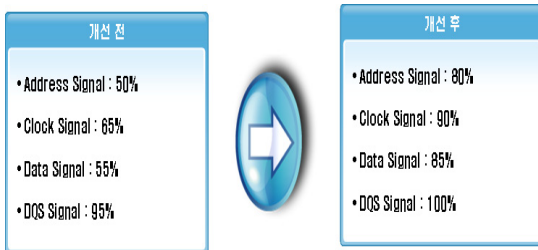


그림 10. 데이터 스트로브 시뮬레이션
Fig 10. DQS Simulation

4.5 소결론



약 90%이상의 신호의 안정성을 향상하였고, 단위 SBC의 제작과정에서 다양한 시뮬레이션과 제작결과의 반영을 통해서 Artwork비용 약 1,000만원/1회, PCB제작 비용 600만원/1회 정도 절감 가능하였으며, 유사연구개발에도 적용 가능할 것으로 판단한다.

VI. 결 론

CPU와 메모리 및 주변소자의 동작자체는 고속으로 발전하고 있으며, 이를 전체로 하는 시스템의 발전은 CPU-Memory BUS Interface, 즉 CPU와 Memory의 고속 통신이 전제가 되어야 한다. 이러한 시스템 전체를 응용하고 설계하는 과정에서의 CPU-Memory BUS Interface의 고속화 조건을 전송선이라는 물리적인 기본부터 출발을 하였으며, 그의 종류부터 고속스위칭시의 제한조건을 분석해서 전압이나 전류의 크기 조절 및 Impedance Matching등을 시뮬레이션 및 제작후의 설계값 변경 등을 통해서 일부 파라미터들을 최적화하는 방안을 제안하였다.

신호 전송기법은 Data를 전송선을 통해서 안정적으로 소자간의 전달하는 것을 말한다. 이는 제일먼저 Noise에 대한 둔감설계와 신호의 안정화 및 신뢰가 필요한 것이다. 이는 시스템의 구성에서 성능과 비용을 항상 같이 고려해야하는 조건이 되는 것이다. 실제 최근의 군 운용환경 또한 비용변수가 제일 중요한 인자로 거론되고 있는 실정으로 군의 특화된 Rugged 환경도 만족해야 하는 2중의 설계제약조건이 되고 있다.

군 운용환경은 실제 상용에서 적용중인 DDR 메모리 표준에서 정의해 놓은 방법대로 디자인을 할 수 없기 때문에 메모리모듈을 별도로 설계하여 On_board화하는 것도 주요 관심사이기도 하였다.

본 논문에서는 System Controller와 DDR 메모리 소자 간에 I/F를 구현과정에서 고려 될 사항과 발생 예상되는 문제점에 대한 해결 방안을 제시하였다. 보드의 전체 적층은 18층으로 구현하였고, 이는 대부분의 소자들이 Ball Grid Array(BGA)형태로 제한된 보드영역 내에서 VIA를 통해서 연결하는 회로 구성이기 때문이다.

실제 본 논문에서 제시된 여러 방법들로 구현된 군용 SBC는 차기보병장갑차용 지휘통제컴퓨터나 차기전차용의 운용통제컴퓨터 및 “수리온”으로 명명된 차기헬기용 임무컴퓨터용으로 사용되어 지고 있다. 이러한 고속의 신호 전송기법을 적용한 CPU-Memory BUS Interface 기법은 다른 유사한 분야에도 적용 가능할 것으로 판단한다.

참고문헌

- [1] American National Standard IV VME64, ANSI/VITA1-1994,
- [2] American National Standard for VME64 Extensions, ANSI/VITA1.1-1997
- [3] VME64 Extensions for Physics and Other Applications, ANSI/VITA23-199x
- [4] IEEE Standard Physical and Environmental Layers for PCI Mezzanine Cards, IEEE Std 1386.1-2001
- [5] Double Data Rate (DDR) SDRAM Specification, JESD73E
- [6] Department of Defense Test Method Standard for Environmental Engineering Considerations and Laboratory Tests Amsc, Mil-Std-810F
- [7] 유희준 저, 고성능DRAM
- [8] <http://www.freescale.com>
- [9] <http://www.mavell.com>
- [10] <http://www.micron.com>



이특수(Teuc-Soo Lee)

1984. 2. 연세대학교 전기공학과
공학사
2010. 8. 아주대학교 전자공학과
공학석사

1992 ~ 현재. LIG넥스원(주) 수석연구원
※ 관심분야 : 마이크로프로세서 응용설계, Digital I/O
설계, Embedded System



김영길(Young-Kil Kim)

1978. 고려대학교 전자공학과
공학사
1980. 한국과학원 산업전자공학과
공학석사

1984. ENST(France) 공학박사
1984. ~ 현재. 아주대학교 전자공학과 교수
※ 관심분야 : 마이크로파공학, 의료공학, Embedded
System