

EMI/EMC of 3D IC(Integrated Circuit)

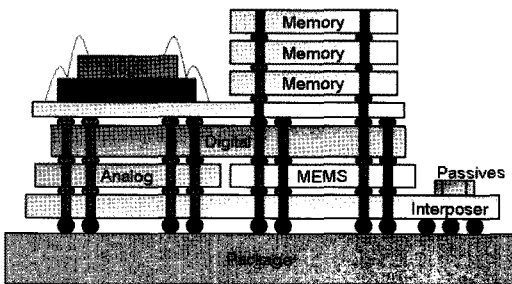
박준서
한국과학기술원

I. 서론

끝없는 고집적, 고성능 IC의 열망은 무어의 법칙(Moore's Law)을 지키고자 하는 엔지니어에게 풀이가 너무 어려운 숙제가 된지 오래 되었다. 30 나노(30 nm, 1나노 = 1마이크론의 1,000분의 1)급 공정 기술 개발부터 시작된 이 어려운 숙제는 새로운 공정 기술 개발에 투자되는 비용에 비해 얻어지는 이윤이 급격히 감소하면서 생겨났다. 그러나 최근에 이 숙제의 풀이가 서서히 세계에 알려지고 있는데, 이것이 TSV(Through-Silicon-Via: 실리콘 관통 전극) 기반 3D IC(TSV-based 3D IC, [그림 1])이다.

현재까지 반도체 기술의 발전 추이를 보면 칩 자체의 트랜지스터 집적도를 높이는 기술과 칩을 외부 시스템과 연결해 주는 패키지 기술이 양대 견인차임을 알 수 있다. 트랜지스터의 집적도는 40년 전 인텔의 Gordon Moore가 발표한 무어의 법칙에서 말했듯이 18개월마다 단위 면적당 2배로 증가되어 칩 생산비 절감 및 칩 성능 개선에 이바지해왔다. 하지만 최근 30 나노급 공정에 근접하면서 무어의 법칙에 의한 집적도 향상은 기술적 어려움 및 경제성 한계로

인해 어려워지고 있음을 여러 발표를 통해 알 수 있다([그림 2]). 또한 패키지 기술은 칩 성능 향상을 따라 가지 못하였는데, 이는 제조 기술의 한계뿐만 아니라 다양한 전기적 한계 및 간섭에 의한 것으로 이에 대한 많은 연구가 이루어져 왔고 계속 진행되고 있다. 초기 와이어 본딩(Wire-Bonding) 기술을 이용한 칩과 시스템 사이의 전기적 연결 통로 개수의 제약이 매우 큰 숙제였는데, 이를 위한 플립 칩 본딩(Flip-Chip Bonding)과 BGA(Ball Grid Array) 패키지 기술이 개발되어 극복되었다. 이러한 패키지 기술의 급속한 발전은 SoC(System on Chip)와 같은 고성능 고집적 칩 개발에 뒷받침이 되었다. SoC는 전기적 한계를 가지는 패키지를 거치는 신호선을 줄여 칩 집적도 향상과 성능 향상을 도모하는 기술인데, 그 제조 비용이 비싸고 개발 기간이 길다는 단점이 있다. 그래서 개발된 값 싸고 개발 기간을 단축시킬 수 있는 기술이 MCP(Multi Chip Package)와 SiP(System in Package)이다. 그러나 이 기술들 또한 패키지를 지나가는 신호선이 존재한다는 것과 단일 패키지 크기가 커진다는 단점이 존재한다. 이와 같은 한계를 극복하고자 제안된 방법이 3차원(3D) 기술이다. 현재 많이 사용되는 3차원 기술에는 CoC(Chip on Chip), PoP(Package on Package)가 있다. 그러나 이 기술들 또한 2개 칩만을 사용할 수 있다는 집적도 향상의 한계(CoC)와 와이어 본딩을 사용하고 패키지 신호선을 지나야 한다는 성능 향상의 한계(CoC, PoP)를 가질 수밖에 없다. 그래서 기술적·경제적 한계를 극복하면서 고집적 고성능을 추구할 수 있는 3차원 기술이 TSV 기반 3D IC이다. [그림 1]에서 알 수 있듯이 TSV 기술을 이용하면 고집적을 구현하면서도 매우



[그림 1] 3D IC 개념도

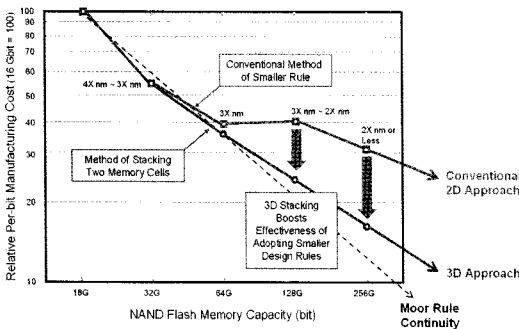
짧은 연결선이 구현되어 고집적 고성능을 이룰 수 있으며, 많은 투자 비용을 들여 새로운 칩 제작 기술을 개발할 필요 없이 기존의 칩 제작 기술을 이용할 수 있어 기술적·경제적 한계를 극복할 수 있는 것이다. 또한 다양한 환경(이종 웨이퍼)에서 제작된 다양한 성능(디지털, 아날로그, RF, 센서)의 칩들을 집적하여 진정한 시스템 레벨 소형 패키지가 TSV 기반 3D IC를 통해 이루어질 수 있는 것이다.

현재 진행 중인 3D IC 연구는 기존의 칩 제작 기술과 패키지 기술의 융합으로 접근하고 있으며, TSV를 중심으로 활발히 진행되고 있다. TSV 기술은 크게 제작 기술과 응용 설계 기술로 나누어 볼 수 있는데, 최근까지는 제작 기술 주도로 시장 및 연구가 진행되고 있으나, 제작 기술이 빠르게 안정화 되고 있는 현재에는 응용 및 설계 기술에 대한 욕구가 매우 커지고 있다.

그래서, 본고에서는 TSV 기반 3D IC 기술 동향을 통해 현재 3D IC 기술에 대한 위치를 파악하고, EMI/EMC 해석의 기초가 되는 TSV 전기적 해석 및 설계 이슈 등에 대해서 알아보도록 하겠다.

II. TSV 기반 3D IC 기술 동향

3D IC 기술 개발에는 3가지의 목표가 있다. 성능



[그림 2] 무어의 법칙과 2차원 칩 제작 기술에 따른 경제성의 한계 및 3차원 기술에 의한 한계 극복^[1]

향상, 패키지의 소형화, 제조 비용 절감이 그것이다. 초기에는 패키지의 소형화(CIS; CMOS Image Sensor)와 제조 비용 절감(새로운 미세 공정 개발 불필요)이 중심이 되어 개발을 이끌었다면 현재는 성능 향상, 그중에서도 고속 대용량 데이터 처리를 위한 메모리 집적도 향상 및 메모리 밴드위드스(Bandwidth; Byte per second) 증대와 모바일 기기를 위한 소비 전력 감소가 개발의 주된 목표가 되고 있다. 그 이유는 IT 기기와 인체 삽입형 의료기기를 중심으로 더욱더 크고 선명한 화면, 동시에 더 많은 더 빠른 기능 수행, 더 적은 충전 회수가 소비자들로부터 요구되고 있고, 유일한 해결책이 TSV 기반 3D IC이기 때문이다. TSV는 Through-Silicon-Via라는 이름에서도 알 수 있듯이 칩의 기반인 실리콘 웨이퍼에 메탈을 이용해 비아를 형성하고, 실리콘 웨이퍼를 얇게 하여 실리콘 웨이퍼의 윗면과 아랫면을 전기적으로 연결해 주는 역할을 한다([그림 1]). 다시 말해 50~100 um 정도로 얇게 제작된 실리콘 웨이퍼를 수직으로 쌓고 TSV를 이용해 전기적으로 연결을 하면 칩 사이에 기존의 그 어떤 연결선보다도 짧은 전기적 연결선을 구성할 수 있어 단일 면적당 트랜지스터 집적도를 크게 하면서도 매우 좋은 성능(빠른 데이터 전송 및 작은 트랜지스터 구동 전력)을 구현할 수 있게 되는 것이다. 또한 TSV는 현재 5~10 um의 지름을 가지고 있는데, 이는 기존의 본딩 패드보다도 작은 크기이어서 더 많은 수의 본딩 패드를 구현할 수 있기 때문에 더 넓은 칩 데이터 밴드위드스를 구현할 수 있다. 이와 같은 3D IC의 기술적 융합 특징으로 인해 칩 설계회사와 칩 제작회사 사이에, 데이터 처리용 칩 회사와 메모리 칩 회사 사이에, 칩 회사와 패키지 회사 사이에, 칩 및 패키지 설계 프로그램 회사 사이에 많은 공동 연구와 개발이 이루어지고 있다.

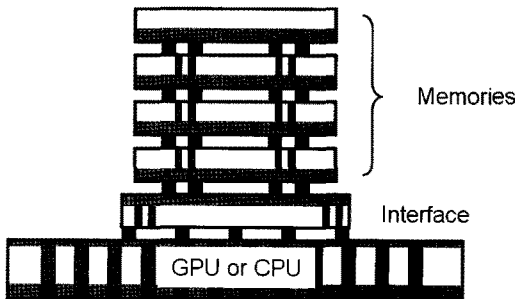
3D IC는 모든 구성 칩을 수직으로만 쌓는 구조 (Vertical 3D IC: [그림 3])와 일부 유사한 기능을 갖는 칩들만 선택적으로 Vertical 3D IC를 구성한 후

Interposer 위에 SiP와 같은 방식으로 집적하는 구조(Lateral 3D IC: [그림 4])로 나눌 수 있다. [그림 1]은 Vertical과 Lateral 3D IC가 혼재된 3D IC라 할 수 있다. Interposer는 SiP의 패키지 기판과 유사한 기능을 하지만 제작 과정이 반도체 제작 기술 및 TSV 기술을 이용하게 되어 배선이 패키지에 비해 집적도가 더 높고 본딩 패드의 수도 더 많이 설계될 수 있다. Interposer는 실리콘 기판이나 글래스 기판을 이용할 수 있는데, 현재 제작 비용과 신뢰성 측면에서 비교되며, 두 가지 기판에 대한 기술이 동시에 개발되고 있는 분야이다. Lateral 3D IC는 주로 열이 많이 발생하는 칩(CPU: Central Processing Unit, GPU: Graphic Processing Unit)이 열을 덜 발생시키는 칩(대표적으로 메모리 칩)에 누설 전류 증가 및 적기적 물리적 신뢰성 감소를 일으키기 때문에 두 칩 사이에 물리적으로 공간 확보를 위해서 필요한 기술이다. 특히나 메모리 칩은 Vertical 3D IC로 하여 집적도나 성

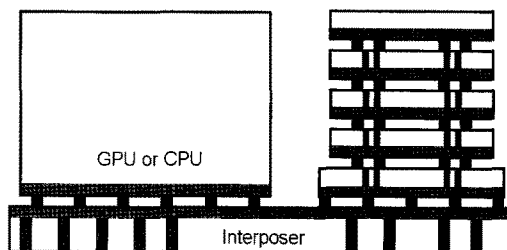
능에서 매우 큰 이득을 얻을 수 있으나, 열에 매우 민감하기 때문에 CPU나 GPU에서 효과적으로 열 문제를 해결할 수 있는 기술(Multi-Core Processor가 가장 근접된 기술이라 할 수 있다.)이 개발되지 않는 이상, 앞으로 몇 년간은 Interposer를 이용한 Lateral 3D IC가 주류를 이룰 것으로 생각된다. 그러나 Interposer는 두 칩 사이에 비교적 긴 연결선이 존재하게 하는데, 이는 전기적으로 보았을 때 TSV만 있는 경우보다 매우 큰 저항, 캐패시턴스와 인덕턴스가 존재하게 되어 데이터를 주고받을 때 사용되는 구동 회로의 전력 소모가 커지게 되고, 연결선 사이에 간섭 현상이 커져 신호 손실 가능성이 커지게 되어 진정한 3D IC의 목표와는 거리가 있는 기술이라 할 수 있다. 그래도 현재 기술 수준에서는 매우 매력 있는 기술임에는 틀림없다. 그 외에 Interposer는 FPGA(Field Programmable Gate Array)에 주목받고 있는 분야이기도 하다. FPGA는 칩 위에 매우 많은 단위 블록들이 존재하고, 이를 연결하기 위한 배선을 매우 많이 갖게 되는데, 이러한 특성으로 인해 하나의 칩 크기가 매우 커지게 되어 수율이 낮아 제작 비용이 매우 크다. 그래서 FPGA의 단위 블록들을 작게 나누어 제작하여 수율을 높이고, Interposer 위에 집적하면 FPGA 제조 비용을 매우 줄일 수 있게 되는 것이다. 그래서 최근에 FPGA 대표적 회사에서 이에 대한 기술 개발을 발표한 바가 있다.

이 절에서는 간단히 TSV 기반 3D IC의 기술 동향에 대해 알아보았다. 이 절에서 특별히 기업체별 기술 개발 동향, 3D IC 시장 동향은 언급하지 않았다. 이러한 자료들은 현재 매우 광대하게 인터넷이나 유수의 기술 리포트들을 통해 나오고 있고, 쉽게 접할 수 있을 것으로 생각되기 때문이다.

다음 절부터는 본인이 근무하고 있는 카이스트(KAIST), 전기 및 전자공학과와 Terahertz Interconnection and Package 연구실(지도교수 김정호)에서 진행해온 전기적 해석 및 설계 이슈에 대해 소개하고자 한다.



[그림 3] Vertical 3D IC 구조도



[그림 4] Lateral 3D IC 구조도

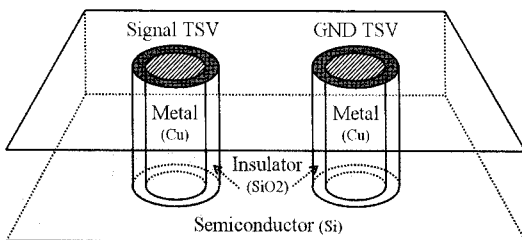
III. TSV(Through Silicon Via)

[그림 5]는 TSV를 실리콘 웨이퍼에 제작하였을 때 보이는 대표적 구조도를 보여주고 있다. TSV는 실리콘 웨이퍼에 DRIE(Deep Reactive Ion Etching) 기술을 이용해 구멍을 파고 TSV 자체의 메탈과 반도체 상태의 실리콘 웨이퍼 사이의 전기적 도통을 막기 위한 실리콘 옥사이드(SiO₂)막을 형성시킨 후, 최종적으로 TSV 메탈을 도금 방식으로 채워 넣는 방식으로 제작된다. 그런 후 TSV를 외부로 노출시키기 위해 실리콘 웨이퍼 뒷면을 CMP(Chemical Mechanical Polishing) 기술을 이용해 갈아 내어, 그림과 같이 얇은 실리콘 웨이퍼에 TSV가 있는 형태가 된다. DRIE는 실리콘 웨이퍼에 수직적으로 균일한 구멍 크기를 가지면서도 여러 개의 구멍을 동일한 깊이를 가지게 파 내려갈 수 있는 기술로, 현재 TSV 제작에 대부분 사용되고 있는 기술이다. TSV 메탈은 구리(Cu)와 텅스텐(W), 두 물질이 이용될 수 있는데, 구리의 경우 도금 속도가 빠르지만 실리콘 웨이퍼와의 열팽창 계수(CTE: Coefficient of Thermal Expansion)의 차이가 커서 후속 공정이나 제품화 단계에서 신뢰성 문제가 생길 가능성이 크고, 텅스텐의 경우 열팽창 계수 차이가 작아 문제가 덜 발생하지만 도금 속도가 느리고 CMP 과정에서 기계적 스트레스가 커지는 문제점이 있다. 현재 DRIE 기술과 도금 기술이 지속적으로 발전하여 TSV 크기가 매우 작아지고(<5 um) 있어 신뢰도가 높고 생산 속도를 높일 수 있는 구리를

선호하고 있다. 하지만 매우 작은 크기(<1 um)에서는 텅스텐이 선호되어 텅스텐 TSV 또한 고성능 3D IC 제품군을 목표로 기술 개발이 되고 있다.

[그림 5]에 GND TSV(그라운드 TSV: 회기전류용 TSV)가 위치하는 것에 의아해 하는 분이 있을 수도 있겠다. 왜냐하면 실리콘 웨이퍼는 반도체 성질을 갖고 있고, 실제 칩 제작에서는 DC 그라운드에 의해 접지가 되어 실리콘 웨이퍼 자체가 회기 전류 통로로 사용될 수 있다고 생각하기 때문일 것이다. 그러나 TSV를 앞으로 설명할 MIS(Metal Insulator Semiconductor) 관점에서 바라보게 되면 잘못 생각하고 있는 것을 알 수 있을 것이다.

[그림 5]를 다시 보면, 구리 메탈 TSV 주변에 옥사이드(Insulator)가 있고, 또 그 외부에 실리콘 웨이퍼(semiconductor)가 존재하는 MIS 구조임을 쉽게 알 수 있다. 그리고 실리콘 웨이퍼는 반도체이기는 하지만 도전률이 10 S/m 정도로 매우 작기 때문에 DC 그라운드에 접지되었다더라도 AC적으로는 전혀 그라운드 역할을 해줄 수 없게 된다. 그래서 TSV는 그라운드 TSV가 필요하게 되고, 최종적으로 MISIM 형태의 Double MIS 구조가 된다. MIS 구조는 RF IC 연구자들에 의해 해석이 잘 되어 있는데, Skin-Depth Mode, Slow-Wave Mode, 그리고 Quasi-TEM Mode, 총 3가지 신호 전송 방식(mode)이 존재함을 측정과 시뮬레이션을 통해 보여주었다. Skin-Depth Mode는 실리콘 웨이퍼의 도전률에 따라 실리콘 옥사이드에 접해 있는 실리콘 웨이퍼에 회기 전류 통로가 형성되는 경우인데, [그림 6]에서 알 수 있듯이 초고주파 신호가 도전률이 매우 높은 실리콘 웨이퍼에 형성된 TSV를 통해 전송될 때 나타날 수 있는 것으로 일반적인 상용 제품에서는 보일 수 없는 신호 전송 방식이다. 다시 말하면 실리콘 웨이퍼는 AC 회기 전류 통로가 될 수 없고, 반드시 그라운드 TSV가 필요하다는 것을 알 수 있다. 다음은 Slow-Wave와 Quasi-TEM Mode인데, 이 두 방식은 상용 제품에 사용되는 실리콘 웨



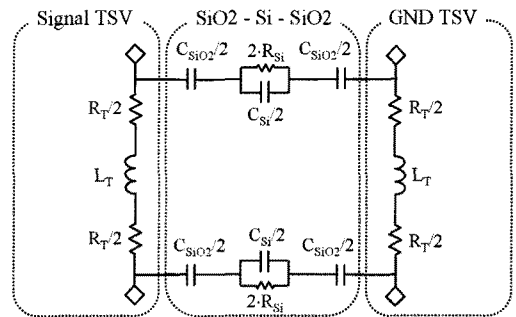
[그림 5] 신호 전송용 TSV 구조도^[2]

이퍼에서 보이는 신호 전송 방식으로 주로 TSV 메탈을 둘러싼 실리콘 옥사이드에 의해서 나타나게 된다. 전통적 MIS 해석에서 알 수 있듯이 Slow-Wave Mode에서는 두 TSV에 있는 신호와 회귀 신호에 의해 전장과 자장이 형성되는데, 근접장 효과에 의해 전장은 실리콘 옥사이드에 강하게 존재하여 큰 캐패시턴스를 만들고, 반면에 자장은 두 TSV 사이에 형성되어 실리콘 웨이퍼의 도전률 영향이 없는 두 평행 도선의 인덕턴스를 만들게 된다. 결과적으로 TSV는 실리콘 웨이퍼가 없는 동일 구조의 두 평행 도선에 비해 캐패시턴스가 커지게 되어 신호 지연(slow-wave) 현상이 나타나게 된다. 그러나 신호의 주파수가 높아지게 되면 실리콘 웨이퍼의 도전률에 의한 캐패시턴스 임피던스 값이 실리콘 웨이퍼의 저항값에 접근했다가 보다 작아지게 되어 Quasi-TEM Mode 영역으로 넘어가게 되어, 결국에는 실리콘 웨이퍼의 도전률 효과가 전혀 보이지 않게 되는 것이다. [그림 6]에서는 실리콘 웨이퍼 도전률이 10 S/m 일 때 15 GHz부터 순수 Quasi-TEM Mode가 나타남을 보여주고 있다.

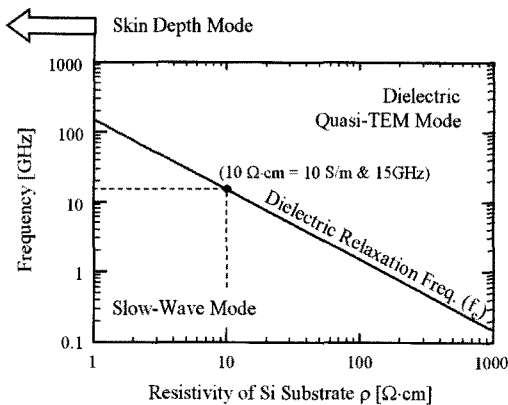
[그림 7]은 전통적인 Slow-Wave Mode와 Quasi-TEM Mode를 고려한 MIS 구조 모델링 방법에 기초해서 제안된 TSV 회로 모델이다. 각 모델 파라미터 결정식은 참고문헌 [2]에 나와 있다. 앞서 설명한 바와 같

이 Slow-Wave Mode의 핵심인 실리콘 옥사이드에 의한 캐패시턴스(C_{SiO_2})와 Quasi-TEM Mode로 진행되는 현상을 반영하기 위한 실리콘 웨이퍼의 저항(R_{Si}), 캐패시턴스(C_{Si})가 모델에 포함되어 있다. [그림 8]에서는 Slow-Wave Mode에 의한 전송 손실(S_{21}) 증가와 Slow-Wave Mode와 Quasi-TEM Mode의 비율에 따른 신호 지연비(β/β_0)의 감소가 잘 표현되어 있다. 20 GHz 고주파에서도 여전히 나타나고 있는 높은 값의 지연비는 실리콘 웨이퍼의 11.9라는 높은 상대 유전률에 의한 것이다.

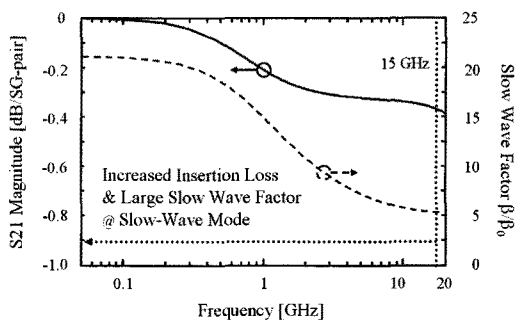
이와 같이 TSV에 의해서 캐패시턴스 값이 높게 나타나게 되면, 디지털 신호 구동 회로가 여전히 높은 전력 사양이 요구되고, 이는 TSV 기반 3D IC 목표와



[그림 7] Slow-Wave Mode와 Quasi-TEM Mode를 고려한 TSV 모델^[2]



[그림 6] Dielectric relaxation frequency^[2]

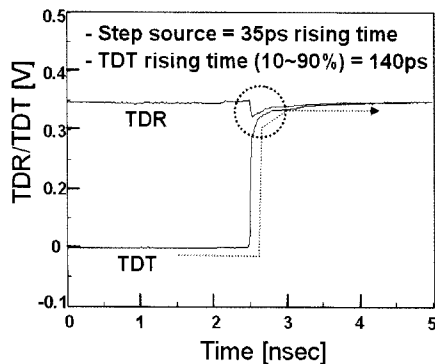


[그림 8] Slow-Wave Mode의 영향에 의한 전송 손실(S_{21})과 신호 지연비(β/β_0)

는 동떨어지게 된다. 그래서 이 캐패시턴스 값을 낮추어야 하는데, 가장 쉬운 접근 방법은 실리콘 옥사이드 두께를 늘리는 것이다. 그러나 이 방법은 TSV 제작 시간을 증가시켜 상용화에 어려움을 주게 된다. 이에 따라 TSV 크기를 줄이고 실리콘 웨이퍼 두께를 줄임으로써 실리콘 옥사이드의 표면적을 줄여 이 문제를 해결하려고 노력하고 있다. 이는 본딩 패드의 집적도도 높일 수 있어 긍정적인 접근 방법이다. 그러나 TSV 제작 비용의 증가와 신뢰성 감소라는 문제는 더욱 커질 수밖에 없고, 이에 대한 해결책이 현재 TSV 기반 3D IC 기술의 핵심이라 할 수 있다.

이러한 실리콘 옥사이드 캐패시턴스 특성은 시간 영역에서도 보인다. [그림 9]와 같이 캐패시턴스는 TDR(Time Domain Reflectometry)에서는 언더 글리치(Under Glitch)로 나타나게 되고 TDT(Time Domain Transmission)에서는 50 Ω 터미네이션에 의한 RC 지연 효과에 따른 신호 상승 시간이 증가가 나타나게 된다. 한 개의 TSV 경우는 문제가 크지 않을 것으로 판단되나, 3D IC의 수직 집적 칩 개수가 증가되면 이 효과는 더욱 커져 고속 신호 전달에 문제가 될 수 있다.

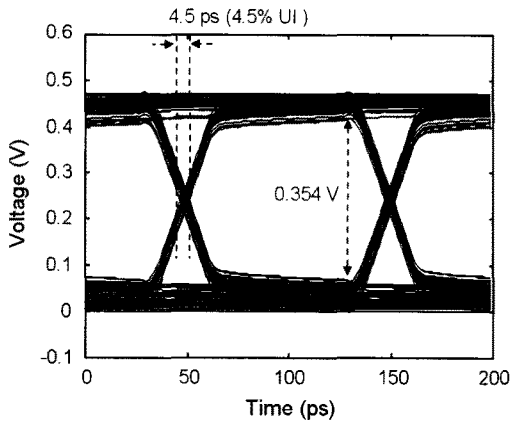
앞 절에서 TSV와 더불어 3D IC에서는 Interposer에 대한 중요도가 매우 높아질 것이라 했고, Interposer가 Lateral 3D IC의 성능에 큰 영향을 줄 것이라는 것도 언급했었다. 실질적으로 상용 칩의 크기를 고



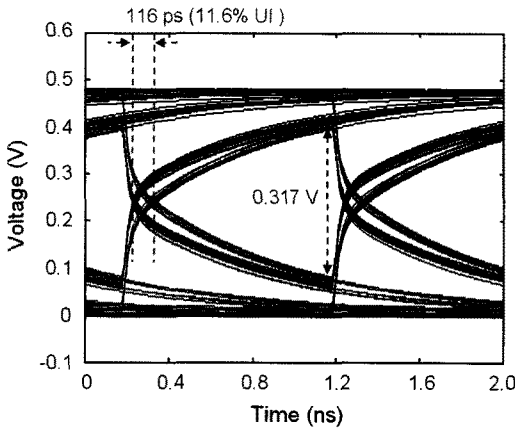
[그림 9] TDR/TDT에서 보이는 TSV 캐패시턴스 영향

려해 보았을 때 Interposer의 배선의 길이는 수 mm까지 길어질 것으로 생각하고 있다. 반면에 반도체 제작 기술로 제작된 Interposer 배선의 폭과 높이는 그리 크지가 않을 것이다. 물론 배선 사이의 거리도 매우 가까울 것이다. 그래서 Interposer 배선은 매우 큰 저항과 캐패시턴스를 가질 것인데, 이는 신호 전송 측면에서 보면 매우 좋지 않은 환경이 된다. 결론적으로 현재 생각하고 있는 Interposer의 응용 범위를 좀더 고주파로 옮기고자 한다면 Interposer 배선의 폭과 두께를 늘리고 배선이 가능한 층수를 패키지와 유사한 3층 이상으로 해야 할 것이다. 이럴 경우 반도체 제작에 필요한 마스크 수의 증가와 높은 다이일렉트릭 층의 구현이 요구되는데, 이는 기존의 패키지 제작 비용에 비해 무척 비싸지게 된다. 이 부분에 큰 갈등 요소가 있는데, 이를 해결하기 위해서 패키지 제작 기술이 적용된 실리콘 Interposer 기술 개발 또한 활발히 진행되고 있다.

[그림 10]과 [그림 11]은 반도체 제작 기술이 적용된 Interposer에 배선의 길이를 달리 하고 각각 전송 신호의 주파수를 달리하여 신호 손실 정도를 아이 다이어그램(Eye Diagram)을 통해서 보여주고 있다. 그림에서와 같이 아이 다이어그램은 눈과 같이 생겨서 붙여진 이름인데, 무작위 신호를 전송하고 전달된 신호를 하나의 신호 주기로 나누어 누적해 그린 것이다. 눈이 상하 좌우로 많이 벌어질수록 눈 주변의 선이 하나이고, 얇을수록 신호 손실이 전송선에서 적었음을 의미한다. [그림 10]의 경우가 신호 손실이 더 적은 경우라 할 수 있다. 신호 전송을 위한 측정 시료는 2개 칩을 적층한 것으로 위쪽 칩에는 TSV를 2쌍 제작하고, 아래쪽 칩에는 Interposer를 배선하여 2쌍의 TSV를 연결한 구조이다. 신호 전송 경로는 TSV-Interposer-TSV가 된다. [그림 10]에서는 Interposer 배선 길이가 500 μm 인 경우 10 Gbps(Giga bit per second) 신호가 전송된 상태이고, [그림 11]은 Interposer 배선 길이가 4 mm 인 경우 1 Gbps 신호가 전송된 상태이다.



[그림 10] 500 um Interposer 배선에 10 Gbps 신호가 전송된 경우의 Eye Diagram



[그림 11] 4 mm Interposer 배선에 1 Gbps 신호가 전송된 경우의 Eye Diagram

다들 잘 알고 있겠지만 10 Gbps 신호가 1 Gbps 신호보다 10배 빠르기 때문에 스위칭을 하기 때문에 더 높은 주파수 대역의 신호 성분이 존재하게 된다. 신호선의 캐패시턴스가 클수록 저주파 대역부터 신호 손실이 커지는 것은 [그림 8]을 통해서 알 수 있는데, 이와 같은 이유로 4 mm Interposer 배선의 경우에 더 낮은 주파수의 신호를 전송했음에도 더 많은 신호 손실이 발생하여 더 좋지 않은 아이 다이어그램을

보이고 있는 것이다. 이와 같이 Lateral 3D IC에서는 Interposer 배선 설계가 매우 중요한 설계 요소가 되는 것이다. 결과적으로 고성능 고집적 3D IC 개발에는 Interposer가 최대한 배제된 Vertical 3D IC가 그 목표가 되어야 할 것으로 생각한다.

IV. 3D IC 전원 공급망에 미치는 TSV 영향

고성능 3D IC를 위한 요소에는 고속 신호 전송을 위한 전송선 설계도 중요하지만, 고속 신호를 정확하게 만들어 보내고 받을 수 있는 회로와 그 회로가 원하는 대로 동작할 수 있도록 전원을 공급해 주는 설계도 매우 중요한 요소이다. 앞 III절에서는 TSV 기반 3D IC의 신호 무결성(SI: Signal Integrity)에 대해 알아보았다면 이번 절에서는 전원 무결성(PI: Power Integrity)에 대해서 알아보려고 한다.

기본적으로 전원 무결성은 신호 구동 회로에 안정된 전원 공급을 주기 위해서도 중요하지만, 구동 회로가 불규칙적으로 전원을 사용함으로써 발생하는 전원 공급망의 노이즈를 줄이기 위해서도 매우 중요하다 하겠다. 전원 공급망 노이즈는 칩에만 머물러 있는 것이 아니라 패키지, 보드, 시스템 케이스, 전원 케이블을 통해 흘러나가 다른 패키지, 보드, 시스템에 노이즈를 전달하여 성능 감소를 일으키며(Conducted EMI/EMC) 전달되는 동안 큰 구조체에서 방사되어 Radiated EMI/EMC 문제를 일으킬 수 있다. 이와 같은 문제를 해결해 주는 방법은 전원 공급망의 캐패시턴스는 증가시키고 인덕턴스를 줄이는 것이다. 이러한 관점에서 보면 TSV의 큰 캐패시턴스와 기존 연결선에 비해 획기적으로 줄어든 인덕턴스는 전원 공급망 안정화에 매우 도움이 될 것으로 보인다. 그러나 TSV의 작은 인덕턴스도 그 개수가 적다면 상황이 심각해질 수 있다. 왜냐하면 전원 공급망은 3D IC에서 매우 넓게 분포되어 있고, 매우 큰 전류가 흐르기 때문이다. 작은 인덕턴스라도 큰 전류

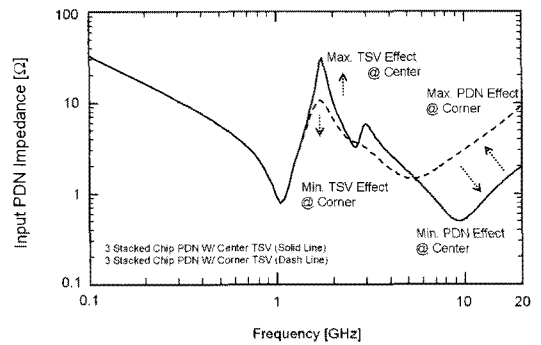
가 흐르게 되면 인덕턴스에 유기되는 전압은 매우 커져 전원 공급망 노이즈를 크게 하게 된다. 그래서 전원용 TSV를 충분히 많이 가져 가야 하지만, TSV가 일반적 칩내 회로에 비해 많이 크기 때문에 TSV 개수 증가는 오히려 칩 내 트랜지스터 집적도를 낮추게 된다. 결과적으로 최적화된 TSV 개수와 칩 내에서 위치를 찾아내는 것이 3D IC 전원 무결성 확보에 매우 중요하다고 할 수 있겠다.

이 절에서는 매우 적은 개수의 TSV 배치를 통해 3D IC 전원 공급망에 미치는 TSV 영향에 대해 간단히 알아보려고 한다.

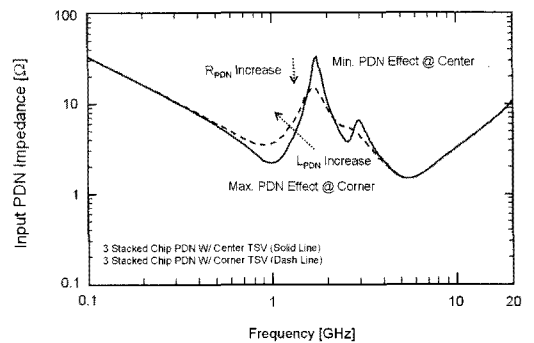
[그림 12]와 [그림 13]은 3개 칩의 전원 공급망들이 한 곳에서만 TSV 연결이 있는 경우에 3D IC 전원 공급망의 임피던스 곡선을 보여주고 있다. 비록 TSV의 인덕턴스가 100 pH 정도로 작지만 그 영향은 매우 크게 나타나게 되는데, 그림에서와 같이 1 GHz 대역에서 매우 높은 전원망 임피던스를 형성시키게 한다. 이러한 높은 임피던스는 TSV 인덕턴스와 전원망 인덕턴스 및 캐패시턴스에 의한 공진 현상으로 인해 발생한다. 인덕턴스의 합과 캐패시턴스가 클수록 공진 주파수는 낮아지고 높은 임피던스 또한 낮은 주파수에서 나타나게 된다. 그리고 전원 공급망의 저항값이 클수록 전원 공급망 임피던스 값은 낮아지게 된다. [그림 12]는 TSV 연결이 중앙에 있을 때 TSV 주변에서 전원 공급망 임피던스(실선)와 TSV 연결이 구석에 있을 때 TSV 주변에서 전원 공급망 임피던스(점선)를 나타내고 있는데, 일반적으로 단일 칩 전원 공급망은 중앙에서 인덕턴스와 저항이 제일 작게 된다. 왜냐하면 전원 공급망의 전류 통로가 사방으로 형성될 수 있기 때문이다. 그래서 중앙에 TSV가 연결되면 전체적인 인덕턴스가 작아져 공진주파수는 약간 높아지지만 그 저항값도 작아지기 때문에 전원 공급망의 임피던스가 커지게 된다. 반대로 TSV가 구석에 놓이게 되면 인덕턴스와 저항 모두 커져 낮은 주파수에서 낮은 전원 공급망 임피

던스를 보이게 되는 것이다. 이 해석에 따르면 제한된 개수의 TSV가 사용될 경우, 전원 공급망의 중앙보다는 구석에 배치시키는 것이 전원 무결성 개선에 도움이 된다고 할 수 있다.

[그림 13]은 [그림 12]의 경우와 TSV 연결 위치는 동일하게 변화시키면서 전원 공급망 임피던스를 보는 곳을 TSV와 가장 먼 구석에 고정시킨 경우이다. 이 경우에서도 같은 결과를 보여주고 있다. 결과적으로 TSV의 위치는 단일 칩 전원 공급망의 구석을 택하는 것이 전체적인 3D IC 전원 공급망 안정화에 가장 도움이 된다. 이를 통해 3D IC의 EMI/EMC 개선에도 도움이 될 것이다.



[그림 12] TSV가 전원공급망의 중심과 구석에 있을 때 TSV 주변에서의 전원망 임피던스



[그림 13] TSV가 전원 공급망의 중심과 구석에 있을 때 다른쪽 구석에서의 전원망 임피던스

마지막으로 TSV 캐패시턴스는 칩 전원 공급망이 가지는 기본적 캐패시턴스 값에 가려져 그 영향이 미미한 것으로 나타났다. 연구 초반에는 전원 공급용 TSV의 캐패시턴스를 이용하여 칩 디커플링 캐패시터(On-Chip Decoupling) 용량을 줄이려는 시도가 있었지만, 신호용 TSV(작은 캐패시턴스)와 전원용 TSV(높은 캐패시턴스) 구조를 다르게 가져가야 하는 문제와 그 값을 만족할 만큼 크게 하기 어렵다는 문제가 있어 현실적인 상용화에 도움이 되지 않는다고 판단하였다.

V. 맺음말

3D IC는 고성능, 고집적, 저전력 제품이라는 시대 요구에 맞는 차세대 핵심 기술이다. 3D TSV IC는 기존의 패키지 기술의 한계에 의해 제한되었던 시스템 성능 향상을 가능하게 하며, 고비용 공정 개발이 없이 무어의 법칙에 근접한 트랜지스터 집적도를 가능하게 하고 시스템 소형화를 가능하게 한다. 이에 따라 많은 산업체와 학계에서 TSV 기술을 위한 수많은 노력을 하고 있으나, TSV 제조 기술의 안정화 이후에 이루어져야 할 EMI/EMC를 고려한 설계 기술은 아직 미미한 단계이다. TSV 기반 3D IC 설계 기

술 확보는 미래 3D IC 시장의 중요한 요소가 될 것이며, 대한민국 전자 산업의 중요한 견인차가 될 것이다.

참 고 문 헌

- [1] "3DIC & TSV Report", Yole Development, Nov 2007.
- [2] Jun So Pak, Jonghyun Cho, Joohee Kim, Junho Lee, Hyungdong Lee, Kunwoo Park, and Joungho Kim, "Slow wave and dielectric quasi-tem modes of metal-insulator-semiconductor structure through silicon via in signal propagation and power delivery in 3D chip package", in *Proceedings of the 60th Electronic Components and Technology Conference 2010(ECTC2010)*, Jun. 2010.
- [3] Jun So Pak, Jonghyun Cho, Joohee Kim, Junho Lee, Hyungdong Lee, Kunwoo Park, and Joungho Kim, "On-chip PDN design effects on 3D stacked on-chip PDN impedance based on TSV interconnection", in *Proceedings of the 2010 Electrical Design Advanced Packaging & Systems, Singapore*, Dec. 2010.

≡ 필자소개 ≡

박 준 서



1998년 2월: 한양대학교 전자통신공학과 (공학사)

2000년 8월: KAIST 전자전산학과 전기 및 전자공학 (공학석사)

2005년 2월: KAIST 전자전산학과 전기 및 전자공학 (공학박사)

2005년 4월~2007년 3월: 일본 쓰꾸바

AIST(National Institute of Advanced Industrial Science and Technology, 産業技術総合研究所), JSPS(Japan Society for the Promotion of Science) 특별 연구원

2007년 4월~현재: 한국과학기술원 전기 및 전자공학 연구부 교수

[주 관심분야] 3D IC를 위한 Through-Silicon-Via(TSV) Package 설계 기법 연구 및 전기적 해석, 모델링