

# 구리 TSV의 열기계적 신뢰성해석

좌 성 훈\*<sup>†</sup> · 송 차 규\*

\*서울과학기술대학교 NID 융합기술대학원

## Thermo-mechanical Reliability Analysis of Copper TSV

Sung-Hoon Choa\*<sup>†</sup> and Cha-Gyu Song\*

\*Dept. of Nano IT, School, Seoul National University of Science and Technology, Seoul 139-743, Korea

<sup>†</sup>Corresponding author : shchoa@snut.ac.kr

(Received November 1, 2010 ; Revised November 17, 2010 ; Accepted November 22, 2010)

### Abstract

TSV technology raises several reliability concerns particularly caused by thermally induced stress. In traditional package, the thermo-mechanical failure mostly occurs as a result of the damage in the solder joint. In TSV technology, however, the driving failure may be TSV interconnects. In this study, the thermo-mechanical reliability of TSV technology is investigated using finite element method. Thermal stress and thermal fatigue phenomenon caused by repetitive temperature cycling are analyzed, and possible failure locations are discussed. In particular, the effects of via size, via pitch and bonding pad on thermo-mechanical reliability are investigated. The plastic strain generally increases with via size increases. Therefore, expected thermal fatigue life also increase as the via size decreases. However, the small via shows the higher von Mises stress. This means that smaller vias are not always safe despite their longer life expectancy. Therefore careful design consideration of via size and pitch is required for reliability improvement. Also the bonding pad design is important for enhancing the reliability of TSV structure.

Key Words : Through silicon via, Thermal stress, Thermal fatigue, Thermo-mechanical reliability

### 1. 서 론

최근에 차세대 패키징 기술로서 TSV를 이용한 3차원 적층 패키지 기술이 큰 주목을 끌고 있다. TSV를 이용한 MCP 기술은 여러 개의 기판 혹은 다른 종류의 칩들이 적층 형태로 패키징 되는 것이다. TSV 기술은 저전력, 고성능 및 패키지의 크기를 크게 줄일 수 있다는 여러 장점에도 불구하고, 신뢰성 문제 및 공정상의 여러 문제로 인하여 아직 상용화에는 이르지 못하고 있다. TSV 기술에서는 실리콘 칩에 홀, 즉 비아(via)를 형성한 후 구리로 채워서 여러 개의 실리콘 칩을 적층하는 기술이 핵심이다. 그러나 구리는 실리콘에 비하여 약 3배의 큰 열팽창계수를 갖고 있다. 따라서 구리 및 실리콘, 그리고 주위의 다른 패키지 재료와의 열팽창계수의 차이로 인한 열응력 및 열피로 파괴가 발생할 가

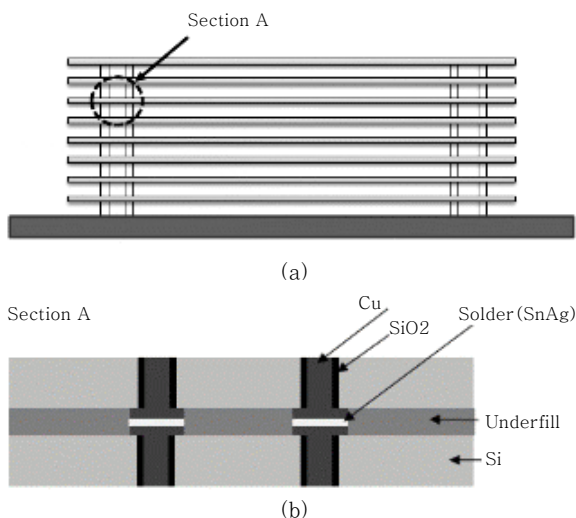
능성이 매우 높다. 와이어 본딩 및 솔더를 사용하는 기존의 패키지에서는 주로 솔더 접합부에서 주기적인 변형에 의한 피로 파괴가 발생된다. 그러나 TSV를 패키지의 경우에는 비아와 실리콘 사이, 비아와 본딩 패드 접합부, 비아와 솔더의 접합부위 등 다양한 위치에서 피로 파괴가 발생할 가능성이 있다. TSV 공정 중에 열에 의해 발생하는 열피로 현상은 소자의 신뢰성 및 수명에 큰 영향을 미친다. 이처럼 TSV의 신뢰성 문제에 대한 우려가 커지고 있는데 반하여 해당 분야의 연구는 매우 제한적으로 이루어지고 있는 실정이다<sup>1,2)</sup>. 한편, 최근에 유한요소해석을 이용하여 공정 중에 발생할 수 있는 응력에 대한 연구가 진행되었다<sup>3)</sup>. Zhang은 구리 TSV내에서 발생된 응력은 항복 응력값 보다 클 수 있음을 보였다<sup>4)</sup>. Hsieh<sup>5)</sup>는 4층으로 적층된 패키지에서 유한 요소 해석을 통하여 열팽창 계수 mismatch로 인한 열 응력은 TSV와 실리콘 기판사이에서 발생함을 보

고하였으며, 언더필(underfill) 물질이 구리 비아 및 실리콘 다이에 미치는 영향을 민감도 해석을 통하여 고찰하였다. Khan<sup>6)</sup> 등은 TSV 구조의 수명이 반복적인 가속 열사이클 조건하에서는 500 사이클에도 미치지 못한다는 사실을 보고하였다. 또한 Liu 등은 구리 패드의 외곽부에 응력 및 소성 변형이 집중됨을 보였고, 수치해석의 결과를 XRD의 응력 측정 결과와 비교하였다<sup>7)</sup>. TSV를 이용한 3D 적층 패키지 기술은 최근에 연구되고 있는 분야로서 실험 데이터 및 신뢰성 결과가 부족한 실정이다. 본 논문에서는 TSV 기술을 이용한 MCP 패키징에 대하여 비아의 직경, 비아 간의 피치, 본딩 패드 등의 영향이 TSV 구조의 열응력 및 열피로 수명에 미치는 영향을 분석함으로써 향후 TSV 기술을 이용한 패키지 개발의 방향을 제시하고자 하였다.

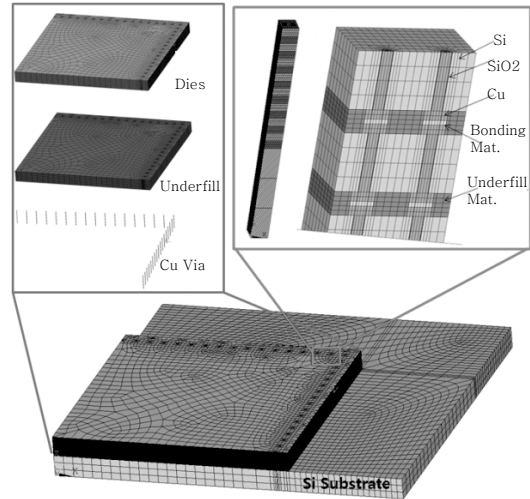
## 2. 해석 조건

### 2.1 유한 요소 해석 모델

본 연구를 위하여 제안된 TSV를 이용한 MCP 패키지의 개략도는 Fig. 1(a)과 같다. 폭이 30mm×30mm, 두께가 0.6mm인 실리콘 기판 위에 8층의 실리콘 다이가 TSV로 배선되어 적층된다. Fig. 1(b) 를 보면 TSV 구조는 실리콘 다이 위에 구리 본딩 패드(Cu pad), 솔더(solder), 그리고 구리 본딩 패드 순으로 연결된 구조에 구리로 채워진 비아로 이루어져있다. 실리콘 다이 사이에는 언더필 재료가 채워져 있다. 솔더의 재질은 Sn96.5-Ag3.5가 사용되었으며, 언더필은 BCB (Benzocyclobutene) 재료를 사용하였다. Fig. 1(b) 실리콘 칩의 두께는 50 $\mu$ m, 언더필의 두께, 즉 적



**Fig. 1** (a) Schematic drawing of MCP packaging  
(b) Detailed drawing of TSV interconnection area (Section A in Fig. 1(a))



**Fig. 2** Local model of TSV

층 된 실리콘 다이 사이의 간격은 20 $\mu$ m, 언더필 부분의 구리본딩 패드의 두께, 솔더와 구리패드의 두께는 각각 8 $\mu$ m, 4 $\mu$ m, 8 $\mu$ m로 일정하게 유지시켰다. 구리 비아의 절연막으로 쓰인 SiO<sub>2</sub>의 두께는 0.5 $\mu$ m이다. 열기계 응력 및 열 피로 현상을 예측하기 위해 유한요소해석 프로그램인 ANSYS를 사용하였다. Fig. 2와 같이 8층의 실리콘 칩을 가진 3차원 TSV 모델을 구성하였다.

본 연구에서는 단위 비아 주위의 응력 분포를 살펴보기 위하여 두 개의 비아를 포함하는 3층의 국부 모델만을 사용한다. 이는 8층으로 이루어진 전체 모델에 대한 해석 결과가 3층의 결과와 크게 다르지 않았기 때문에 해석 시간을 줄이기 위하여 국부 모델을 사용하였다.

### 2.2 유한 요소 해석 조건

각 부분의 요소로는 8절점 사면체 요소를 선택하였으며, 해석 결과의 정확도를 높이기 위하여 TSV와 솔더 부분은 더 조밀하게 메쉬를 이루었다. 온도 조건으로서 온도를 초기온도 125 $^{\circ}$ C에서 -40 $^{\circ}$ C로 감소시킨다. 초기 온도인 125 $^{\circ}$ C에서의 응력을 0 (free-stress)이라 하였다. 구리를 제외한 나머지 재료들은 등방성 탄성재료로 가정하였고, 패키지재료의 물성치인 탄성계수(E), 프아송비, 열팽창계수는 Table 1에 제시하였다.

피로 파괴 및 수명을 예측하기 위한 모델로서, 수명 예측에 사용되는 Coffin-Manson 모델의 식 (1)을 사용하였고, 그 값은 Table 2에 나타내었다. 시간에 따라 물성이 변하는 솔더의 경우, 해석을 위해 ANAND 모델을 적용시켰다. ANAND 모델의 경우는 비탄성 변형률과 변형 저항률로 구성되며, 솔더의 복잡한 재료 거동을 해석하기 위한 구성 방정식으로 선택되었다. Table 3은 사용된 Sn96.5-Ag3.5 솔더에 대한 Anand

**Table 1** Material properties of TSV structure materials used in FEM simulation

Parts	Material	E (GPa)	Poisson's ratio(-)	CTE (ppm/°C)
Via	Cu	120	0.34	17
Chip	Si	130	0.28	2.8
Barrier layer	SiO <sub>2</sub>	70	0.16	0.6
Substrate	Si	130	0.28	2.8
Underfill material	BCB	2.9	0.34	52
Solder	Sn96.5-Ag3.5	52.7	0.4	21.85

**Table 2** Parameters of Coffin - Manson model for thermal fatigue analysis

Constant	Parameter	Value(Cu)
$\Delta\epsilon_p$	Plastic strain amplitude	
$\epsilon'_f$	Fatigue ductility coefficient	2.18
$c$	Fatigue ductility exponent	-0.66
$N$	the number of strain reversals to failure	

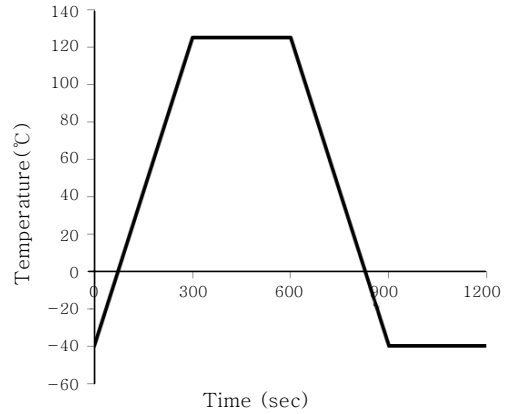
**Table 3** Anand's model material parameters for Sn96.5-Ag3.5 solder

Constant	Parameter	Sn-3.5Ag	Meaning
C <sub>1</sub>	S <sub>0</sub> (MPa)	39.1	Initial value of deformation resistance
C <sub>2</sub>	Q/R(1/K)	8900	Activation energy/Boltzmann's constant
C <sub>3</sub>	A(1/sec)	2.23E+4	Pre-exponential factor
C <sub>4</sub>	ξ	6	Multiplier of stress
C <sub>5</sub>	m	0.182	Strain rate sensitivity of stress
C <sub>6</sub>	h <sub>0</sub> (MPa)	3321.15	Hardening constant
C <sub>7</sub>	s <sup>^</sup> (MPa)	73.81	Coefficient of deformation resistance saturation value
C <sub>8</sub>	n	0.018	Strain rate sensitivity of saturation value
C <sub>9</sub>	a	1.82	Strain rate sensitivity of hardening

상수 값이며, 여기에서 C 값은 피로연성계수이다.

$$\frac{\Delta\epsilon_p}{2} = \epsilon'_f (2N)^c \tag{1}$$

열 피로 해석 모델에 적용된 열 사이클 조건은 Fig. 3과 같다. 처음 300초 동안 -40°C에서 125°C까지 온도 상승, 300초 간 125°C에서의 유지, 300초 간 125°C에서 -40°C까지의 온도 감소, 300초 유지로 한 사

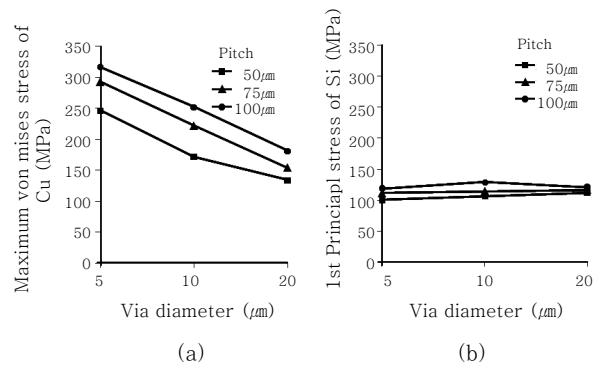


**Fig. 3** Thermal cycling temperature profile applied to thermal fatigue analysis

이클을 구성하며, 총 2회의 사이클을 돌린 해석으로 결과를 보았다.

### 3. 해석 결과 및 고찰

Fig. 4는 비아 직경에 따른 피치 별 구리 비아 내부의 최대 von Mises 응력과 실리콘 다이의 최대 주응력 (principal stress) 을 나타낸다. Fig. 4(a)에서 보면 비아의 직경이 증가할수록 구리 비아 내부의 응력은 감소하게 된다. 이것은 비아의 직경이 커짐에 따라 비아가 전체 패키지에서 차지하는 면적이 커지게 되므로 단위 면적 당 구리 비아가 받는 응력은 감소하게 되기 때문이다. 반면, Fig. 4(b)에서와 같이 실리콘 다이에서의 주응력은 큰 차이를 나타내지 않으며, 비아의 직경이 20μm으로 커지게 됨에 따라 실리콘 다이의 응력은 비아의 크기에 영향을 많이 받지 않고 있음을 알 수 있다. 한편 비아 사이의 피치가 증가할수록 구리 비아 내의 응력 또한 증가함을 알 수 있다. 이것은 동일



**Fig. 4** (a) von Mises stress in Cu via with different via sizes and pitch sizes (b) 1st principal stress in silicon die

한 비아 직경에서 피치가 커짐에 따라 전체 패키지 내에서의 비아의 개수가 적어지게 되고, 결과적으로 단위 면적당 구리 비아에 작용하는 응력이 커지기 때문이라고 판단된다. 실리콘 다이의 주응력은 약 100 MPa 이었다. 실리콘 재료의 파괴 응력이 1 GPa인 점을 감안하면 실리콘 다이는 응력에 의한 영향은 미미하다고 하겠다. 그러나 실리콘은 취성재료로서 파괴응력은 재료에 존재하는 결함이나 미세 손상에 좌우된다. 특히 실리콘 기판의 thinning 공정은 기판의 손상이나 결함을 발생할 가능성이 많다. Zang의 연구에 의하면 이러한 thinning 공정에 의하여 실리콘 기판의 파괴 응력이 175 MPa 정도로 급격히 감소한다는 결과를 제시하였다<sup>4)</sup>. 따라서 실리콘 다이의 파괴를 방지하기 위해서는 실리콘 기판 및 다이의 공정 및 취급 과정에서 손상이 되지 않도록 유의해야 한다.

TSV 구조에서 피로 파괴가 발생할 영역은 구리 비아, 솔더 및 구리 본딩 패드가 있다. 또한 각 영역의 접합 부분에서 피로 파괴가 발생할 수 있다. TSV 구조에서 피로 파괴가 어떤 부분에서 집중되는 지를 확인하기 위하여 Fig. 5와 같이 열피로 해석을 수행하였다. 해석 결과 구리 본딩 패드에서의 소성변형율은 솔더와 구리 비아 보다는 구리 본딩 패드에서 가장 높음을 알 수 있다. 이것은 구리 본딩 패드의 소성변형율이 TSV 구조의 피로 수명을 향상시키기 위한 매우 중요한 인자임을 제시하고 있다. 따라서 본 연구에서는 구리 본딩 패드 영역에 대한 소성변형율 및 피로 수명에 대한 수치해석을 중점적으로 수행하였다.

Fig. 6는 피치의 간격이 100  $\mu\text{m}$  와 200  $\mu\text{m}$  일 때, 비아의 직경을 증가함에 따른 TSV 구조의 소성변형율을 나타내고 있다. 비아의 직경이 40  $\mu\text{m}$ 가 되면 이때의 본딩 패드의 직경은 비례적으로 증가하여 80  $\mu\text{m}$ 가 된다. 따라서 피치가 100  $\mu\text{m}$  인 경우에는 피치가 본딩 패드의 직경 80  $\mu\text{m}$  과 거의 일치하여 간섭현상이 발생

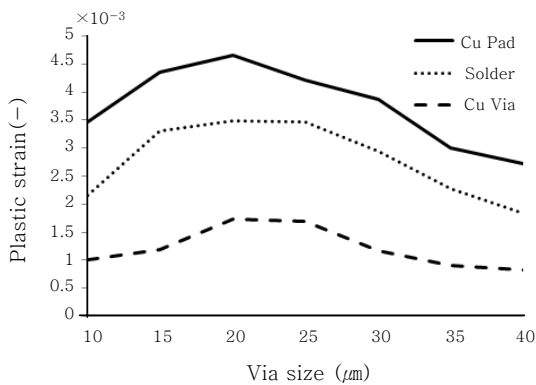


Fig. 5 Plastic strain distribution of copper via, copper bonding pad, and solder

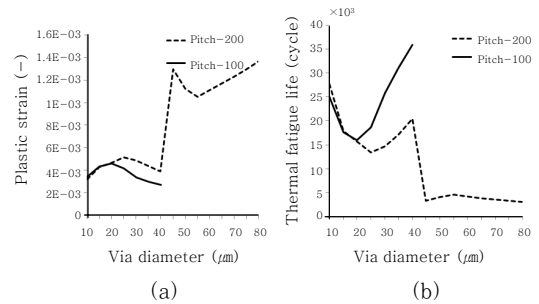


Fig. 6 (a) Plastic strain of TSV structure (b) Expected life with different via diameter at constant pitch of 100  $\mu\text{m}$  and 200  $\mu\text{m}$

하게 된다. 따라서 이 경우에는 200  $\mu\text{m}$  피치의 경우에 대해서도 해석을 진행하였다. Fig. 6(a)에서 보면 피치가 200  $\mu\text{m}$  경우(점선) 및 피치 100  $\mu\text{m}$  경우(실선)에 대해서 비아의 직경이 증가됨에 따른 소성변형율의 변화를 보여주고 있다. Fig. 6(b)는 각 경우에 대한 열피로 수명을 보여주고 있다. Fig. 6(a)에서 보듯이 비아의 직경이 증가함에 따라 소성변형율은 증가하는 경향을 보여주고 있다. 소성변형율은 비아 직경이 30  $\mu\text{m}$  까지 증가하다가, 그 후에 약간 감소한다. 비아 직경이 40  $\mu\text{m}$  이 되면 소성변형율은 급격히 증가한다. 소성변형율은 비아 직경이 50  $\mu\text{m}$  에서 최대가 되며, 그 후에는 약간 감소하다가 다시 증가하게 된다. 이 결과는 비아 직경이 40  $\mu\text{m}$  와 45  $\mu\text{m}$  사이의 구간에서 소성변형이 발생하였음을 의미한다. 이러한 경향은 Fig. 4의 응력의 결과와 비교하여 보았을 때 매우 흥미로운 결과이다. 즉, Fig. 4의 결과를 보면 비아 직경이 증가하면 최대 von Mises 응력은 증가한다. 반면에 소성 변형은 증가하게 되며, 열피로 수명은 감소한다.

비아 직경이 증가하면 소성변형율은 증가한다. 따라서 비아의 직경이 감소하면 열피로 수명은 증가한다. 반면에 비아의 직경이 감소하게 되면 응력, 즉 von Mises 응력은 증가한다. 따라서 비아의 직경이 작을 경우 수명이 증가하지만 안전하다고는 할 수 없다. 따라서 비아의 직경이 작아질 경우에는 열응력을 감소시키기 위한 추가적인 설계가 고려되어야 한다. 또한 Fig. 6과 같이 비아 주위의 다양한 패키지 재료들 사이의 복잡한 상호작용에 의하여 소성 변형율은 급격히 증가하게 된다. 따라서 TSV 구조의 신뢰성을 증가시키기 위해서는 비아의 크기 및 피치의 간격이 신뢰성에 미치는 영향을 고려한 설계가 선행되어야 한다.

TSV 구조에서 본딩 패드 혹은 범프는 솔더와 비아를 접합하는 매우 중요한 요소이다. 공정 방법, 양산성 및 공정 비용에 따라서 다양한 본딩 패드 디자인이 가능하

다. 본딩 패드는 실리콘 다이, 언더필 재료 및 솔더와 같은 열팽창이 각기 다른 재료에 둘러싸여 있다. 따라서 본딩 패드는 TSV 구조의 변형을 완충시키고, 열팽창에 의한 응력을 감소시키는 역할을 하며, 궁극적으로는 각 층에 걸리는 전단응력을 공유시킴으로써 TSV interconnect 부분의 신뢰성을 향상시킨다. 특히 본딩 패드 디자인에 있어 응력이 지나치게 높거나 응력 집중이 과도하게 발생하지 않도록 설계를 해야 한다. Fig. 7은 두 개의 다른 본딩 패드 디자인은 보여주고 있다. Fig. 7(a)는 collar-type 본딩 패드이고, Fig. 7(b)는 pillar-type 본딩 패드이다. Collar-type의 본딩 패드의 크기는 pillar-type의 본딩 패드에 비하여 두 배 크다. 즉 pillar-type에서의 본딩 패드의 크기는 비아의 직경과 일치한다 따라서 collar-type은 적층 공정이 수월하며, 열팽창에 의한 변형 및 응력을 저하시키는 효과가 있다. 반면에 pillar-type은 공정의 마스크 수가 감소되는 등 공정 수 및 공정 비용이 감소된다. Fig. 8는 피치가 100  $\mu\text{m}$  인 경우 비아의 직경이 증가함에 따른 von Mises 응력 변화를 나타내고 있다. Collar-type의 연결 방식이 pillar-type보다 구리 내부에서 발생하는 응력이 더 작음을 알 수 있었다. 이는 솔더를 양 쪽에서 감싸고 있는 구리 패드가 구리 비아에 작용하는 응력을 완화시키는 역할을 하는 것으로 볼 수 있다. 여기에서 비아와 비아를 연결할 때에는 솔더와 구리 비아를 바로 연결하는 구조보다는 구리 비아에 작용하게 되는 응력을 완화시켜 줄 수 있는 구리 패드

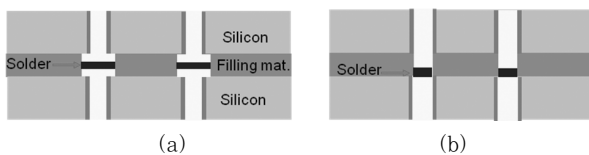


Fig. 7 Different types of Cu bonding pad (a) collar-type (b) pillar-type

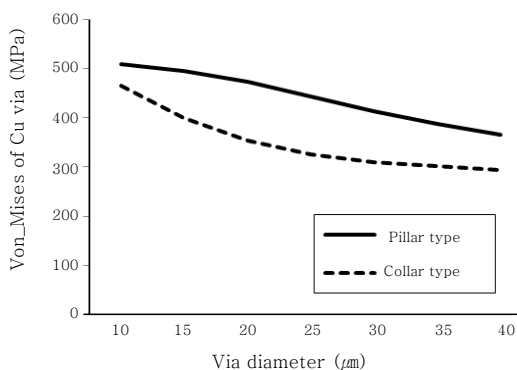


Fig. 8 Computed stress for different connecting vias type

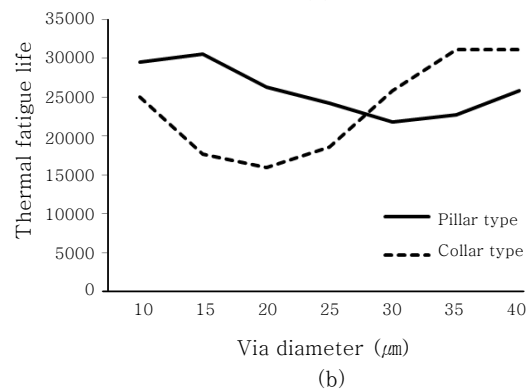
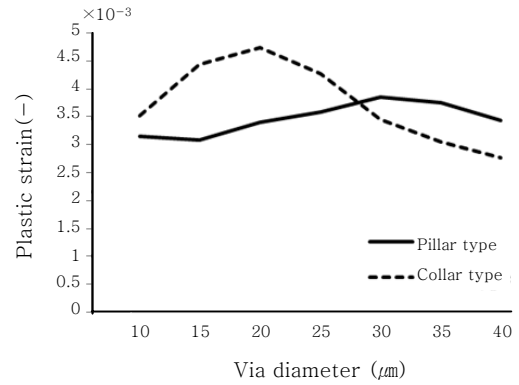


Fig. 9 (a) Plastic strain of different bonding pad design (b) Expected life of TSV structure

를 사용할 때 전체적으로 응력이 적게 작용함을 확인하였다.

Fig. 9은 비아와 비아를 연결하는 부분의 연결 형태에 따라 파단이 발생하기까지 예측되는 피로 수명을 나타내는 그래프이다. 비아의 직경이 25 $\mu\text{m}$ 와 30 $\mu\text{m}$ 를 기준으로 collar-type과 pillar-type 본딩 패드의 열피로 수명의 양상이 바뀌어 나타난다. 비아의 직경이 작을 때에는 pillar-type이 더 나은 수명을 보이고 있다. 그러나 비아의 직경이 25  $\mu\text{m}$  보다 커지게 되면 collar-type이 더 긴 수명을 보이게 된다. Collar-type 본딩 패드는 비아의 직경이 커질수록 패드의 크기도 함께 커지게 되고, 따라서 소성변형이 감소하게 되어 수명이 증가하게 되는 것으로 생각된다. 현재의 추세는 비아가 작아지는 경향이므로 pillar-type 본딩 패드를 사용하는 것이 적절하다고 보이는 반면, 비아의 직경이 일정 크기 이상으로 증가하게 되면 collar-type을 쓰는 것이 좋을 것이다.

### 5. 결 론

본 논문에서는 TSV를 이용한 MCP 패키지의 열 기계적 신뢰성 문제를 예측하기 위하여 TSV의 응력을 해

석하였다. 비아의 크기가 증가할수록 구리 비아 내부의 응력은 감소하게 된다. 반면에 비아 사이의 피치가 증가할수록 구리 비아 내의 응력은 증가한다. 한편 실리콘 다이의 응력은 비교적 낮았으며 크게 변하지 않는다. 비아 직경이 증가하면 소성변형율은 증가한다. 따라서 비아의 직경이 감소하면 열피로 수명은 증가한다. 비아의 직경이 작을 경우 수명이 증가하지만 응력이 높기 때문에 안전하다고는 할 수 없다. 따라서 비아의 직경이 작아질 경우에는 열응력을 감소시키기 위한 추가적인 설계가 고려되어야 한다. 특히 비아의 직경이 40 $\mu\text{m}$ 에서 소성변형율은 급격히 증가하며, 비아 직경이 40  $\mu\text{m}$  와 45  $\mu\text{m}$  사이의 구간에서 소성변형이 발생하였음을 의미한다. 본딩 패드의 경우 collar-type의 연결 방식이 pillar-type보다 구리 내부에서 발생하는 응력이 더 작음을 알 수 있었다. 비아의 직경이 커지게 되면 collar-type이 더 긴 수명을 보이게 된다. 현재의 추세는 비아가 작아지는 경향이므로 pillar-type 본딩 패드를 사용하는 것이 적절하다고 보이는 반면, 비아의 크기가 일정 크기 이상으로 증가하게 되면 collar-type을 쓰는 것이 바람직하다.

## 후 기

본 연구는 “서울시 산학연 협력사업” 및 지식경제부, 국가플랫폼기술개발사업의 일환인 “모바일 플랫폼기술 개발사업”의 지원에 의해 수행되었습니다.

## 참 고 문 헌

1. Seungmin Hyun and Changwoo Lee : TSV Core Technology for 3D IC Packaging, Journal of KWS, **27-3** (2009), 4-9 (in Korea)
2. T. Jiang, S. Luo :3D Integration-Present and Future, 2008 10th Electronics Packaging Technology Conference, (2008) 373-378
3. N. Tanaka, T. Sato, Y. Yamaji, T. Morifuji, M. Umemoto, K. Takahashi: Mechanical Effects of Copper Through-Vias in a 3D Die-Stacked Module, 2002 Electronic Components and Technology Conference, 473-479
4. J. Zhang, Max O. Bloomfield, J. Lu, R. J. Gutmann, and T. S. Cale: Modeling Thermal Stresses in 3-D IC Interwafer Interconnects, IEEE Transactions on Semiconductor Manufacturing, 19-4 (2006) 437-448
5. M.C. Hsieh and C. K. Yu: Thermo-mechanical Simulations For 4-Layer Stacked IC Packages, EuroSimE Conf., (2008) 1-7
6. N. Khan, V.S. Rao, S. Lim, H.S. We, V. Lee, Z.X. Wu, Y. Rui, L. Ebin, T.C. Chai, V. Kripesh, J. Lau : Development of 3D silicon module with TSV for system in packaging, in: Electronic Components and Technology Conference (2008) 550 - 555
7. X. Liu, Q. Chen, P. Dixit, R. Chatterjee, R. R. Tummala, and S. K. Sitaraman: Failure Mechanisms and Optimum Design for Electroplated Copper Through-Silicon Vias (TSV), 2009 Electronic Components and Technology Conference, 624-629