

모바일 기기에 적용되는 초박형 패키지의 휨 현상

송 차 규 · 김 경 호 · 좌 성 훈

Warpage Study of Ultra Thin Package Used in Mobile Devices

Cha-Gyu Song, Kyoung-Ho Kim and Sung-Hoon Choa

1. 서 론

모바일 제품에 사용되는 패키지는 더 작고, 얇은 동시에 고성능, 다기능을 요구하고 있다. 특히 패키지 두께의 감소가 지속적으로 요구되기 때문에 패키지의 각 재료, 즉 실리콘 칩, EMC 몰드, 기판 등의 두께가 계속 얇아지고 있다. 패키지의 두께 및 각 사용된 재료의 두께가 얇아지면서 여러 가지 신뢰성 문제가 발생할 수 있다^{1,2)}. 특히 패키지의 두께가 얇아지게 되면 패키지의 휨 현상은 패키지의 신뢰성뿐만 아니라 공정상의 여러 가지 문제를 발생시킬 수 있다. 패키지의 휨 현상은 일반적으로 패키지의 EMC 몰딩 과정에서 큐어링(curing)과 냉각 공정 중에 발생하며, 그 이유는 패키지의 여러 재질들의 열팽창계수의 차에 의하여 발생된 열 응력 때문이다. 패키지의 휨현상은 장기 신뢰성에 영향을 미치게 된다. 또한 과도한 휨 현상은 칩과 패키지의 조립 과정, 즉 Reflow, 혹은 SMT 과정에서 패키지의 접합이 어렵고, 또한 패키지와 마더보드 사이의 솔더 조인트의 접착 불량 발생 가능성이 많으며, 이는 공정의 수율을 저하하는 중요한 요소가 되고 있다.^{3,4)} 특히 모바일 기기에 사용되는 초박형 패키지의

경우 휨 현상이 공정의 중요한 이슈로 대두되고 있다. 패키지의 휨 현상은 패키지의 구조, 패키지 재료의 물성 및 공정 조건에 좌우된다^{5,6)}. 따라서 적절한 패키지 재료의 선택과 패키지 구조가 필요하다. 특히 새로운 패키지 개발에 앞서, 패키지에서 발생하는 신뢰성 문제를 예측하고 패키지의 휨 현상과 응력 분포 등을 예측하는 신뢰성 설계기술의 확보가 필수적이다.

본 연구에서는 현재 모바일 기기에 주로 사용되고 있는 CABGA(chip array BGA), fcSCP(flip chip CSP), SCSP(stacked CSP) 및 TSV(through silicon via) 기술을 이용한 MCP 패키지의 패키지에 대하여 휨(warp)의 경향을 유한요소해석을 이용하여 분석 및 비교하였다. 휨에 영향을 줄 수 있는 여러 중요한 자들, 즉 EMC 몰드의 두께 및 물성, 실리콘 다이의 두께와 크기, 기판의 두께 및 물성 등이 휨 현상에 미치는 영향을 고찰하였다.

2. 유한요소해석

초박형 패키지들의 휨 특성을 분석하기 위해 ANSYS를 사용하여 유한요소해석을 수행하였다. 표 1은 본 연

Table 1 Schematic diagram & dimension of the packages used in this study

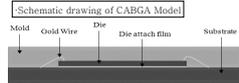
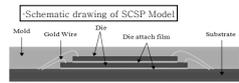
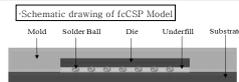
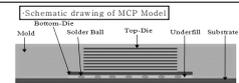
Package	Die		Die Attach Material or Underfill		Sub	EMC	Bump
	Top	Bottom	Top	Bottom	BT	Mold	Solder
 Schematic drawing of CABGA Model	Size (mm)		5.1×4.6		15×15	15×15	-
	Thickness(mm)		0.178		0.4	0.7	-
 Schematic drawing of SCSP Model	Size (mm)		7×8	7.6×10	15×15	15×15	-
	Thickness(mm)		0.07		0.13	0.33	-
 Schematic drawing of fcCSP Model	Size (mm)		8.6×8.6		15×15	15×15	Diameter : 0.1mm
	Thickness(mm)		0.178		0.3	0.65	Pitch : 0.5mm
 Schematic drawing of MCP Model	Size (mm)		8×8	10×10	15×15	15×15	Diameter : 0.1mm
	Thickness(mm)		0.05(50μm)	0.1		0.2	0.9

Table 2 Material properties data of the package materials

Parts	Material	E (GPa)	v (Poisson ratio)	CTE (ppm/°C)
Die	Silicon	161	0.21	2.6
Die Attach Material	Adhesive	2.9	0.34	52
Underfill	Underfill	3	0.33	30
Substrate	BT	26	0.39	15
EMC	Mold	22	0.3	12
Solder Ball	Solder (63Sn-37Pb)	32	0.38	24.7

구에서 사용된 패키지들의 개략도와 치수를 명시하고 있다. 패키지들 중에 CABGA, SCSP, fcCSP 구조는 실제 모바일 기기에 적용되고 있는 동일한 치수로 모델링 되었다. 각 패키지들의 크기는 가로, 세로 15 mm로 고정되어 있고, 두께는 특성에 따라 다르게 모델링 되었다. 표 1의 각 패키지들의 구조는 BT (bisaleimide triazine) 기판 위에 실리콘 다이(die)가 접합되어 EMC로 몰딩되었다. CABGA는 실리콘 다이가 한 층으로 이루어진 구조이며, SCSP는 2개의 실리콘 다이가 적층된 구조로 이루어져 있다. fcCSP 구조의 경우 BT 기판과 실리콘 다이가 솔더볼(63Sn/37Pb)로 접합되어 있고, 그 사이에 언더필 재료가 채워져 있다. MCP는 BT 기판 위에 하부 다이가 솔더볼로 접합되어 있고, 그 사이에 언더필 재료가 채워져 있다. 그리고 하부 다이 위에 8개의 실리콘 다이가 적층된 구조로 이루어져 있다.

유한요소의 휨 해석 모델에 가해지는 열 하중 조건은 초기온도 175°C에서 상온 25°C로 감소시켰다. 이 때 175°C는 EMC 재료의 큐어링(curing) 온도로서 스트레스가 없다는 stress-free 상태로 가정하였다. 표 2에서 명시된 패키지 재료들의 물성치는 여러 논문들에서 제시된 대표 값을 선택 하였다.

3. 휨 현상 측정

패키지의 휨을 측정하는 장비 및 방법은 다양하다. 본 연구에서는 비접촉식 3차원 광학 측정기술인 디지털 영상 보강기법을 이용하여 온도 변화에 따른 패키지의 휨에 의한 미소 변위를 측정하였다. 이를 위하여 ARAMIS™ 시스템을 사용하였다⁷⁾. 이 시스템은 두 대의 CCD 카메라로 패키지의 표면을 찍고 두 사진의 픽셀 사이의 거리로부터 패키지의 변형을 계산한다. 측정 전에 장비의 교정이 이루어져야 하며 변위는 시스템에

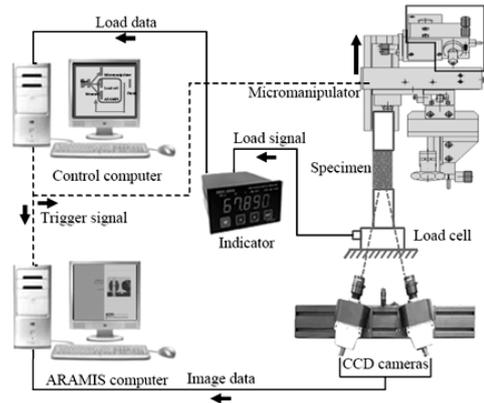


Fig. 1 ARAMIS system for warpage measurements

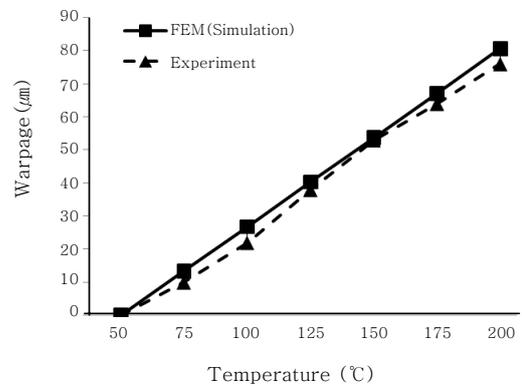


Fig. 2 Comparison between FEM and experiment results of warpage

내장된 프로그램으로 계산된다. 그 후 패키지의 휨은 3차원 영상으로 나타내어지게 된다. Fig. 1은 본 연구에서 사용된 시스템의 개략도이다. Fig. 2는 ARAMIS 시스템을 이용하여 fcCSP 패키지의 휨을 측정된 결과이며, 유한요소의 결과를 검증하기 위하여 측정 결과와 수치해석 결과를 비교하였다. 측정 결과와 수치해석 결과가 잘 일치함을 알 수 있었으며, 수치해석의 유효성을 검증할 수 있었다.

4. 휨 현상 해석

Fig. 3은 4가지 패키지들의 휨 현상 수치해석 결과이다. SCSP 구조에서 휨이 가장 크게 나타나고, 그 다음으로 fcCSP, CABGA 구조의 순이었으며, MCP 구조가 가장 작은 휨을 보여주고 있다. SCSP 구조에서의 휨은 91.9 μm이고, MCP 구조에서는 27.7 μm로, SCSP 구조가 MCP 구조에 비하여 약 3배 이상 큰 휨이 발생되었다. 이것은 SCSP 구조의 전체 두께(0.46 mm)가 MCP 구조의 두께(1.1 mm) 보다 얇기 때문

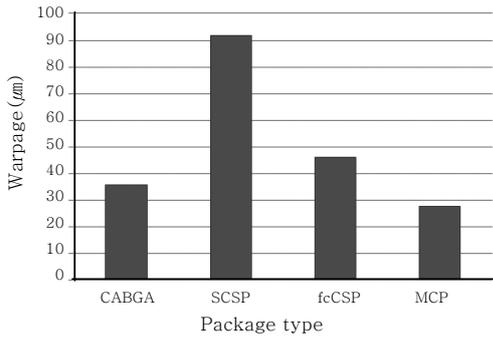


Fig. 3 Warpage for different package types

이다. 4가지 패키지 구조의 휨 형태는 모두 위로 볼록한(crying) 형태의 변형이 발생된다.

모바일 기기에서 사용되는 패키지들의 휨이 100 μm를 넘게 되면 PCB 보드와의 접합 시에 다양한 신뢰성 문제가 발생될 가능성이 높아진다. 따라서 패키지 재료 및 설계의 최적화를 통하여 패키지의 휨을 최소화할 필요가 있다. 본 연구에서는 각 패키지들의 다양한 설계 인자, 즉 EMC 두께, EMC의 탄성계수 및 열팽창계수, 실리콘 다이의 크기 및 두께, 그리고 BT 기판의 두께, BT 기판의 탄성계수 및 열팽창계수가 휨에 미치는 영향을 해석을 통하여 확인하였다.

4.1 EMC 두께에 영향

Fig. 4는 각 패키지들의 EMC 두께를 0.05 mm 씩 변화시켰을 때의 휨 해석 결과이다. 전체적으로 EMC 두께가 감소될수록 휨이 증가되는 것을 확인하였다. 특히, SCSP 구조의 경우에 EMC를 초기 두께(0.33 mm)에서 0.1 mm로 감소시켰을 때 휨이 91.9 μm에서 224 μm로 급격히 높아짐을 알 수 있으며, 다른 패키지의 EMC 두께가 감소할 때 발생하는 휨 보다 급격한 변화를 보여주고 있다. EMC의 열팽창계수(12 ppm/°C)는 BT 기판의 열팽창계수(15 ppm/°C) 보다 작다. 따라서 패키지에서 EMC 두께를 얇게 할 경우 BT 기판의 과도한 열팽창으로 인하여 휨이 급격히 증

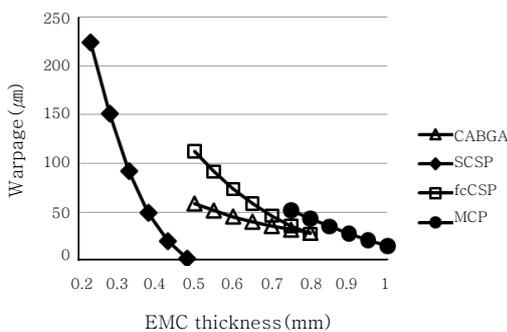


Fig. 4 Effects of EMC thickness on warpage

가되는 것으로 판단된다. 결론적으로 EMC의 두께를 증가시켜야 패키지의 휨은 감소한다.

4.2 EMC 탄성계수에 따른 영향

Fig. 5는 각 패키지들의 EMC의 탄성계수를 2 GPa 씩 변화시켜 보았을 때의 휨 해석 결과이다. 본 해석에서 적용된 모든 패키지들의 경우, EMC 탄성계수가 증가할수록 휨이 감소되는 것을 알 수 있다. 특히, SCSP 구조의 경우, EMC 탄성계수를 22 GPa에서 26 GPa로 증가시켰을 때 휨이 약 14.9 μm 정도 감소되는 것을 확인하였다. EMC의 탄성계수(22 GPa)는 BT 기판의 탄성계수(26 GPa) 보다 작다. 따라서 EMC의 탄성계수를 증가시키므로써 BT 기판 의한 휨을 상대적으로 줄일 수 있기 때문에, 패키지의 전체적인 휨은 감소하게 된다.

4.3 EMC 열팽창계수에 따른 영향

Fig. 6은 EMC의 열팽창계수를 1 ppm/°C 씩 변화시켜 보았을 때의 휨 해석 결과이다. 각 패키지의 EMC의 열팽창 계수는 12 ppm/°C로 동일하다고 하였다.

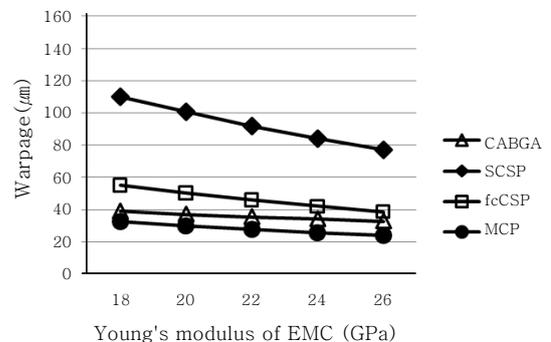


Fig. 5 Effects of Young's modulus of EMC on warpage

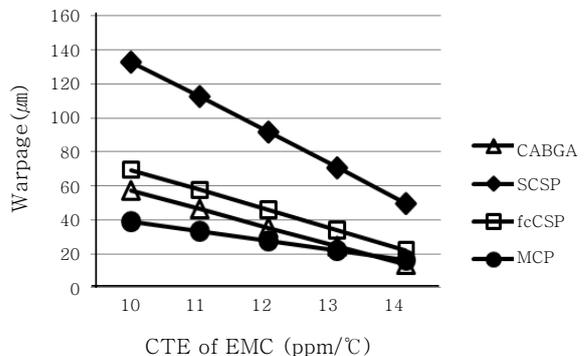


Fig. 6 Effects of CTE of EMC on warpage

모든 패키지들 경우에 EMC 열팽창계수가 증가할수록 휨이 감소되는 것을 알 수 있다. 특히, SCSP 구조의 경우 EMC 열팽창 계수가 10 ppm/°일 때 휨의 크기는 133 μm 이고, 14 ppm/°일 때 50 μm 로 약 83 μm 정도의 감소가 있음을 알 수 있다. 결국 EMC 열팽창 계수가 BT 기판의 열팽창계수(15 ppm/°)와 비슷하게 될수록 패키지의 휨은 감소하게 된다.

4.4 실리콘 다이 크기에 따른 영향

Fig. 7은 실리콘 다이의 크기를 0.5 mm씩 변화시켜 보았을 때의 휨 해석 결과이다. SCSP 구조의 경우, 다이의 크기를 1 mm씩 감소시켰을 때 휨은 약 8.7 μm 정도 감소되는 것을 확인하였다. 다른 패키지들의 경우 휨의 감소는 미미하였는데 전체적으로 실리콘 다이의 크기가 휨에 미치는 영향은 매우 작다고 할 수 있다. 이는 Fig. 4에서 설명한 바와 같이 다이가 작아지면, 상대적으로 EMC의 양 혹은 두께는 증가하고, 이에 따라서 휨이 감소하는 것으로 생각된다. 결론적으로 실리콘 다이의 크기가 적어지면 상대적으로 EMC의 양이 커지므로 휨은 감소하게 된다. 그러나 감소된 휨의 양은 크지 않다.

4.5 실리콘 다이 두께에 따른 영향

Fig. 8는 각 패키지들의 실리콘 다이의 두께를 0.01 mm씩 변화시켜 보았을 때의 휨 해석 결과이다. SCSP 구조의 경우에 실리콘 다이의 두께가 0.07 mm에서 0.02 mm만큼 감소시켰을 때 휨은 약 24 μm 정도 감소되는 것을 확인하였다. 이것은 전체 패키지의 두께가 고정되어 있는 상태에서 실리콘 다이의 두께가 감소하면서 상대적으로 EMC 양이 증가하게 되어 휨이 감소하는 것으로 판단된다. fcCSP 구조와 CABGA 구조의 경우에는 실리콘 다이가 한 층으로 이루어진 구조로써 실리콘 다이의 두께가 감소되는 양이 적기 때문에 휨의

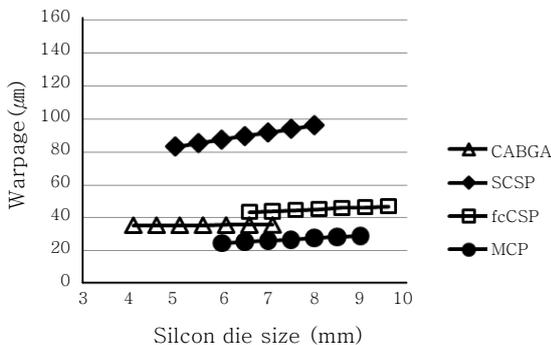


Fig. 7 Effects of silicon die size on warpage

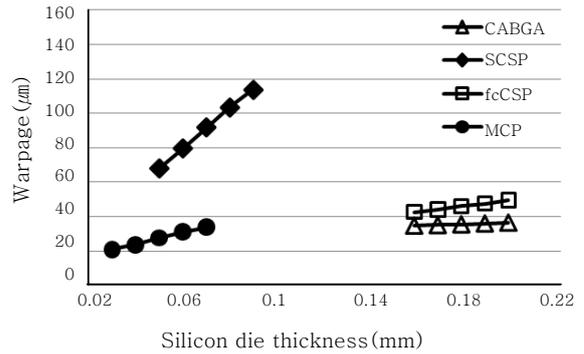


Fig. 8 Effects of silicon die thickness on warpage

감소는 미미하다고 판단된다.

4.6 BT 기판의 열팽창계수에 따른 영향

Fig. 9는 BT 기판의 열팽창계수를 1 ppm/°씩 변화시켜 보았을 때의 휨 해석 결과이다. BT 기판의 열팽창계수는 15 ppm/° 이다. 그림에서와 같이 BT 기판의 열팽창계수가 감소할수록 휨이 감소되는 것을 확인하였다. 그리고 그 변화율도 다른 인자에 비하여 매우 크다. 특히, SCSP 구조의 경우는 BT 기판의 열팽창계수가 17 ppm/°일 때 137 μm 이고, 13 ppm/°일 때 49 μm 로 약 88 μm 정도 감소되는 것을 확인할 수 있다. 따라서 BT 기판의 열팽창계수가 EMC 열팽창계수(12 ppm/°)와 비슷하게 될수록 휨은 감소한다.

4.7 BT 기판의 탄성계수에 따른 영향

Fig. 10은 각 패키지들 BT 기판의 탄성계수를 2 GPa씩 변화시켜 보았을 때의 휨 해석 결과이다. 본 해석에 적용된 모든 패키지들의 경우, BT 기판의 탄성계수가 감소할수록 휨이 감소하는 것을 알 수 있다. 특히, SCSP 구조의 경우, BT 기판의 탄성계수가 26 GPa에서 22 GPa로 감소되면 휨이 약 15.4 μm 정도 감소되는 것을 확인하였다. 이것은 BT 기판의 탄성계수(26

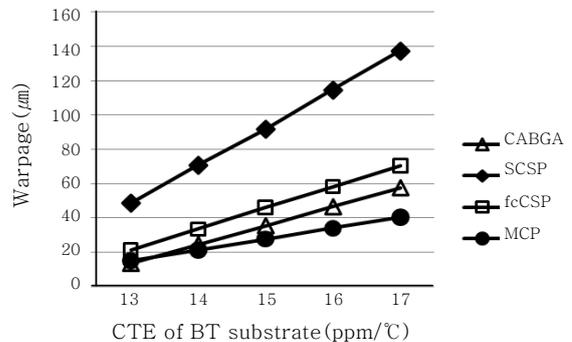


Fig. 9 Effects of CTE of BT substrate on warpage

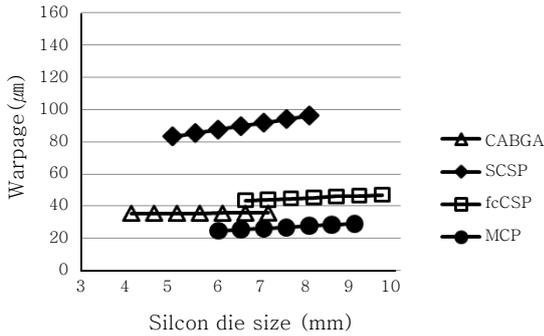


Fig. 10 Effects of Young's modulus of BT substrate on warpage

GPa)가 EMC 탄성계수(22 GPa)보다 크기 때문에 BT 기판의 탄성계수가 작아질수록 휨이 감소되는 것으로 판단된다. 그러나 BT 기판의 탄성계수가 휨에 미치는 영향은 크지 않다고 하겠다.

5. 결 론

본 연구에서는 최근에 모바일 기기에 주로 사용되고 있는 초박형 패키지인 CABGA, SCSP, fcCSP, MCP 패키지들에 대하여 휨 현상에 의한 신뢰성 문제를 감소시키기 위한 연구를 수행하였으며, 각 패키지들의 다양한 설계 인자가 휨에 미치는 영향을 해석하였다. 이를 통하여 휨 현상 메커니즘과 이를 제어하기 위한 중요 인자를 이해함으로써 휨 현상을 최소화 하고자 하였다. 또한 비접촉식 3차원 광학 측정기술인 디지털 영상 보장기법을 이용하여 패키지의 휨을 측정하였으며, 측정 결과를 수치해석 결과와 비교하여 수치해석의 유효성을 검증하였다. EMC 두께가 증가되면 휨은 감소하며, EMC의 탄성계수 및 열팽창계수가 증가할수록 휨은 감소한다. 한편 실리콘 다이의 크기 및 두께를 감소시키면, 상대적으로 EMC의 양이 증가하기 때문에 휨은 감소한다. 반면에 BT 기판의 탄성계수 및 열팽창 계수가 감소하면 휨은 감소한다. 각 패키지들의 휨 해석 결과 SCSP 구조가 가장 큰 휨을 보였으며, 휨 현상에 가장 큰 영향을 미치는 인자로서는 실리콘 다이의 비율, EMC 열팽창계수, 그리고 BT 기판의 열팽창계수가 있다.



- 송차규
- 1982년생
- 서울과학기술대학교 NID융합기술대학
- MEMS 및 반도체 패키징
- e-mail : tnflek@naver.com



- 김경호
- 1981년생
- 서울과학기술대학교 NID융합기술대학
- MEMS 및 반도체 패키징
- e-mail : nid_kkh@seoultech.ac.kr



- 좌성훈
- 1960년생
- 서울과학기술대학교 NID융합기술대학원
- MEMS 및 반도체 패키징
- e-mail : shchoa@seoul.ac.kr

후 기

본 연구는 “서울시 산학연 협력사업”의 지원을 받아 수행되었습니다.

참 고 문 헌

1. W. D. van Driel, G. Q. Zhang, J. H. J. Janssen, L. J. Ernst, F. Su, K. S. Chian and S. Yi : Prediction and verification of process-induced thermal deformation of electronic packages using non-linear FEM and 3D interferometry, Proc. EuroSimE, 2002, 362
2. T. Y. Wu, Y. Tsukad and W. T. Chen: Materials and mechanics issues in flip-chip organic packaging, Proc. 46th Electronic Components and Technology Conference (ECTC), 1996, 524
3. G. Kelly, C. Lyden, W. Lawton, J. Barrett, A. Saboui, H. Pape and H. Peters: The Importance of Molding Compound Chemical Shrinkage in the Stress and Warpage Analysis of PQFPs, Proc. 45th Electronic Components and Technology Conference (ECTC), 1995, 977
4. B. Kiang, J. Wittmershaus, R. Kar and N. Sugai : Package Warpage Evaluation for Multi-Layer Molded PQFP, Proc. 11th IEEE/CHMT International Electronics on Manufacturing Technology Symposium (IEMT), 1991, 89
5. L. Yip and A. Hamzehdoost: Package Warpage Evaluation for High Performance PQFP, Proc. 45th Electronic Components and Technology Conference (ECTC), 1995, 229
6. K. Irving, Y. Chien, J. Zhang, L. Rector and M. Todd: Low Warpage Molding Compound Development for Array Packages, Proc. 1st Electronics System integration Technology Conference (ESTC), 2006, 1001
7. T. Jin, N. S. Goo, S. Woo, H. C. Park: Use of a Digital Image Correlation Technique for Measuring the Material Properties of Beetle Wing, Journal of Bionic Engineering 6 (2009) 224 - 231