
IEEE 802.11n WLAN용 다중모드 LDPC 복호기의 최적 설계조건 분석

박해원* · 나영헌* · 신경욱**

An analysis of Optimal Design Conditions of Multi-mode LDPC Decoder
for IEEE 802.11n WLAN System

Hae-Won Park* · Young-Heon Na* · Kyung-Wook Shin**

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 연구비를 지원받았음

요 약

IEEE 802.11n 표준에 제시된 3가지 블록길이(648, 1296, 1944)와 4가지 부호율(1/2, 2/3, 3/4, 5/6)을 지원하는 다중 모드 LDPC(low density parity check) 복호기의 최적 설계조건을 분석하였다. 최소합 알고리즘과 layered 복호방식이 적용된 LDPC 복호기의 고정소수점(fixed-point) 시뮬레이션 모델을 Matlab으로 개발하였다. 고정소수점 시뮬레이션을 통해 복호기 내부 비트 폭, 정수 부분과 소수 부분의 비트 폭에 따른 복호 수렴속도를 분석하여 다중모드 LDPC 복호기의 하드웨어 구현을 위한 최적의 설계조건을 탐색하였으며, 블록길이와 부호율에 따른 복호성능을 분석하였다.

ABSTRACT

This paper describes an analysis of optimal design conditions of multi-mode LDPC(low density parity check) decoder which supports three block lengths (648, 1296, 1944) and four code rates (1/2, 2/3, 3/4, 5/6) for IEEE 802.11n WLAN system. A fixed-point model of LDPC decoder, which adopts min-sum algorithm and layered decoding scheme, is implemented using Matlab. From fixed-point simulation results for various bit-width parameters such as internal bit-width, integer/fractional part bit-widths, optimal design conditions and decoding performance of LDPC decoder are analyzed.

키워드

LDPC 부호, 오류정정 부호, IEEE 802.11n, 레이어드 복호

Keyword

LDPC code, error correction code, IEEE 802.11n, layered decoding

* 준회원 : 금오공과대학교 전자공학부 석사과정

** 정회원 : 금오공과대학교 전자공학부 교수(교신저자, kwshin@kumoh.ac.kr)

접수일자 : 2010. 12. 01

심사완료일자 : 2010. 12. 27

I. 서 론

초고속 이동통신 및 멀티미디어 응용분야가 급속히 확대됨에 따라 고속 데이터 전송에서 높은 전송품질과 신뢰도를 유지하기 위한 오류정정 부호 기술의 중요성이 점점 커지고 있다. 차세대 오류정정 부호로 가장 주목받고 있는 방식이 LDPC (low density parity check) 부호이며, 차세대 무선랜(WLAN) 표준(IEEE 802.11n)[1], 광대역 무선통신(WiMAX) 표준(IEEE 802.16e)[2], 유럽 디지털 위성방송(DVB-S2) 규격[3] 등에서 오류정정 부호로 채택되고 있다.

LDPC 부호는 1962년 R. Gallager에 의해 제안된 오류정정 부호의 한 형태이며, 패리티 검사 행렬에서 '0'이 아닌 원소의 수가 부호 길이에 비해 현저히 적게 존재하는 부호로 정의된다[4]. LDPC 부호는 Shannon의 한계치에 가장 근접하는 오류정정 부호로 평가되고 있으며[5], 오류마루(error floor) 현상이 나타나지 않고, 완전 병렬처리가 가능하여 고속 복호가 가능하다는 여러 가지 장점을 가져 LDPC 부호의 생성방법, 복호 알고리즘, 복호기 구조에 관한 연구가 활발히 진행되고 있다.

LDPC 부호의 복호는 반복복호를 기반으로 수행되며, 복호 알고리즘, 복호기 구조, 내부 고정소수점 비트 수 등 다양한 요인들이 복호기의 성능과 하드웨어 복잡도에 영향을 미친다. LDPC 부호는 블록길이가 큰 경우에, 연산 복잡도와 회로 복잡도가 커서 상당히 큰 하드웨어와 전력소모를 필요로 한다. 또한, 복호성능과 하드웨어 복잡도 사이에 trade-off 관계가 존재하며, 블록길이가 부호율, 검사노드와 변수노드의 연산 복잡도, 반복복호 횟수 등의 요인들에 의해 영향을 받는다. 따라서 LDPC 복호기의 효율적인 하드웨어 구현을 위해서는 복호 알고리즘, 고정소수점 비트 수 등이 복호성능에 미치는 영향을 분석하고, 이를 토대로 최적 설계조건을 도출이 필요하다.

논문에서는 IEEE 802.11n 무선 랜 표준을 지원하는 layered LDPC 복호기의 고정소수점 모델링과 시뮬레이션을 통해 고정소수점 비트 폭에 따른 BER(bit error rate) 성능과 복호 수렴속도를 분석하였다.

II. LDPC 부호 및 복호

2.1 IEEE 802.11n의 LDPC 부호

LDPC 부호는 원소의 대부분이 '0'으로 구성되는 패리티 검사 행렬(parity check matrix; PCM)에 의해 정의되는 선형 블록부호의 일종이다. 적은 수의 패리티 검사 방정식들을 사용하여 계산량을 줄이고 확실적인 반복복호 방법에 의해 오류정정 성능을 향상시킨다. LDPC 부호는 PCM의 구성에 따라 여러 가지 형태로 구분된다. 구조화된 부호의 일종인 quasi-cyclic LDPC 부호의 PCM은 $N=n/Z$ 열과 $m=(1-R) \cdot N$ 행의 부행렬로 구성되며, 각 부행렬은 $Z \times Z$ 의 크기를 갖는다.

2008년 초에 공개된 차세대 무선 랜 표준 IEEE 802.11n Draft 3.0[1]에는 표 1과 같은 LDPC 파라미터들이 정의되어 있으며, 3가지 블록길이(648, 1296, 1944)와 각 블록길이에 대해 4가지의 부호율(1/2, 2/3, 3/4, 5/6)을 규정하여 총 12가지의 동작모드를 갖는다.

IEEE 802.11n 표준의 블록길이 $n=1944$, 부호율 $R=1/2$ 인 PCM은 그림 1과 같으며, 각 블록은 81×81 크기의 부행렬을 나타낸다. 회색블록은 단위행렬(unity-matrix)을 주어진 값만큼 오른쪽으로 순환 시프트시킨 행렬을 나타내며, 흰색블록은 영(zero) 행렬을 나타낸다. 이와 같은 구조화된 행렬을 이용한 LDPC 부호는 규칙적인 확장을 통해 블록길이가 부호율에 따른 행렬을 생성할 수 있다. 따라서 다양한 블록길이가 부호율을 지원하는 LDPC 복호기의 효율적인 하드웨어 구현이 가능하다는 장점을 갖는다.

표 1. IEEE 802.11n의 LDPC 부호 파라미터
Table. 1 LDPC code parameters of IEEE 802.11n

파라미터	사양			
블록길이 (N)	648, 1296, 1944			
부행렬 크기 (Z)	27, 54, 81			
부호율 (R)	1/2, 2/3, 3/4, 5/6			
서브블록 수 (k)	24			
레이어 수 (j)	R=1/2	2/3	3/4	5/6
	12	8	6	4

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
0	57				50		11		50		79		1	0										
1	3		28		0				55	7				0	0									
2	30				24	37			56	14					0	0								
3	62	53			53			3	35							0	0							
4	40			20	66			22	28								0	0						
5	0				8		42		50			8						0	0					
6	69	79	79				56		52				0						0	0				
7	65				38	57			72		27									0	0			
8	64				14	52			30			32									0	0		
9		45			70	0			77	9												0	0	
10	2	56		57	35						12												0	0
11	24		61		60			27	51				16	1										0

그림 1. IEEE 802.11n WLAN 표준의 LDPC PCM (블록길이 1944비트, 부호율 1/2의 경우)
Fig. 1. LDPC PCM of IEEE 802.11n WLAN standard (for block size 1944-bit and code rate 1/2)

2.2 LDPC 복호 알고리즘

LDPC 부호의 복호는 그림 2와 같은 패리티 검사 행렬에 의해 구성되는 태너 그래프(Tanner graph) 상의 변수 노드(variable node; VN)와 검사노드(check node; CN) 사이에서 반복적인 정보 전달과정에 의해 이루어진다. 태너 그래프는 PCM의 행과 열을 태너 그래프의 VN와 CN로 매핑시킨 이분 그래프(bipartite graph)이며, VN와 CN 사이의 연결은 PCM에서 1의 위치에 의해 결정된다.

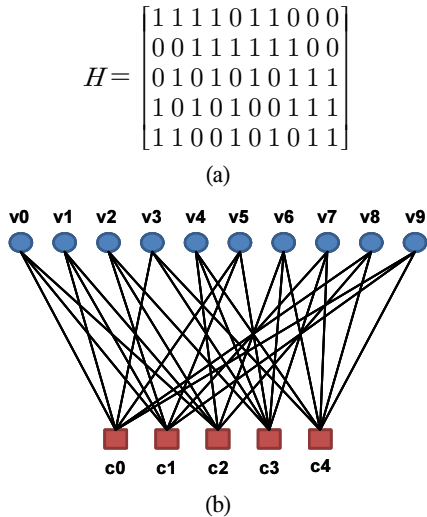


그림 2. PCM과 태너 그래프의 매핑 관계
(a) 패리티 검사 행렬 (b) 태너 그래프
Fig. 2 Mapping between PCM and Tanner graph
(a) parity check matrix (b) Tanner graph

LDPC 복호 알고리즘으로 합곱 알고리즘(sum-product algorithm; SPA), SPA의 연산 복잡도를 감소시킨 LLR(log-likelihood ratio) SPA, LLR- SPA를 근사화하여 연산 복잡도를 더욱 감소시킨 최소합 알고리즘(min-sum algorithm; MSA)[6] 등 다양한 방법들이 제안되고 있다. LDPC 부호의 복호는 VN 연산과 CN 연산으로 구성되며, q-번째 반복복호 과정에서 CN 연산과 VN 연산은 각각 식(1)과 식(2)로 표현된다. 식(1)에서의 함수 $\phi(x)$ 는 식(5)와 같이 주어지며, x 가 작을 때 매우 큰 값을 가지며 x 가 커지면 거의 0에 근접하는 특성을 갖는다. 이와 같은 함수 $\phi(x)$ 의 특성에 의해 $\phi(x)$ 의 합은 x 가 가장 작을 때 가장 큰 영향을 미치므로, $\sum \phi(x) \approx \phi(\min(x))$ 로 근사화할 수 있다. 또한 $\phi(x)$ 는 $x > 0$ 일 때 역함수와 본 함수의 값이 같으므로 $\phi(\phi(\min(x))) = \min(x)$ 가 된다. 따라서 식(1)에서 함수 $\phi(\sum \phi(x))$ 는 식(6)과 같이 근사화될 수 있으며, 식(6)을 이용하여 식(1)을 식(7)로 근사화시키는 방법이 최소합 알고리즘이다.

(i) CN 연산

$$L_{j \rightarrow i}^q = \left(\prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j}^{q-1} \right) \cdot \phi \left(\sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}^{q-1}) \right) \quad (1)$$

(ii) VN 연산

$$L_{i \rightarrow j}^q = z_i^{q-1} + \sum_{j' \in \Omega(i) \setminus \{j\}} L_{j' \rightarrow i}^q \quad (2)$$

여기서

$$\alpha_{ij}^{q-1} = \text{sign}(L_{i \rightarrow j}^{q-1}) \quad (3)$$

$$\beta_{ij}^{q-1} = |L_{i \rightarrow j}^{q-1}| \quad (4)$$

$$\phi(x) = -\log\left(\tanh\left(\frac{x}{2}\right)\right) = \log\left(\frac{e^x + 1}{e^x - 1}\right) \quad (5)$$

$$\phi\left(\sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}^{q-1})\right) \approx \phi\left(\phi\left(\min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1}\right)\right) \quad (6)$$

$$= \min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1}$$

$$L_{j \rightarrow i}^q \approx \left(\prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j}^{q-1}\right) \cdot \left(\min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1}\right) \quad (7)$$

III. LDPC 복호기의 고정소수점 시뮬레이션

LDPC 복호기의 복호과정은 그림 3과 같다. 채널을 통해 수신된 코드워드의 확률값은 이분 그래프 상에서 VN 연산과 CN 연산을 통해 반복적으로 교환되어 복호가 이루어진다. 이와 같이 VN 연산과 CN 연산의 2단계 연산 과정에 의한 복호를 two-phase 복호라고하며, 가장 기본적인 LDPC 복호방법이다. 매 반복복호 과정마다 복호된 코드워드에 대한 신드롬(syndrome) 검사를 수행하여 복호종료 조건이 만족되면 복호를 종료한다. 신드롬 검사를 만족하지 않으면 최대 반복복호 횟수까지 복호과정이 계속된다.

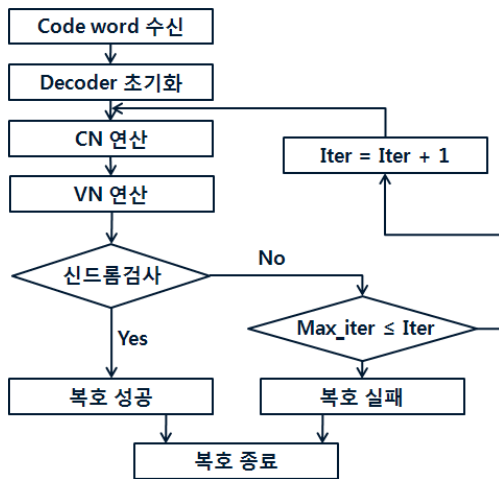


그림 3. LDPC 부호의 반복복호 과정
Fig. 3 Iterative decoding process of LDPC code

빠른 복호 수렴속도와 최소화된 하드웨어 복잡도를 갖는 LDPC 복호기의 설계 최적화 조건을 탐색하기 위해 최소합 알고리즘과 layered 복호방식을 적용한 LDPC 복호기의 고정소수점(fixed-point) Matlab 모델을 개발하고 시뮬레이션을 하였다. LDPC 복호기의 Matlab 시뮬레이션 모델은 그림 4와 같다. 랜덤 데이터를 생성하여 LDPC 부호화한 후, QPSK 변조와 AWGN 채널잡음을 삽입하고, QPSK 복조를 통해 LDPC 복호기의 입력 데이터를 생성한다.

채널잡음에 의해 1.5~3.0 dB 범위에서 0.3 dB 단위로 E_b/N_0 를 가변시킬 수 있도록 하였으며, 복호기의 고정소수점 비트 폭, 정수부 및 소수부의 비트 폭, 최대 반복복호 횟수 등을 가변시킬 수 있도록 구성되었다. 또한 매 반복복호 과정의 각 레이어별로 복호되지 않은 에러 수를 관측하여 복호 수렴속도를 측정할 수 있도록 하였다.

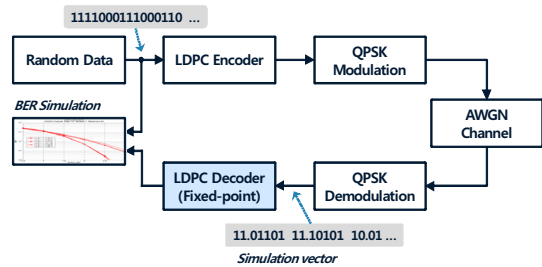
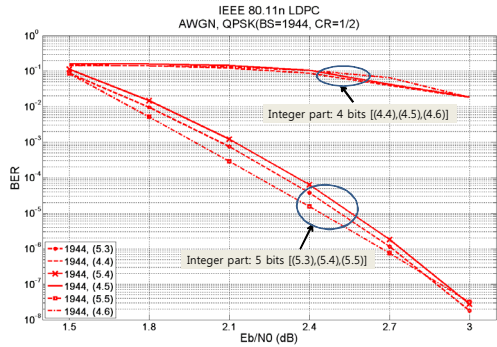


그림 4. LDPC 복호기의 Matlab 시뮬레이션 모델
Fig. 4 Matlab simulation model of LDPC decoder

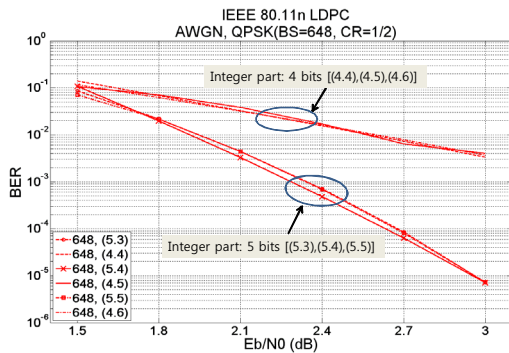
Matlab 모델에 적용된 시뮬레이션 파라미터들은 표 2와 같다. IEEE 802.11n 표준의 3가지 블록길이와 4가지 부호율을 지원하는 총 12가지 PCM을 사용하였으며, LLR 근사값의 비트 폭은 (4.4)에서 (6.4)까지의 12가지 경우에 대해 시뮬레이션 하였다. 여기서 (m.n)의 표현에서 m은 정수부분의 비트 수를 나타내며, n은 소수부분의 비트 수를 나타낸다. 최대 반복복호 회수를 8로 설정하였으며, 매 반복복호 마다 신드롬 검사를 통해 복호종료 여부가 결정되도록 하였다. 보다 신뢰성 있는 복호성능 평가를 위해 100 프레임의 데이터를 시뮬레이션에 사용하여 평균 BER를 구하였다.

표 2. 시뮬레이션 조건
Table. 2 Simulation conditions

파라미터	사양
채널특성	AWGN $E_b/N_0 = 1.5 \sim 3$ dB
변조방식	QPSK
블록크기 (N)	648, 1296, 1944
부호율 (R)	1/2, 2/3, 3/4, 5/6
최대 반복복호 횟수	8회
프레임 수	100 frames
LLR 비트 수 ($m.n$) m : 정수부의 비트 수 n : 소수부의 비트 수	(4.4), (4.5), (4.6) (5.0), (5.1), (5.2), (5.3), (5.4), (5.5), (6.2), (6.3), (6.4)



(a)

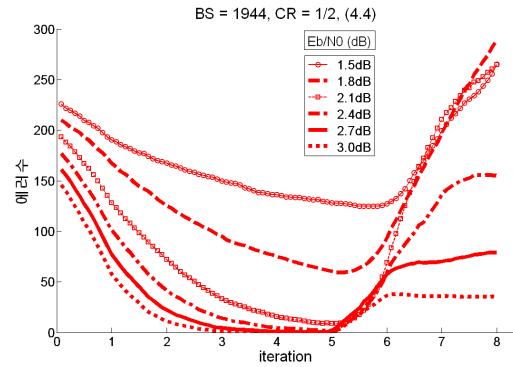


(b)

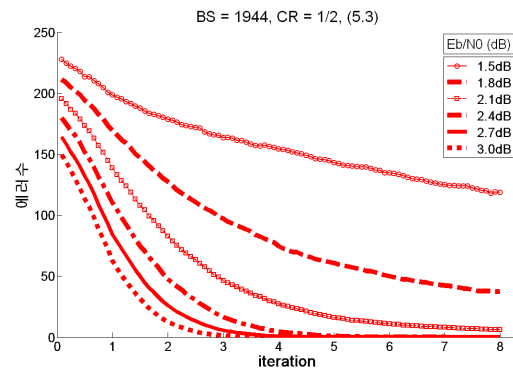
그림 5. 고정소수점 비트 폭에 따른 BER 성능 (부호율 1/2) (a) 블록길이 1944비트 (b) 블록길이 648 비트

Fig. 5 BER performance for fixed-point bit-widths (code rate 1/2) (a) block size 1944-bit (b) block size 648-bit

그림 5는 부호율이 1/2이고, 블록길이 1944 비트, 648 비트인 LDPC 부호의 고정소수점 비트 폭에 따른 BER 성능 시뮬레이션 결과이다. 8~10 비트의 3가지 고정소수점 비트 폭에 대해 정수부분이 5 비트인 (5.3), (5.4), (5.5)의 경우가 정수부분이 4 비트인 (4.4), (4.5), (4.6)의 경우 보다 비트오율 성능이 월등히 우수함을 확인할 수 있다. 나머지 블록길이와 부호율에 대해서도 유사한 결과가 얻어졌으며, 따라서 LDPC 복호기의 하드웨어 설계를 위해서는 복호기 내부 데이터의 정수부가 5 비트 이상 되어야함을 확인할 수 있다. 그림 6은 반복복호가 진행됨에 따라 복호되지 않은 오류의 수를 보이고 있으며, 이는 복호 수렴속도를 나타낸다.



(a)

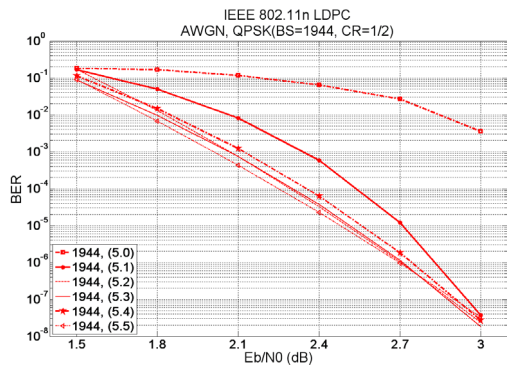


(b)

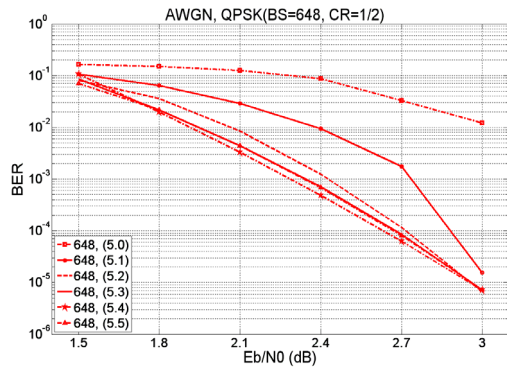
그림 6. 정수부분 비트 폭에 따른 복호 수렴속도 (블록길이 1944비트, 부호율 1/2) (a) (4.4)인 경우 (b) (5.3)인 경우

Fig. 6 Decoding convergence speed for integer bit-widths (block size 1944-bit, code rate 1/2) (a) for (4.4) (b) for (5.3)

정수부분이 5 비트인 경우가 4 비트인 경우보다 복호 수렴속도가 빨랐으며, 연산시간 대비 성능이 우수함을 확인할 수 있다. 고정소수점으로 변환된 LLR 값의 정수부분의 비트 수는 LLR 값의 크기 범위를 결정하고, 소수부분의 비트 수는 소수점 이하 값의 정밀도를 결정한다. 정수부분이 4 비트인 경우의 그림 6-(a)에서 반복복호 5 회 이상에서 오류가 증가하는 것은 복호연산과정에서 오버플로가 발생하기 때문이다.



(a)



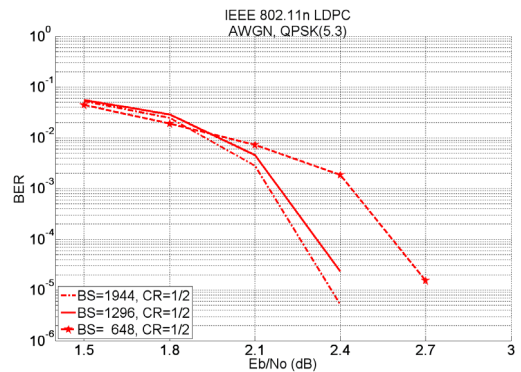
(b)

그림 7. 소수부분 비트 폭에 따른 BER 성능
(a) 블록길이 1944비트 (b) 블록길이 648 비트
Fig. 7 BER performance for fractional bit-widths
(a) block size 1944-bit, (b) block size 648-bit

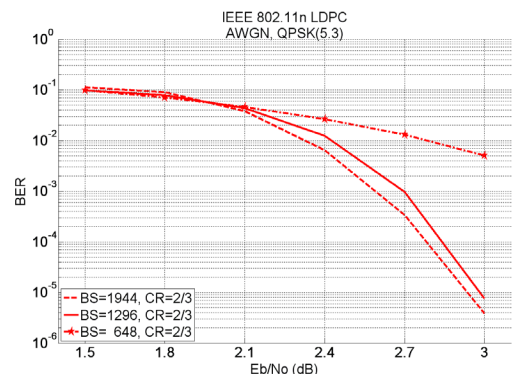
그림 7은 LLR 값의 정수부분을 5 비트로 결정한 상태에서 소수부분의 비트 수를 0~5 비트 범위에서 변화시키며 BER 성능을 시뮬레이션한 결과이다. 소수부분의 비트 수가 0 이면 BER 성능이 현저히 떨어져 복호가 이루어지지 않으며, 소수부분이 2 비트 이상인 경우에는

복호성능이 비슷하게 나타났다. 따라서 하드웨어 설계 시에 소수부분을 2~3 비트로 결정하는 것이 복호성능 측면에서 가장 바람직한 것으로 평가되었다.

그림 8은 고정소수점 비트 폭 (5.3)의 경우에 대해 부호율과 블록길이에 따른 BER 성능 분석결과이다. 블록길이 1944, 부호율 1/2의 LDPC 부호의 BER 성능이 가장 우수하게 나타났다.



(a)



(b)

그림 8. 블록길이에 따른 BER 성능
(a) 부호율 1/2 (b) 부호율 2/3

Fig. 8 BER performance for block sizes and code rates (a) code rate 1/2 (b) code rate 2/3

IV. 결 론

IEEE 802.11n WLAN 표준을 지원하는 LDPC 복호기의 최적 하드웨어 설계조건을 탐색하기 위해 최소합 알고리즘과 layered 복호방식을 적용하여 다중 모드 LDPC

복호기의 고정소수점 Matlab 모델을 개발하고, 시뮬레이션을 통해 BER 성능 및 수렴속도를 분석하였다. 고정소수점 시뮬레이션 결과를 분석한 결과, 정수부분 5 비트 이상 그리고 소수부분 2 비트 이상인 경우가 면적 대비 복호성능이 가장 우수함을 확인하였다. 개발된 고정소수점 모델은 LDPC 복호기의 성능예측과 설계된 하드웨어의 검증에 유용하게 사용될 수 있다.

감사의 글

※본 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업의 결과임(NO. 2010-0005589)
※반도체설계교육센터(IDECE)의 CAD Tool 지원에 감사드립니다.

참고문헌

- [1] IEEE 802.11n: Wireless LAN medium access control(MAC) and physical layer (PHY) specifications: enhancements for higher throughput, IEEE Std. P802.11n/D7.0, 2008.
- [2] IEEE 802.16e: Air interface for fixed and mobile broadband wireless access systems, IEEE P802.16e/D12 Draft, Oct., 2005.
- [3] DVB-S2 Draft ETSI EN 302 307 V1.1.1 (2004-06), ETSI
- [4] R.G. Gallager, "Low-Density Parity-Check Codes," IRE Trans. Inform. Theory, pp. 21- 28, vol. 8, no. 1, Jan., 1962.
- [5] D.J.C. MacKay and R. M. Neal. "Near Shannon limit performance of low density parity check codes", IEE Electronic Letter, vol. 32, no. 18, pp. 1645-1646, Aug., 1996.
- [6] F. Zarkeshvari and A. Banhashemi, "On implementation of min-sum algorithm for decoding low-density parity-check (LDPC) codes", Proc. IEEE GLOBECOM, vol. 2, pp. 1349 - 1353, Nov. 2002.



박해원(Hae-Won Park)

2011년 2월 금오공과대학교
전자공학부(공학사)

※관심분야: 통신 및 신호처리용 집적회로 설계, 정보보호용 집적회로 설계



나영현(Young-Heon Na)

2009년 금오공과대학교
전자공학부(공학사)
2011년 2월 금오공과대학교 대학원
전자공학과(공학석사)

2011년 2월 ~ 현재 (주)넥스트칩 연구원

※관심분야: LDPC, 집적회로 설계, SOC설계



신경욱(Kyung-Wook Shin)

1984년 2월 한국항공대학교
전자공학과(공학사)
1886년 2월 연세대학교대학원
전자공학과(공학석사)

1990년 8월 연세대학교대학원(공학박사)

1990년 9월 ~ 1991년 6월 한국전자통신연구소 반도체 연구단(선임연구원)

1995년 7월 ~ 현재 금오공과대학교 전자공학부(교수)

1995년 8월 ~ 1996년 7월 University of Illinois at Urbana-Champaign(방문교수)

2003년 1월 ~ 2004년 1월 University of California at San Diego(방문교수)

※관심분야: 통신 및 신호처리용 SoC 설계, 정보보호 SoC 설계, 반도체IP 설계