

고온에서 제조된 실리콘 주입 p채널 다결정 실리콘 박막 트랜지스터의 전기 특성 변화 연구

이진민^{1,a}

¹ (주)엘엔티연구소

A Study on Electric Characteristics of Silicon Implanted p Channel Polycrystalline Silicon Thin Film Transistors Fabricated on High Temperature

Jin-min Lee^{1,a}

Institute of Research and Development, ElnT.Co.,Ltd., Suwon 441-360, Korea

(Received February 18, 2011; Revised April 12, 2011; Accepted April 13, 2011)

Abstract: Analyzing electrical degradation of polycrystalline silicon transistor to applicable at several environment is very important issue. In this research, after fabricating p channel poly crystalline silicon TFT (thin film transistor) electrical characteristics were compare and analyzed that changed by gate bias with first measurement. As a result on and off current was reduced by variation of gate bias and especially reduce ratio of off current was reduced by 7.1×10^1 . On/off current ratio, threshold voltage and electron mobility increased. Also, when channel length gets shorter on/off current ratio was increased more and threshold voltage increased less. It was cause due to electron trap and de-trap to gate silicon oxide by variation of gate bias.

Keywords: Polycrystalline silicon thin film transistor, Degradation, Reverse bias, Ubiquitous sensor network, High temperature p channel

1. 서 론

최근 MEMS (micro electro mechanical system) 기술과 NEMS (nano electro mechanical system) 기술의 발전에 힘입어 센서와 구동회로를 하나의 기판에 집적화하기 위한 USN (ubiquitous sensor network) 용 소자로 다결정 실리콘 박막 트랜지스터 (polycrystalline silicon thin film transistor)에 대한 관심이 높아지고 있다. 디스플레이 분야에서는 저가의 글라스

기판에 제조하기 위해 625°C 미만에서 제조된 저온 실리콘 박막 트랜지스터에 대한 연구가 집중적으로 진행되어왔으나 [1] 저온에서 제작된 실리콘 박막 트랜지스터 (Si TFT)를 센서에 적용할 경우 소자의 사용 환경이 고온으로 올라가거나 활성층 실리콘이 형성된 온도와 비슷한 열에너지를 받으면 활성층 실리콘의 결정화에 의존해 전기적 특성도 급격한 변화가 발생하는 문제점이 있다. 반면에 625°C 이상의 고온에서 제조된 다결정 실리콘 박막 트랜지스터 소자는 활성층 실리콘의 결정입자와 결정입계가 가지고 있는 결합이 저온의 소자보다 적어 높은 on전류와 낮은 문턱 전압 등의 전기적 특성을 가지고 있을 뿐 아니라 고

a. Corresponding author; bonafidej@naver.com

온 열처리에 의한 실리콘 활성층의 안정화로 인해 센서분야의 활용성 측면에서 많은 주목이 되고 있다 [2, 3]. 다결정 실리콘 박막 트랜지스터의 특성은 활성층이 가진 미결합 부위에서 발생하는 전하가 인가되는 드레인과 게이트 전압에 의존해 변화되는데 이러한 특성변화는 활성층 실리콘의 형성온도에 의존한 저온 소자에서 심하게 나타나는 것으로 알려져 있어 저온 다결정 실리콘 박막 트랜지스터에 집중되어 그 연구가 진행되어 왔다 [4]. 그러나 고온에서 제조된 다결정 실리콘 박막 트랜지스터 또한 높은 드레인 전압과 게이트 전압에 의해 측정이 반복될수록 발생하는 전기적 특성의 변화가 심각해 이에 대한 연구가 필요한 상황이다. 이러한 전기적 특성변화의 주원인은 활성층 실리콘의 결함이나 게이트 산화막의 결함에 형성된 고정적 전하의 역할로 해석해왔으나 고온에서 형성된 다결정 실리콘 박막 트랜지스터의 분석에는 적합하지 않아 이에 대한 새로운 해석이 요구되고 있다.

본 논문에서는 p채널 다결정 실리콘 박막 트랜지스터 (poly-Si TFT)를 석영기판이 견딜 수 있는 온도에 가까운 950°C의 전형적인 열처리를 통해 활성층 실리콘을 고상화 시켜 고온소자를 제조한 후 전기적 특성 변화를 연구하였다. 특히 소자가 제조된 직후 V_{g-I_d} 특성을 게이트 단자에 +20 V의 역방향에서 -30 V의 순방향으로 전압을 변화시키며, 드레인 전압의 변화에 따라 첫 측정을 진행하고, 이 후 동일 측정모드로 두 번째 재측정을 실시하여 고온소자에서 발생하는 전기적 특성변화를 분석하였다.

2. 실험 방법

다결정 실리콘 박막 트랜지스터의 제조공정에 사용된 기판은 석영 (quartz)이었으며 제조된 최종결과는 다음과 같다. 활성층 실리콘의 두께는 500 Å, 게이트 실리콘 산화막의 두께는 1000 Å, 게이트 실리콘전극의 두께는 1000 Å이었다. 절연산화막, 금속전극 및 패시베이션용 산화막의 두께는 모두 1 μm이었다.

박막의 증착방법과 공정조건은 다음과 같다. 활성층 실리콘의 증착은 LPCVD (low pressure chemical vapor deposition)방법으로 SiH_4 가스를 550°C에서 열분해 방법을 이용해 증착시킨 후 하이에너지 이온주입기를 통해 실리콘 이온을 35 keV, $1.1 \times 10^{15}/\text{cm}^2$ 주입 하였다. 이 때 증착온도는 다결정 실리콘 박막의

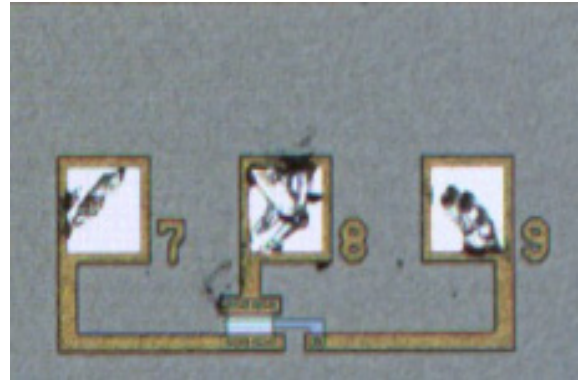


Fig. 1. Microscope image of the p channel poly-Si TFT for top view (X1000).

결정화가 진행되기 위한 600°C미만의 온도에서 높은 온도로 규정하였다. 그 후 활성층 실리콘을 600°C에서 36 hrs 고상화시켜 결정화가 저온처럼 형성되도록 하였다. 게이트 산화막은 전형적인 건식산화방법 중 클린산화방식으로 HCl 가스를 산소가스의 5% 비중으로 주입하여 950°C에서 성장시켰으며, 이 때 활성층이 고온에서 고상화되게 하여 최종 고온소자가 되도록 하였다. 게이트 전극은 LPCVD방법으로 625°C에서 다결정 실리콘을 증착하였다. 절연산화막과 패시베이션 산화막은 PECVD (plasma enhanced chemical vapor deposition)방법으로 450°C에서 증착하고, 금속전극은 직류마그네트론 스퍼터링 방법으로 1 kW 3 mtorr에서 증착하였다. 최종 금속전극의 열로이 공정은 450°C 1hr을 처리하였다.

p채널 트랜지스터 형성을 위한 이온주입은 BF_3 가스를 이용하여 50 keV, $5 \times 10^{15}/\text{cm}^2$ 으로 주입하였다. 이 때 게이트 다결정 실리콘 부위를 개구시켜 드레인 및 소오스와 같이 이온을 주입시켜 전극으로 형성시켰다.

공정순서는 다음과 같다. 활성층의 영역을 형성시키기 위해 마스크 얼라이너를 이용한 사진공정과 RI E (reactive ion etch)방법을 이용하였으며, 이 후 게이트 산화막과 게이트 전극을 동시에 ICP (inductively coupled plasma)방식으로 식각하여 형성시켰다. 제조된 소자의 크기는 폭의 크기를 50 μm로 고정하고 채널의 길이를 8~50 μm로 다변화 시켰으며, 소자의 구조는 전형적인 MOS (metal oxide semiconductor) 구조이었다.

소자의 측정은 HP4156 반도체 파라미터 분석기와

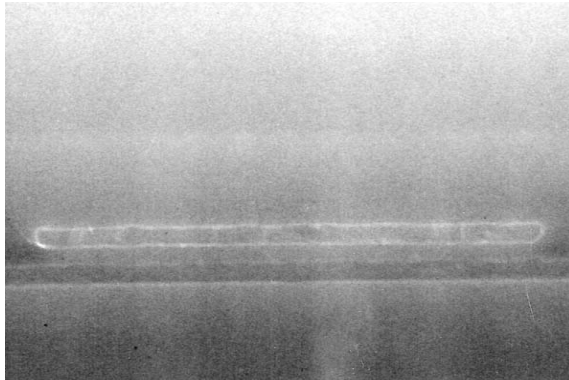


Fig. 2. SEM image of the poly-Si TFT gate region.

프루브 스테이션을 이용하였다. 측정 시 소자에 인가한 게이트 최대 전압은 +20~-30 V 이었으며, 드레인 최대 전압은 0~+20 V 이었다. 측정순서는 게이트 단자에 역방향 전압인 +20 V에서 측정을 시작해 순방향 전압 -30 V으로 변화시키되 드레인 전압의 변화에 따라 측정을 실시하여 첫 측정을 마친 후 동일조건으로 두 번째의 측정이 되도록 유도하였으며, 측정결과를 통해 소자의 변화된 전기적 특성을 비교분석하였다. 제조된 소자의 평면사진을 고배율 광학현미경을 이용해 그림 1에 나타내었으며, 그림 2에는 게이트 부위 패턴을 SEM (scanning electron microscope)촬영을 하여 나타내었다.

3. 결과 및 고찰

제조된 고온 p채널 다결정 실리콘 박막 트랜지스터의 V_g-I_d 특성을 그림 3(a)에 나타내었다. 드레인 전압의 증가에 따라 on전류는 0.14 mA에서 0.99 mA로, 최대 누설전류도 0.72 nA에서 6.81 nA로 드레인 전류는 on과 off 영역에서 모두 증가하는 것으로 나타났다. 특히 드레인 전압과 게이트 역전압의 증가에 따라 누설전류가 증가하는 전형적인 다결정 실리콘 박막 트랜지스터의 특성을 나타내었다. 그러나 이러한 측정 후 소자를 재측정 하면 그림 3(b)처럼 $V_d = -1$ V일 때 on전류의 감소비는 최대 0.2배, 누설전류의 감소비는 최대 71배로 누설전류의 감소가 더 강하게 나타났으며, 특히 채널 길이가 짧아질수록 누설전류는 더 크게 감소되는 것으로 나타났다. 또한 그림 3(c)처럼 드레인 전압이 -5 V로 증가되면 off 전류의 감

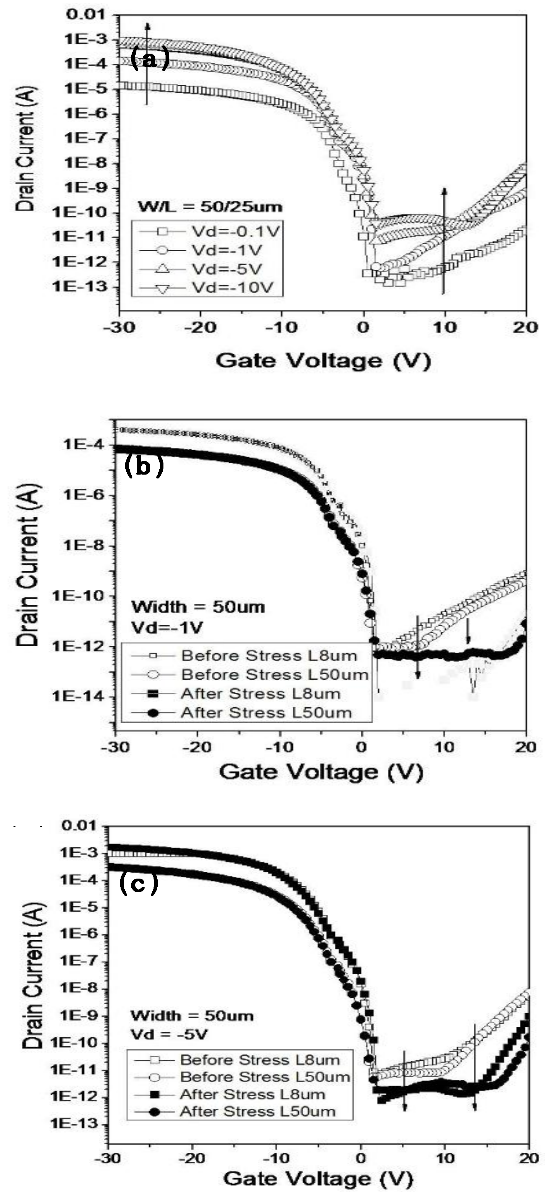


Fig. 3. V_g-I_d of p-ch poly-Si TFT's, (a) before stress $V_d = -1, -5, -10$ V, $W/L = 50/25 \mu m$, (b) before and after stress $V_d = -1$ V, $W/L = 50/8, 50 \mu m$, (c) before and after stress $V_d = -5$ V, $W/L = 50/8, 50 \mu m$.

소비는 8.3배로 감소폭이 줄어들었다. 이러한 누설전류의 특성변화의 가장 큰 원인은 다결정 실리콘 박막 트랜지스터에 인가되는 역방향 전압에 의존하는 드레인 영역에서 발생되는 핫 캐리어에 의존한 것으로 예측된다. 또한 순방향 전압의 재인가에 의해 on전류 값은 채널의 길이에 구분 없이 원래의 값을 다시 유지하는 것으로 나타나 핫 캐리어의 영향은 순방향 전

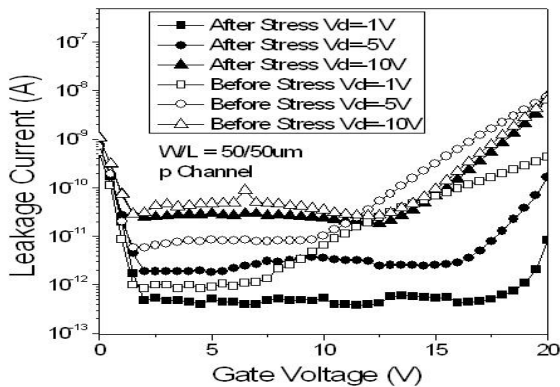


Fig. 4. Leakage current of p-ch poly-Si TFTs.

압에 의해 없어지는 것으로 나타났다.

그림 4에는 채널의 폭과 길이가 50/50 μm 인 소자의 첫 측정과 두 번째 측정 후 드레인 전압에 의해 발생하는 누설전류 현상을 확대하여 나타내었다. 측정 시 소자에 인가되는 전압의 순서는 $V_d = 1\text{ V}$ 로 고정시킨 후 $V_g = +20\text{ V}$ 에서 -30 V 로 변화시켜 측정하고, 드레인 전압을 $V_d = +5\text{ V}$ 와 10 V 로 증가시키며 측정한 후 다시 드레인 전압을 $V_d = 1\text{ V}$ 부터 재 측정하였다. 측정결과 재측정 시 누설전류는 초기측정보다 더 낮은 값을 나타내었다. 이러한 현상은 과거 누설전류 현상을 드레인 영역의 역방향 전압에 의존하는 핫 캐리어나 계면준위로 설명하기에 적합하지 않은 결과로 유추된다. 즉, p형 다결정 실리콘 박막 트랜지스터의 게이트 역방향 전압에 의존하는 핫 캐리어 중 전자가 게이트 산화막으로 트랩된 현상으로 해석하면 누설전류는 더욱 증가된 현상으로 나타나므로 측정된 누설전류 감소와는 상반된 결론이 유추된다. 따라서 이러한 누설전류 감소현상은 측정의 순서에 의존해 게이트 전압이 역방향에서 순방향으로 전환될 때 측정 직전의 상태에 의존해 나타난 핫 캐리어의 현상으로 예측된다. 즉, 높은 게이트 순방향 전압 $V_g = -30\text{ V}$ 에 의해 게이트 산화막에서 실리콘 활성층으로 전자가 트랩되어 게이트 산화막에는 정공사이트가 형성되고 [5] 그로 인해 다음 측정인 게이트 역방향 전압이 $V_g = +20\text{ V}$ 로 인가되었을 때 실리콘 활성층으로 디 트랩된 핫 캐리어인 전자에 의해 누설전류는 낮은 값을 나타낸 것으로 보인다. 따라서 고온 n형 다결정 실리콘 박막 트랜지스터의 누설전류에 영향을 미치는 주요원인으로 측정 직전 인가된 게이트 전압에 의한 핫 캐리어의 의존성과 누설전류 감소현상을 지목할 수

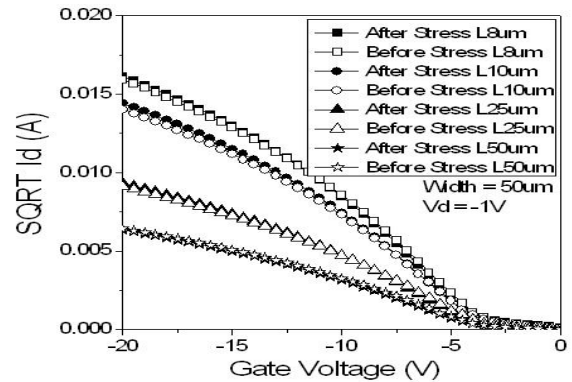


Fig. 5. $\sqrt{I_d} - V_g$ of p-ch poly-Si TFTs.

있다. 이러한 현상들은 드레인 전압이 낮은 그림 3 (b)에 나타나는 현상과도 매우 일치하는 것으로 게이트 전압의 감소에 의존해 누설전류가 감소되는 현상을 통해 게이트 산화막에 주입된 핫 캐리어가에 의한 전하가를 확인할 수 있었다.

그림 5에는 제조된 소자의 문턱전압의 변화를 분석하기 위해 전형적인 단결정 실리콘 트랜지스터에서 분석하는 $\sqrt{I_d}$ 방법을 나타내었고 그림 6에는 다결정 실리콘 박막 트랜지스터에서 주로 사용하는 문턱전압 측정방법인 100 nA에서 W/L 의 비로 나타내는 문턱전압의 변화를 분석하였다 [6]. 일반적으로 단결정 실리콘 트랜지스터의 문턱전압은 채널길이 짧아짐에 따라 급격히 감소되는데 이는 게이트 전압 뿐 아니라 드레인 영역의 공핍층 전계에 기인하는 것으로 알려져 있다 [7,8]. 문턱전압의 변화를 그림 6에서 보면 채널길이 50 μm 인 소자의 경우 -3.63 V 에서 8 μm 로 짧아지면 -3.5 V 로 감소하였다가 게이트 전압의 변화로 인해 50 μm 소자가 -3.76 V , 8 μm 소자는 -3.59 V 로 변화하였다. 채널길이의 감소에 의한 문턱전압 감소 현상은 일반적인 단채널 현상과 동일하였으나 전체 문턱전압은 재 측정시의 값이 전체적으로 높게 나타났다. 이는 앞서 분석된 게이트 전압에 의해 활성층 실리콘에서 게이트 산화막으로 주입된 전자들이 게이트 전압이 순방향으로 턴온될 때 채널로 정공이 대전되는 현상을 지연시켜 발생하는 현상으로 누설전류의 감소와 매우 일치하는 현상으로 분석되었다. 그러나 앞서 그림 3에서 측정된 것처럼 핫 캐리어의 영향에도 불구하고 on전류 특성이 초기 측정값을 유지하여 나타난 현상으로 보면 게이트에 순방향 전압이 인가되며 문턱전압의 지연을 발생시킨 상황에서 채널로 디 트랩된 전자는 게이트 산화막에 형성된 정공사이트로 트랩이 진행된 것으로 보인다.

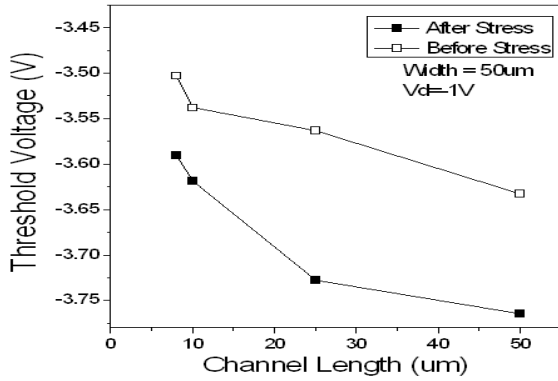


Fig. 6. Threshold voltage of p-ch poly-Si TFTs.

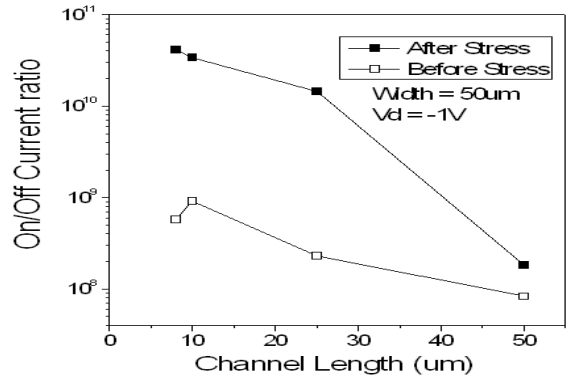


Fig. 8. I_{on}/I_{off} ratio of p-ch poly-Si TFTs.

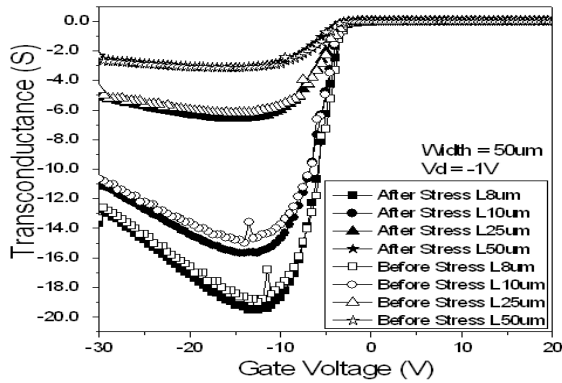


Fig. 7. Transconductance of p-ch poly-Si TFTs.

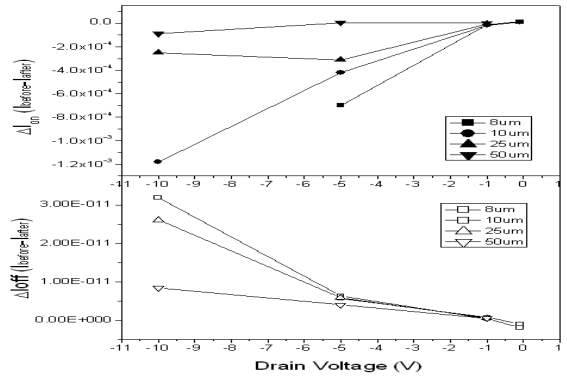


Fig. 9. ΔI_{on} and ΔI_{off} of p-ch poly-Si TFTs.

이로 인해 초기 on 전류값을 유지하는 것으로 예측된다. 반면 단결정 실리콘 트랜지스터에서 분석하는 방법으로 금번에 제조된 다결정 실리콘 박막 트랜지스터의 문턱전압을 나타내면 1.52~1.7 V 수준이었다. 이러한 값은 앞선 V_g-I_d 그래프의 변화로 보면 좀 더 실제 값에 더 가까운 것으로 분석되어 실리콘이 주입된 고온의 다결정 실리콘 박막 트랜지스터에서의 문턱전압은 단결정 실리콘 트랜지스터에서 사용하는 $\sqrt{I_d}$ 분석법이 비교적 더 적합할 것으로 보인다.

그림 7에는 전달특성을 나타내었다. 분석결과 고온 p형 다결정 실리콘 박막 트랜지스터의 측정이 반복됨에 의해 전달특성은 미세하게 개선된 것으로 나타났다. 전달특성곡선은 순방향 전압에 의존해 나타나는 결과로 문턱전압 이상의 게이트 순방향 전압에 의해 활성층 채널에 더 트랩된 전자가 게이트 산화막으로 트랩되며 채널에 대전되는 정공이 단위 게이트 전압의 증가와 병행되어 드레인 전류의 증가를 발생시키고

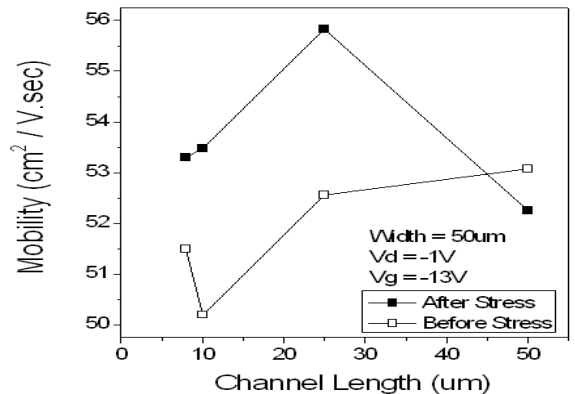


Fig. 10. Mobility of p-ch poly-Si TFT.

이로 인해 전달특성곡선의 증가가 발생하는 현상으로 예측된다.

그림 8에는 on/off 전류비를 채널의 길이변화에 따

라 나타내었다. 초기 on/off 전류비는 채널의 길이와 크게 변함이 없었으나 역전압 인가 후의 on/off 전류비는 증가하였고, 특히 채널의 길이가 $50 \mu\text{m}$ 일 때 증가비가 2.19 이었던 것이 $8 \mu\text{m}$ 로 짧아짐에 따라 on/off 전류비의 증가는 71.7로 더 커지는 것으로 분석되었다. 전달특성곡선의 변화량이 크지 않음에도 불구하고 on/off 전류비의 증가가 발생하는 것은 활성층으로 주입된 전자에 의해 그림 9처럼 누설전류의 감소 폭이 on전류의 변화보다는 더욱 크기 때문인 것으로 보인다.

그림 10에는 전하의 이동도를 채널의 길이변화에 따라 나타내었다. 고온소자의 전하의 이동도는 채널 길이의 감소에 의해 감소하는데 비해 게이트 전압의 반복적인 인가에 의해 전하의 이동도는 전체적으로 증가되었다. 이는 게이트 산화막으로 트랩된 전자에 의해 다결정 실리콘 박막 트랜지스터의 활성층에 대전된 정공의 이동도가 개선된 것으로 보이며 또한 채널이 $50 \mu\text{m}$ 로 긴 경우 문턱전압이 역전된 상황은 $g_m L/W$ 에 의존하여 변화되므로 전달특성곡선의 변화량보다 채널 길이와 폭의 변화율에 의존해 전하의 이동도가 증가하기 때문인 것으로 보인다.

4. 결 론

본 논문에서는 고온에서 제조한 p형 다결정 실리콘 박막 트랜지스터를 제조하여 변화되는 게이트 전압에 의해 발생하는 소자의 전기적 특성변화를 소자의 채널길이 변화에 따라 분석하였다. 그 결과 on전류와 누설전류가 모두 감소하였는데 특히 채널의 길이가 짧아질 때 누설전류의 감소가 현저히 크게 나타났으며,

누설전류의 감소로 on/off전류비의 증가로 나타났다. 또한 전달특성곡선의 미세한 개선과, 전하이동도의 증가가 발생하였으나, 문턱전압은 증가하는 것으로 분석되었다. 이러한 현상의 주원인으로 게이트 역방향 전압에 의해 활성층 실리콘에서 발생한 핫 캐리어가 게이트 산화막으로의 전자트랩이 발생되고 다시 게이트에 인가된 순방향 전압에 의해 트랩된 전자가 활성층 실리콘으로 디트랩되는 현상을 지목할 수 있었다. 그러나 고온에서 제조된 p형 다결정 실리콘 박막트랜지스터의 반복측정에 의해 변화되는 전기적 특성은 열화현상으로 확대되어 나타남으로 USN용 센서와 구동회로의 집적화를 위해서는 이러한 소자의 특성을 감안하여 적용시켜야 할 것으로 사료되며 이러한 열화현상을 개선시키기 위한 추가적인 구조 및 설계연구가 필요할 것으로 사료된다.

REFERENCES

- [1] Czubytyj, W. Beglau, D. Himmler, R. Wicker, G. Jablonski, and D. Guha, *IEEE Elec. Dev. Lett.*, **10**, 349 (1989).
- [2] T. J. King, *Active Matrix Liquid Crystal Displays*, 80 (1995).
- [3] Z. Yodasaka and H. Ohshima, *Mat Res. Soc. Symp. Proc.*, **182**, 333 (1990).
- [4] S. I. Hsieh, H. Y. Liang, C. J. Lin, Y. C. King, and H. T. Chen, *IEEE Appl. Phy. Lett.*, **90**, 183502 (2009).
- [5] N. D. Young, A. Grill, and M. J. Edwards, *Semi. Sci. Tech.*, **7**, 1183 (1992).
- [6] I. W. Wu, W. B. Jackson, T. Y. Huang, A. G. Lewis, and A. Chiang, *IEEE Elec. Dev. Lett.*, **11**, 167. (1990).
- [7] C. T. Sah, *IEEE Trans. Elec. Dev.*, **11**, 342 (1964).
- [8] H. Oshima and S. Morozumi, *IEDM Tech. Dig.*, 157 (1989).