

# 광대역 하이브리드 직교 폴라 송신 플랫폼 구현에 관한 연구

정회원 장 상 현\*, 종신회원 이 일 규\*\*°, 정회원 김 형 중\*\*\*, 강 상 기\*\*\*\*

## A Study on the Implementation of Wideband Hybrid Quadrature Polar Transmitter Platform

Sang-hyun Chang\* *Regular Member*, Il-kyoo Lee\*\*° *Lifelong Member*,  
Hyung-jung Kim\*\*\*, Sang-ki Kang\*\*\*\* *Regular Members*

### 요 약

본 논문에서는 소출력 무선 통신 기기(SRD : Short Range Device)에 적용 가능한 광대역 하이브리드 직교 폴라 송신(Wideband Hybrid Quadrature Polar transmitter) 구조를 제시하였다. 먼저 시스템 성능 분석을 위한 시뮬레이션 환경을 구축한 후 송신기 성능 파라미터들에 의한 성능 열화 분석을 실시하였다. 주요 성능 열화 요인으로 VVA(Voltage Variable Attenuator)의 슬루율(Slewrate), 크기 및 위상 신호의 시간 지연 그리고 DAC(Digital-to-Analog Converter) 비트수를 고려하였으며, 성능 열화 분석 시뮬레이션을 통해서 송신기 요구 규격을 만족하는 최소 요구 파라미터 값을 확인하였다. 또한 성능 분석 결과를 바탕으로 광대역 하이브리드 직교 폴라 송신기 플랫폼을 구현하였고 3GPP 표준 규격을 참조하여 송신기 성능 측정 및 분석을 실시하였으며 그 결과를 확인하였다.

**Key Words** : Polar, 소출력, 광대역, 슬루율, VVA

### ABSTRACT

In this paper, we proposed the architecture of the Hybrid Quadrature Polar transmitter which has the wideband characteristics available for the SRD(Short Range Device). First, we developed the simulation environment and carried out performance degradation analysis. Second, we considered the slewrate of the VVA(Voltage Variable Attenuator), time delay between magnitude signal and phase signal and the number of bits for DAC(Digital-to-Analog Converter) as the main performance factors. Then we obtained the minimum required values to meet the transmitting performance requirements of 3GPP standards through simulation results. Based on these results, we implemented the Wideband Hybrid Quadrature Polar transmitter platform and varified the performance requirements through practical measurement.

### 1. 서 론

최근 무선 통신의 급격한 발전에 따라 미래 무선

통신에서는 보다 높은 데이터 전송량에 대한 요구가 더욱 더 증가할 것이다. 이에 따라 기존 WCDMA (Wideband Code-Division Multiple Access)를 GSM

\* 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음. [2008-F-001-02]

\* 한국항공우주연구원 위성기능시험팀(peters@kari.re.kr), \*\* 공주대학교 전기전자제어공학부(leeik@kongju.ac.kr), (°: 교신저자)

\*\*\* 한국전자통신연구원 스마트무선기술연구팀(acekim@etri.re.kr), \*\*\*\* 군산대학교 전자정보공학부(skkang@kunsan.ac.kr)

논문번호: KICS2010-09-441, 접수일자: 2010년 9월 10일, 최종논문접수일자: 2010년 12월 14일

(Global System for Mobile)과 EDGE (Enhanced Data rates for GSM Evolution) 네트워크로의 집적화에 대한 요구가 증가추세에 있으며, 4G(Fourth-Generation)와 WiMAX 같은 차세대 시스템들은 추가적인 수용성을 보장하고 있다<sup>[1]</sup>. 또한 향후 무선 시스템은 다양한 통신 방식들을 수용 및 지원할 수 있어야 할 것이다. 무선 시스템 중 특히 송신기에 있어 광대역, 선형성 그리고 효율이 모두 만족되어야 높은 데이터 전송량을 보장하며, 여러 통신 방식에서 필요한 성능 요구 규격을 충족시킬 수 있다. 지금까지 송신기의 광대역화와 효율을 개선하기 위한 연구 개발이 활발하게 이루어지고 여러 가지 방식이 제안되었는데, 그 중 Kahn의 포락선 제거 후 재생(EE&R : Envelope Elimination and Restoration) 방식을 이용한 폴라 송신기 구조에 대한 연구가 최근 많이 진행되고 있다<sup>[2]</sup>. 많은 전력을 소모하며 왜곡을 크게 일으키는 전력 증폭기의 전력소모를 최소화하면서 방사되는 출력신호를 왜곡 없이 송출할 수 있는 폴라 송신기는 효율면에서 뛰어난 Class E/F 급의 전력 증폭기를 이동통신에 적용할 수 있는 구조이지만 광대역화가 어려운 단점이 있다. 따라서 본 논문에서는 이러한 단점을 보완하기 위해 하이브리드 직교 폴라 송신 구조를 제안하였다. 또한 시뮬레이션을 통해 성능 분석을 실시하였으며, 성능 분석 결과를 바탕으로 상용 부품을 이용한 송신기를 구현하여 송신기 성능을 검증하였다.

## II. 폴라 송신기 및 성능 열화 요인 분석

### 2.1 폴라 송신기

폴라 송신기는 1952년 Kahn이 제시한 포락선 제거 후 재생 방식에서 시작되며, Kahn의 송신기라고 한다. 크기 변조와 위상 변조가 동시에 존재하는 일반적인 송신 신호는 리미터(limiter)에 의해 일정한 크기의 위상 변조 신호로 변환되고, 포락선 검파기에 의해 낮은 주파수의 크기 변조 신호로 변환된다<sup>[3]</sup>. 본 연구에서 사용된 폴라 송신기는 이와 유사한 형태이며 기본 구조는 그림 1과 같다. 폴라 송신기는 기저대역에서 생성된  $I(t)$ ,  $Q(t)$  신호를 CORDIC(COordinate Rotation DIgital Computer) 알고리즘을 통해 크기 변조 신호  $A(t)$ 와 위상 변조 신호  $\alpha(t)$ 로 구분한다. 위상 변조 신호는 주파수 상향 변환을 위해  $P_i(t)$ 와  $P_q(t)$ 로 나누어지고 크기 신호  $A(t)$ 는 선형 저 주파수 파워 증폭기(LF-PA:Linear low Frequency Power Amplifier)에 의해 증폭된다.

PLL(Phase Locked Loops)을 이용하여 크기가 일

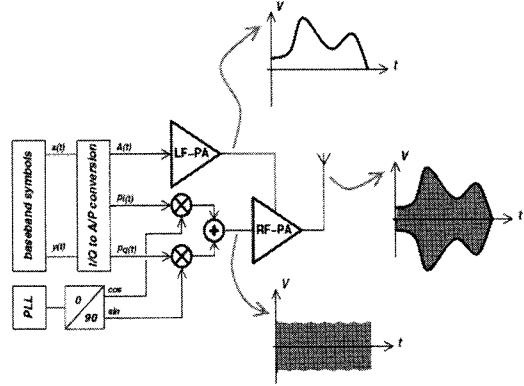


그림 1. 폴라 송신기 기본 구조

정한 RF 주파수로 변조된 위상 변조 신호는 LF-PA의 출력과 함께 RF-PA에서 합성된다. 이 구조의 가장 큰 장점은 RF-PA로 비선형 전력 증폭기를 사용하여 송신기의 효율을 개선할 수 있다는 점이다. 일반적인 송신신호  $S(t)$ 는 in-phase의  $I(t)$ 와 quadrature-phase의  $Q(t)$ 의 복소 신호로 표현된다.

$$\begin{aligned}
 S(t) &= A(t)\cos(\omega_c t + \alpha(t)) \\
 &= I(t)\cos(\omega_c t) + Q(t)\sin(\omega_c t) \quad (1) \\
 I(t) &= A(t)\cos(\alpha(t)), \quad Q(t) = A(t)\sin(\alpha(t))
 \end{aligned}$$

따라서 I, Q 신호로부터 다음과 같이 크기 변조 신호와 위상 변조 신호를 구할 수 있다.

$$A(t) = \sqrt{I(t)^2 + Q(t)^2} \quad (2)$$

$$\alpha(t) = \tan^{-1}(Q(t)/I(t)) \quad (3)$$

그림 2는 CORDIC 알고리즘의 한 예로 크기 신호와 위상 신호로 나누어진 CDMA 신호를 나타낸다. 폴라 송신기는 등포락선의 위상 변조 신호와 저주파의 크기 변조 신호를 각각 처리한 다음 전력 증폭기에서 결합함으로써 원신호를 복원한다. 전력 증폭기 측면에서 등포락선 신호를 취급하는 경우 고효율의 비

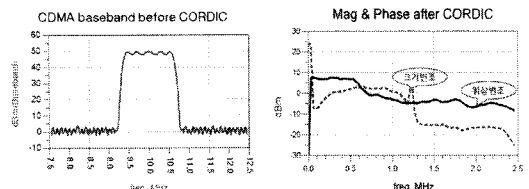


그림 2. 표준 CDMA 스펙트럼 (좌), CORDIC 알고리즘에 의해 분리된 크기 변조 신호와 위상 변조 신호 (우)

선형 증폭기를 사용할 수 있으며, 폴라 송신기의 경우 스위칭 증폭기인 class-E 또는 class-F 증폭기를 사용한다. 그러나 class-E 또는 class-F 증폭기는 광대역 특성을 보장하지 못하는 단점이 있다. 하지만 본 논문에서 적용한 VVA(Voltage Variable Attenuator)는 높은 슬루율에 의한 GBP(Gain-Bandwidth Product) 향상을 통해 광대역 특성을 가지며<sup>[4]</sup> 소모하는 전력이 아주 작기 때문에 소출력 무선 통신 기기에 적용할 수 있는 장점이 있다. 따라서 본 논문에서는 기존 Class-E/F 전력 증폭기 대신 VVA를 적용하였다.

2.2 성능 열화 요인 분석

제한한 폴라 송신기의 구현에 앞서 시스템 성능 요구 규격을 만족하기 위한 성능 열화 분석이 필요하다. 폴라 송신 구조의 시스템 주요 성능 열화 요소 중 VVA의 슬루율, 크기 및 위상 신호 간 시간 지연 그리고 DAC 비트수에 의한 성능 열화 분석을 ADS 및 Matlab을 이용하여 수행하였다.

2.2.1 슬루율에 의한 성능 분석

크기 변조 신호  $A(t)$ 는 시간에 따른 신호의 전압의 변화로 나타나며 VVA 내에서 위상 변조 신호와 결합 시 슬루율에 의해 영향을 받는다. 슬루율은 보상 커패시터가 충전할 수 있는 최대 공급 전류에 의해 결정되는데 이는 식 4와 같이 표현되며, VVA 내의 switched-capacitor 구조를 나타내는 그림 3의  $C_1$ 에 의해 결정된다. 그림 4는 슬루율에 의한 출력 응답 특성을 나타내는데 낮은 슬루율에 의한 불충분한 전류 공급은 잘못된 크기 신호 값을 전달하게 되며 결과적으로 스펙트럼 상의 spectral regrowth 및 전송 대역 내의 정보의 손실을 야기한다<sup>[5,6]</sup>.

$$\text{슬루율} = dv/dt_{max} = i_{max}/C \text{ (V/ms)} \quad (4)$$

슬루율에 따른 스펙트럼의 특성을 분석하기 위해 본 논문에서는 ADS를 사용하였다. WCDMA 신호를

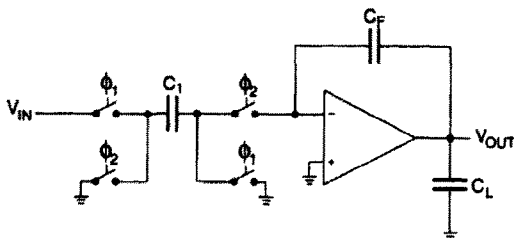


그림 3. Switched-capacitor 적분기. 입력된 크기 신호  $A(t)$ 는  $C_1$ 에 의해 슬루율이 결정됨

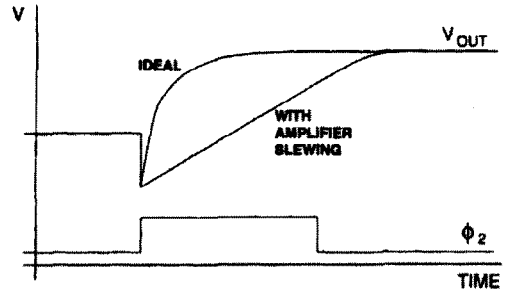


그림 4. 슬루율에 의한 출력 응답 특성. 이상적인 경우 입력  $A(t)$ 에 따른  $V_{out}$  특성을 만족하지만 그렇지 않은 경우 슬루율에 의해 그 응답 특성이 결정됨

인가한 후 1926 MHz 반송파를 사용하였을 때 슬루율에 따른 출력 스펙트럼 특성은 그림 5와 같으며, WCDMA 스펙트럼 방사마스크를 만족하는 최소 슬루율은 약 20 V/us임을 시뮬레이션을 통해 확인하였다.

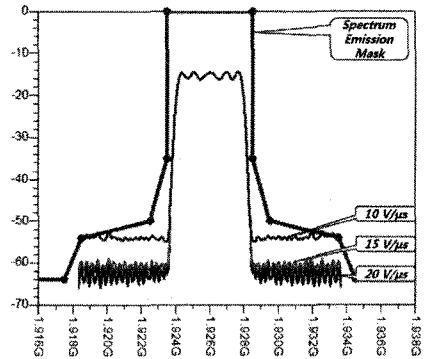


그림 5. 10, 15 그리고 20 V/us의 슬루율에 따른 WCDMA 스펙트럼 특성 (dBm/30 KHz RBW, 10 dB/div, 10 bit DAC, 1926 MHz 반송파)

2.2.2 크기 및 위상 신호 간 시간 지연에 의한 영향 분석

CORDIC 알고리즘에 의해 분리된 크기 변조 신호와 위상 변조 신호는 VVA에서 결합되는데 이 때 두 신호간의 시간 지연이 발생할 수 있다. 이 현상은 각각의 신호 처리 경로에서 서로 다른 신호처리 시간으로 인해 발생된다. 이렇게 발생된 시간 지연으로 인한 신호와 달리 각각 서로 다른 시점의 크기 변조 신호와 위상 변조 신호가 결합하는데 이는 spectral regrowth를 야기하며 결국 대역폭에 제한을 가져온다<sup>[7,8]</sup>. 시뮬레이션 결과 시간 지연이 최대 1/64 칩 까지만이 WCDMA 스펙트럼 방사 마스크를 만족함을 알 수 있으며 이는 그림 6에 나타내었다.

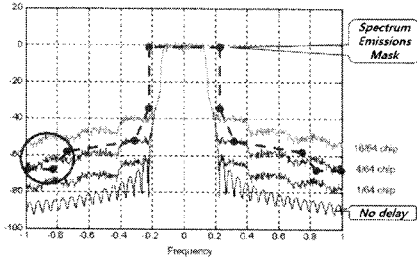


그림 6. 1/64, 4/64 그리고 16/64 칩의 시간 지연에 따른 WCDMA 스펙트럼 특성. 4/64 칩 이상의 시간 지연이 있을 시 스펙트럼 특성 불만족. (dBm/30 KHz RBW, 20 dB/div, 10 bit DAC, 20 V/usec 슬루율, 1926 MHz 반송파)

2.2.3 DAC 비트수에 의한 영향 분석

CORDIC 알고리즘을 통해 분리된 크기 변조 신호와 위상 변조 신호는 서로 다른 경로에서의 아날로그 신호 처리를 위해 각각 DAC 과정을 거치게 된다. DAC 비트 수가 증가함에 따라 spectral regrowth는 감소하지만 전력소모가 커지며 구조가 복잡해지는 단점이 있다. 따라서 크기 변조 신호와 위상 변조 신호의 정보가 손실되지 않고 스펙트럼 특성을 만족하는 적절한 DAC 비트 수를 결정할 필요가 있다. DAC 비트 수에 따른 스펙트럼 특성은 그림 7과 같으며, 10 비트를 사용할 경우 WCDMA 스펙트럼 방사마스크를 만족함을 시뮬레이션을 통해 확인하였다.

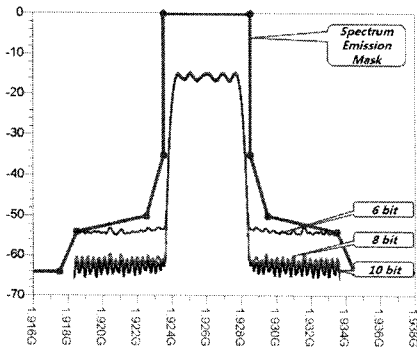


그림 7. 6, 8, 그리고 10 비트의 DAC 해상도에 따른 WCDMA 스펙트럼 특성. 최소 10 비트 이상의 해상도를 보장해야 스펙트럼 특성을 만족. (dBm/30 KHz RBW, 10 dB/div, 20 V/usec 슬루율, 1926 MHz 반송파)

III. 하이브리드 직교 폴라 송신 플랫폼 구현

본 논문에서 제안된 하이브리드 직교 폴라 송신 구조는 그림 8과 같다. DFE(Digital Front End) 내부에서 생성된 크기 변조 신호와 위상 변조 신호는 Analog/RF Board로 입력되어 각각 크기 변조와 위상

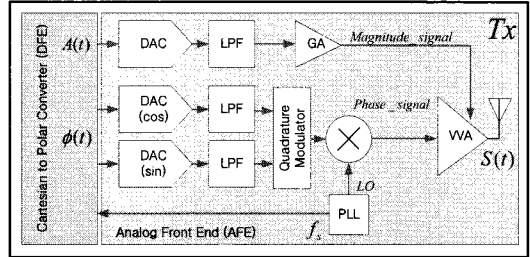


그림 8. 제안된 하이브리드 직교 폴라 송신 플랫폼 블록 다이어그램 (Digital Front End, Analog Front End)

변조가 이루어진다. 성능 열화 분석 결과를 바탕으로 구현된 하이브리드 직교 폴라 송신 플랫폼 하드웨어는 그림 9와 같다. 플랫폼은 크게 DFE 보드, PLL LO 보드, 그리고 폴라 송신기 AFE (Analog Front-End)로 이루어졌다. DFE 보드에서는 5 MHz 대역의 기저대역 신호를 CORDIC 알고리즘에 의해 각각 크기 신호와 위상 신호를 분리/생성한다. 생성된 신호는 폴라 송신기 AFE에 입력되는데 PLL LO 보드에서 생성된 반송파에 의해 변조된 위상 신호는 VVA에서 크기 신호와 결합하게 된다. 본 논문에서는 광대역 PLL을 구성하지 않고 PLL의 주파수를 상용 이동 통신 주파수를 고려해서 800 MHz, 1.9 GHz 그리고 2.3 GHz 대역에서 동작할 수 있도록 구현하였다. 또한 크기 신호 및 위상 신호 결합을 위해 본 논문에서는 상용 VVA를 사용하였는데 그 특성은 약 274 V/us의 슬루율을 가지며 동작 대역은 DC ~ 8 GHz이다. 또한 0 ~ -3 V의 가변 전압 범위를 가지지만 실제 입력 전압별 출력 변화 측정 결과 그림 10에서와 같이 약 -2.3 ~ -2.6 V 범위 내에서 선형성을 보장하는 것을 알 수 있

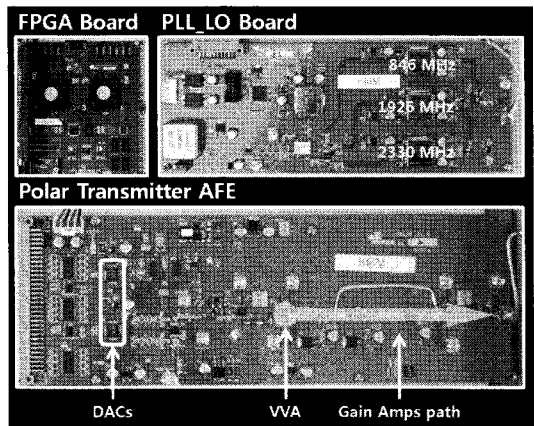


그림 9. 구현된 하이브리드 직교 폴라 송신 플랫폼 H/W (Digital Front End, RF Front End, PLL Board)

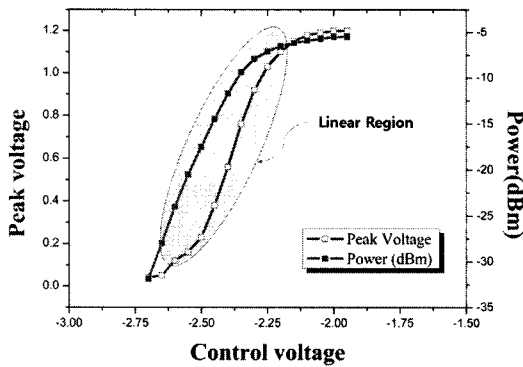


그림 10. Control Voltage에 따른 선형 구간 (약 -2.3V ~ 2.6V Control Voltage)

었다. 따라서 크기 변조 신호는 선형성 범위 내에서 동작할 수 있도록 생성되었으며 이는 VVA에서 위상 변조 신호와 함께 결합된다.

#### IV. 송신기 성능 측정 및 분석

구현된 하이브리드 직교 폴라 송신기의 성능 측정 및 분석을 위한 플랫폼 성능 분석 환경을 그림 11과 같이 구성하였으며, 표 1에 성능 분석을 위한 기본 설정 및 성능 분석 항목을 나타내었다<sup>9)</sup>. 성능 분석을 위한 기본 설정으로 변조방식, 칩율, 캐리어 주파수 그리고 전송대역을 설정하였으며, 성능 요구 규격으로 3GPP 규격을 참조하여 채널파워, ACLR(Adjacent Channel Leakage Ratio), 스펙트럼 방사 마스크, 스퓨리어스 방사 마스크, 그리고 EVM(Error Vector Magnitude)을 설정하였다.

표 1과 같이 설정된 성능 분석 환경에서 폴라 송신기의 성능 측정 결과는 다음과 같다. 먼저 채널 파워를 측정된 결과 약 -0.05 dBm임을 확인하였고, ACLR을 측정된 결과 3.54 MHz의 읍셋 주파수에서 약 35.61 dB임을 확인하였다. 또한 EVM 측정 결과 최대 3.26%, 평균 3.2%의 RMS 크기를 나타내었다.

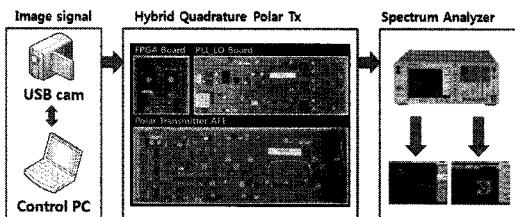


그림 11. 하이브리드 직교 폴라 송신기 플랫폼 성능 분석 구성도 (영상 신호 수신, 하이브리드 직교 폴라 변조, 성능 측정 및 분석)

표 1. 성능 분석용 기본 설정 및 성능 요구 규격

기본 설정		
변조방식	QPSK	
칩율	4.5 MHz	
캐리어 주파수	1926 MHz	
전송대역	5 MHz	
성능 요구 규격		
채널파워	0 dBm +/- 3 dB (최대)	
ACLR	33 dB @ +/- 3.54 MHz	
스펙트럼 방사 마스크		
Offset(MHz)	요구치(in dBc)	RBW(MHz)
3.5~7.5	-35 ~ -39	1
7.5~8.5	-39 ~ -49	1
8.5~12.5	-49	1
스푸리어스 방사 마스크		
Freq BW	RBW(KHz)	Req(dBm)
9 < f < 150 KHz	1	-36
150 < f < 30 KHz	10	-36
30 MHz < f < 1 GHz	100	-36
1884.5 < f < 1919.6 MHz	300	-41
1 GHz < f < 12.75 GHz	1MHz	-30
EVM	17.5 %를 초과하지 않아야 함 (@ roll-of α=0.125)	

이는 그림 12에 나타내었다. 스펙트럼 방사 마스크 및 스퓨리어스 방사 마스크를 측정된 결과 모든 주파수 읍셋에서 성능 요구 규격을 만족함을 알 수 있었으며 이는 그림 13에 나타내었다.

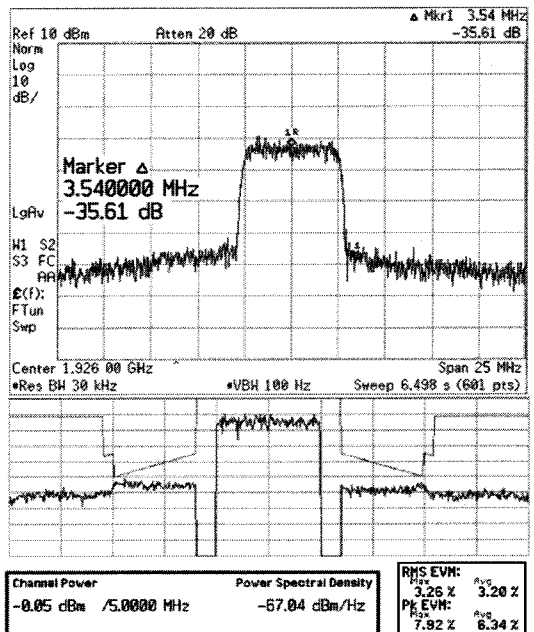


그림 12. 하이브리드 직교 폴라 송신기 측정 결과 (35.61 dB ACLR, 스펙트럼 방사 마스크, -0.05 dBm 채널 파워, 3.26 % EVM)

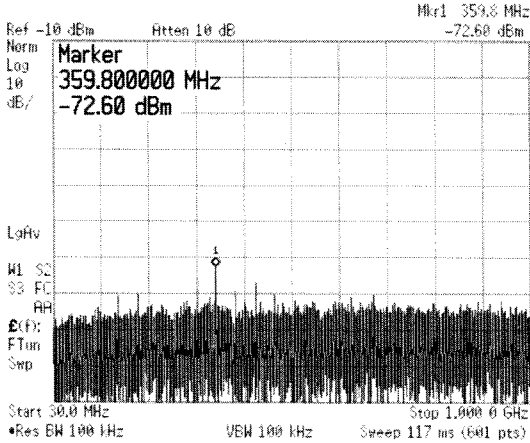


그림 13. 스퓨리어스 방사 마스크 측정 결과 (-72.6 dBm at 359.8 MHz)

### V. 결론 및 향후 연구 과제

본 논문에서는 광대역 특성을 만족하는 소출력 무선 통신 기기 송신 구조로써 하이브리드 직교 폴라 송신 구조를 제안하고 송신기의 성능 열화 요소 분석을 시뮬레이션을 통해 수행하였다. 또한 상용 부품을 이용하여 구현된 송신기의 성능 분석을 실시하여 그 성능을 검증하였다. 먼저 성능 열화 요소 분석에서 VVA의 슬루율에 의한 시뮬레이션 분석 결과 약 20 V/μsec 이상의 슬루율이 보장되어야 WCDMA 방사 마스크를 만족함을 확인하였으며, 크기 변조 신호와 위상 변조 신호의 상호 시간 지연 분석 결과 최대 1/64 칩까지의 시간 지연만이 WCDMA 방사 마스크를 만족함을 확인하였다. DAC 비트 수 분석 결과 최소 10 비트가 보장되어야 WCDMA 방사 마스크를 만족함을 확인하였다. 또한 제안된 하이브리드 직교 폴라 송신기의 성능 분석을 위해 상용 부품을 이용하여 실제 송신기를 구현하였다. 소출력 무선 통신 기기의 성능 측정을 위한 성능 요구 규격은 3GPP 규격을 참조하였다. 먼저 채널과워 측정 결과 약 -0.05 dBm 임을 확인하였으며, 이 때의 ACLR 측정 결과 +/- 3.54 MHz 오프셋에서 약 35.61 dB임을 알 수 있었다. 스펙트럼 및 스퓨리어스 방사 마스크를 측정할 결과 모든 대역에서 성능 요구 규격을 만족하는 결과를 얻었다. 또한 EVM 측정 결과 최대 3.26 %, 평균 3.2 %의 RMS 값을 확인하였다.

폴라 송신 구조를 적용한 송신기 구현에 관한 연구 중 Skyworks 사에서 개발한 ‘Quad-Band GSM/GPRS/EDGE Polar Loop Transmitter’를 가장 큰 예로 들 수 있다. 이 송신기는 GSM 뿐만 아니라 EDGE와

GMSK를 모드 변환 없이 지원하며, 850, 900, 1800 그리고 1900 MHz 밴드에서 모든 규격을 만족하는 특성이 있다. 하지만 본 논문을 통해 구현된 하이브리드 직교 폴라 송신기에 비해 상대적으로 낮은 전송 대역폭 (약 2 MHz 내 외)을 지원하며 PA에서 상대적으로 높은 소비 전력을 요구한다. 이는 저전력, 광대역을 요구하는 소출력 무선 통신 기기에 적합하지 않다.

따라서 본 논문을 통해 구현된 하이브리드 직교 폴라 송신기는 광대역 특성과 저전력을 요구하며 다양한 통신 방식들을 수용 및 지원하는 소출력 무선 통신 기기에 적합할 것으로 예상된다. 하지만 소출력 무선 통신 기기에 대한 표준화 연구와 가능한 모든 대역을 커버할 수 있는 광대역 PLL에 대한 연구가 향후 병행되어야 할 것이다.

### 참고 문헌

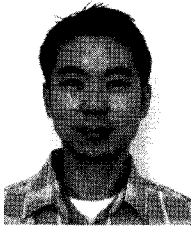
- [1] John Groe, “Polar Transmitters for Wireless Communications”, *IEEE Communications Magazine*, pp.58-63.
- [2] A. Diet, C. Berland, M. Villegas and G. Baudoin, “PWM Coding and Filtering of an OFDM Envelope Signal in a C Band EER Transmitter Architecture”, *IEEE Personal, Indoor and Mobile Radio communications*, Vol. 3, pp.2087.
- [3] Patrick Reynaert and Michiel Steyaert, “RF Power Amplifiers for Mobile Communications”, *Springer Netherlands*, p.138.
- [4] A. Castoldi, “Low-noise slew-rate free voltage preamplifier with current-limited continuous reset”, *Nuclear Instruments and Methods in Physics Research A* 512, pp.143-149.
- [5] Andrew E. Stevens, Gerald A. Miller, “A High-Slew Integrator for Switched-Capacitor Circuits”, *IEEE JOURNAL OF SOLID-STATE CIRCUITS. VOL. 29, NO. 9*, September 1994
- [6] “Digital Modulation in Communication Systems- An Introduction”, *Hewlett Packard Application Note 1298*.
- [7] J.-F. Bercher, C. Berland, “Adaptive time mismatches identification and correction in polar transmitter architecture”, *ESYCOM-ESIEE and Universite de Paris-Est*.
- [8] J.-F. Bercher, A. Diet, C. Berland, G. Baudoin,

M.Villegas, "Monte-Carlo Estimation of Time Mismatch Effect in an OFDM EER Architecture", *IEEE Communications Magazine*, pp.283-286, 2004.

- [9] Technical Specification, "3GPP TS 25.101 V5.20.0", *3rd Generation Partnership Project*, 2006-12.

**장 상 현 (Sang-hyun Chang)**

정회원



2006년 2월 공주대학교 전기전자정보공학부(공학사)  
2009년 2월 공주대학교 정보통신공학과(공학석사)  
2009년 4월~2010년 6월 한국전자통신연구원 위촉연구원  
2010년 7월~현재 한국항공우주연구원 위성기능시험팀 연구원

<관심분야> CR, SDR, 이동통신시스템 설계

**이 일 규 (Il-kyoo Lee)**

종신회원



1994년 2월 충남대학교 전자공학과(공학석사)  
2003년 2월 충남대학교 전자공학과(공학박사)  
1994년 2월~2004년 12월 한국전자통신연구원 선임연구원  
2004년 3월~현재 공주대학교 전기전자제어공학부 부교수

<관심분야> RF 시스템, 초고주파회로 설계

**김 형 중 (Hyung-jung Kim)**

정회원

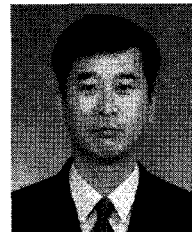


1992년 2월 한양대학교 전자공학과(공학사)  
1994년 8월 한양대학교 전자공학과(공학석사)  
2010년 8월 충북대학교 전기전자컴퓨터공학과(공학박사)  
1995년~현재 한국전자통신연구원 선임연구원

<관심분야> 디지털 RF, CR, SDR

**강 상 기 (Sang-ki Kang)**

정회원



1988년 2월 단국대학교 전자공학과(공학사)  
1989년 2월 삼성반도체통신  
1989~1992년 해군통신장교  
1994년 2월 단국대학교 전자공학과(공학석사)  
2004년 2월 충남대학교 전파공학과(공학박사)

1994년~2005년 한국전자통신연구원 선임연구원  
2006년~2008년 한국전자통신연구원 초빙연구원  
2005년~현재 군산대학교 전자정보공학부 조교수  
<관심분야> RF/MW 부품 및 시스템