

논문 2011-48TC-1-12

Gate 및 Drain 바이어스 제어를 이용한 3-way Doherty 전력증폭기의 성능개선

(Performance Enhancement of 3-way Doherty Power Amplifier using Gate and Drain bias control)

이 광 호*, 이 석 회*, 방 성 일**

(Kwangho Lee, Sukhui Lee, and Sungil Bang)

요 약

본 논문에서는 차세대 무선통신 중계기 및 기지국용 50W급 Doherty 전력증폭기를 설계 및 제작하였다. Doherty 전력증폭기의 보조증폭기를 구현하기 위하여 Gate 바이어스 조절회로를 사용하였다. Gate 바이어스 조절회로는 보조증폭기를 구현할 수 있으나 Doherty 전력증폭기의 출력특성을 개선하기에는 제한된 특성을 가졌다. 이를 해결하고자 Drain 바이어스 조절회로를 첨가하였다. 그리고 Doherty 전력증폭기의 효율을 개선하고자 일반적인 2-way 구조가 아닌 3-way 구조를 적용하여 3-way GDCD(Gate and Drain Control Doherty) 전력증폭기를 구현하였다. 비유전율(ϵ_r) 4.6, 유전체 높이(H) 30 Mill, 동판두께(T) 2.68 Mill(2 oz)인 FR4 유전체를 사용하여 마이크로스트립 선로와 칩 커패시터로 정합회로를 구성하였다. 실험결과 3GPP 동작 주파수 대역인 2.11GHz ~ 2.17GHz에서 이득이 57.03 dB이고, PEP 출력이 50.30 dBm, W-CDMA 평균전력 47.01 dBm, 5MHz offset 주파수대역에서 -40.45 dBc의 ACLR로써 증폭기의 사양을 만족하였다. 특히 3-way GDCD 전력증폭기는 일반전력증폭기에 비해 동일 ACLR에 대하여 우수한 효율 개선성능을 보였다.

Abstract

In this thesis, 50W Doherty amplifier was designed and implemented for Beyond 3G's repeater and base-station. Auxiliary amplifier of doherty amplifier was implemented by Gate bias control circuit. Though gate bias control circuit solved auxiliary's bias problem, output characteristics of doherty amplifier was limited. To enhance the output characteristic relativize Drain control circuit. And To improve power efficiency make 3-way Doherty power amplifier. therefore, 3-way GDCD (Gate and Drain bias Control Doherty) power amplifier is embodied to drain bias circuit for General Doherty power amplifier. The 3-way GDCD power amplifier composed of matching circuit with chip capacitor and micro strip line using FR4 dielectric substance of specific inductive capacity(ϵ_r) 4.6, dielectric substance height(H) 30 Mills, and 2.68 Mills(2 oz) of copper plate thickness(T). Experiment result satisfied specification of amplifier with gains are 57.03 dB in 2.11 ~ 2.17 GHz, 3GPP frequency band, PEP output is 50.30 dBm, W-CDMA average power is 47.01 dBm, and ACLR characteristics at 5MHz offset frequency band station is -40.45 dBc. Especially, 3-way DCHD power amplifier showed excellence efficiency performance improvement in same ACLR than general doherty power amplifier.

Keywords : doherty, power amplifier, gate bias, drain bias

I. 서 론

현재의 이동통신 시스템은 다양한 응용분야와 접목

되어 이용되고 있다. 기존의 대화 형태의 통신에서 시작하여 문자를 주고받거나 영상을 주고받는 등 다양한 형태의 응용 분야에 접목되면서 다양한 멀티미디어 및 정보서비스를 고품질로 제공하기 위해 변화되고 있다. 이로 인해 광대역화 및 이동성을 지향한 이동통신기술, 양방향 디지털 방송 및 광대역 멀티미디어 기술 등의 다양한 매체 및 서비스가 융합된 초고속 디지털 융합

* 학생회원, ** 평생회원-교신저자, 단국대학교 (Dankook University)

※ 이 연구는 단국대학교 대학원 연구보조장학금의 지원으로 이루어진 것임.

접수일자: 2010년9월14일, 수정완료일: 2011년1월14일

서비스에 대한 연구 개발이 진행되고 있다. 이와 같은 복합 무선통신기기는 광대역을 이용해 대용량의 데이터를 초고속으로 전송하는 무선통신기와 ubiquitous 개념의 computing 기술이 융합한 형태로 서비스가 제공될 것이다.

네트워크상의 접속구간 중에서 무선을 이용하는 휴대용 단말기와 기지국간의 기술적인 전송여건에 따라 이동통신의 전반적인 통화품질 및 기타 서비스 수준이 결정된다. 이와 같은 무선전송구간을 구성하는 여러 가지 시스템의 핵심적인 기술적 내용은 여러 가지가 있으나, 기지국의 송신 전단부 및 중계기에서 사용하는 전력증폭기가 가장 중추적인 역할을 수행한다. 즉 전력증폭기는 제한된 대역 내에서 선형변조된 신호를 왜곡 없이 전달하고, 다수의 채널신호를 동시에 증폭해야 하므로 높은 전력효율과 선형성을 갖는 전력증폭기가 요구된다^[1~3]. 그러므로 전력증폭기의 선형성과 효율은 회로를 설계할 때 고려해야 할 중요한 요소 중 하나라고 할 수 있다.

전력증폭기의 선형성을 유지하면서 효율을 증대시킬 수 있는 기술들은 다양하게 연구되고 있다. Khan technique으로 불리는 EER(Envelope elimination and restoration) 기술은 탁월한 효율 개선 효과를 나타내지만 협대역 응용에만 적용 가능하다는 한계를 가지고 있다. 이 외에도 LINC, Envelope Following, Envelope Tracking, Switch-mode Amplifier 등과 같은 방법들이 있지만 구조가 복잡하고 설계가 힘들다는 단점이 있어, 최근 가장 많은 주목을 받고 있는 방법은 Doherty 구조를 이용한 방법이다.

Doherty 전력증폭기는 다른 기술에 비해서 구현이 쉽고 간단한 구조를 가지고 있으며, 다른 효율 개선 기술들에 비해서 대역폭이 넓고, 다른 선형화 기법들과의 접목이 용이하다는 장점이 있다^[4~5].

Doherty 전력증폭기가 기존의 전력증폭기에 비해 우수한 전력효율을 가지려면 MOSFET의 바이어스 전압 조절이 매우 중요하다. 그래서 본 논문에서는 Gate 바이어스와 Drain 바이어스조절회로를 설계 적용하여, Doherty 전력증폭기의 구조상의 바이어스 문제와 효율 및 출력특성을 개선할 수 있는 방안을 제안하였다. 또한 기본적인 Doherty 전력증폭기 구조는 주증폭기 하나와 보조증폭기 하나를 가지는 2-way 구조를 가지는 데 비해서, 본 논문에서 제시한 3-way Doherty 전력증폭기는 보조증폭기를 하나 더 추가시켜 3-way 구조를

사용하였다. 3-way 구조는 2-way 구조에 보다 더 높은 전력효율특성을 얻을 수 있으며, 특히 저 전력에서는 매우 우수한 전력효율특성을 가진다.

II. 3-way Doherty 전력증폭기

1. Doherty 전력증폭기의 기본원리

Doherty 전력증폭기의 가장 기본적인 원리는 Active load-pull 기법이다. 이 기법은 동위상에 두 개의 전류원이 있을 때 부하의 저항 또는 리액턴스 성분이 다른 전류원에 의하여 변하는 것을 이용하는 기법이다. 이를 이용하여 부하의 임피던스를 조절하여 부하에 최대의 전력을 전달할 수 있게 한다. active load-pull 기법의 기본적인 동작원리는 그림 1과 같다.

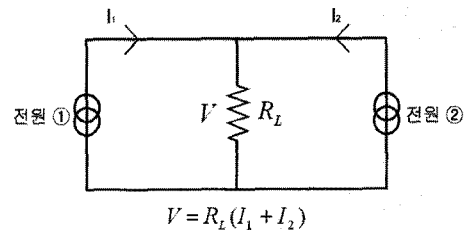


그림 1. Active load-pull 기법

Fig. 1. Active load-pull technique.

전원 ①과 전원 ②에서 바라본 등가저항의 크기는 각각 식 (1)과 식 (2)와 같다.

$$R_1 = R_L \left(\frac{I_1 + I_2}{I_1} \right) \quad (1)$$

$$R_2 = R_L \left(\frac{I_1 + I_2}{I_2} \right) \quad (2)$$

두 개의 다른 전원을 RF 증폭소자 트랜스컨덕턴스 전원으로 고려한다면, 하나의 RF 증폭소자에서 바라본 출력임피던스는 다른 전원에 의해 변한다는 것을 착안할 수 있다.

2. 3-way Doherty 전력증폭기의 동작 특성

앞에서 언급한 Active load-pull 기법은 Doherty 전력증폭기에서 입력전력에 따라 부하의 크기를 조절하는 Load modulation 기법으로 확장하여 사용할 수 있다^[6~8]. 그림 2는 3-way Doherty 전력증폭기의 부하 임피던스 변조를 보여준다.

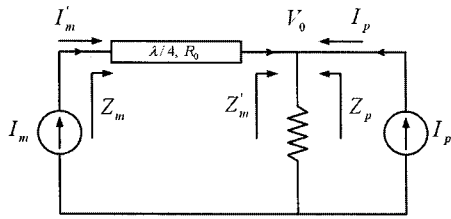


그림 2. 3-way Doherty 전력증폭기의 Load modulation
Fig. 2. Load modulation of 3-way Doherty power Amp.

I_m 과 I_p 는 각각 주증폭기와 보조증폭기를 나타낸다. 3-way Doherty 전력증폭기는 동일한 크기의 증폭기 3 개를 하나는 주증폭기로 다른 2개는 보조증폭기로 쓰기 때문에 이론적으로는 I_p 는 I_m 의 2배의 값까지 가질 수 있다. Load modulation 기법으로 식 (3)과 식 (4)와 같은 부하 임피던스 식을 얻을 수 있다.

$$Z'_m = \frac{V_o}{I'_m} = \frac{R_0}{3} \left(\frac{I'_m + I_p}{I'_m} \right), \quad 0 \leq I_p \leq I'_m \quad (3)$$

$$Z_m = \frac{R_0^2}{Z'_m} = \frac{3R_0}{1 + I_p/I'_m} = \frac{3R_0}{1 + \alpha}, \quad 0 \leq \alpha \leq 2 \quad (4)$$

위의 수식에서 만약 I_p 가 0이 되면, 보조증폭기가 turn-off되고 Z'_m 이 $R_0/3$ 가 되고 $\lambda/4$ 임피던스 변환기에 의해 주증폭기에서 바라본 임피던스 Z_m 이 $3R_0$ 가 된다. 만약 보조증폭기가 모두 동작하여 I_p 가 I_m 의 2배가 되면, Load에 흐르는 전류가 $3I_m$ 이 되어 Z_m 과 Z_p 가 모두 R_0 가 됨을 알 수 있다. 따라서 3-way Doherty 전력증폭기는 Z_m 이 $R_0 \sim 3R_0$ 사이의 값으로 부하 변조될 수 있다.

전원 ②가 turn-off 되면 $Z_1 = 2R_0$ 가 되고, 전원 ②가 turn-on 되어 동일한 전류를 가지면 $Z_1 = Z_2 = R_0$ 가 된다. 전원 ②가 증가함에 따라 Z_1 은 $2R_0$ 에서 R_0 로 변하게 된다. 즉, 증폭소자에서 바라본 부하의 크기는 고정되어 있는 것이 아니라 다른 전원의 동작 상태에 따라 부하의 크기가 달라진다. 부하의 크기를 조절하여 부하에 최대의 전력을 전달하여 효율을 향상시킨다.

3. 3-way Doherty 전력증폭기의 효율 특성

주증폭기와 보조증폭기가 class-B 바이어스 포인트에 있다고 가정하면 3-way Doherty 전력증폭기의 효율은 다음과 같이 구할 수 있다^[9].

3-way Doherty 전력증폭기의 낮은 입력전력레벨에서의 효율은 주증폭기만 class-B 바이어스 포인트에 있기 때문에 B급 효율 78.5 % ($=\pi/4$)를 가지므로 식 (5)와 같이 나타낼 수 있다.

$$\eta = \frac{\pi}{4} \cdot \frac{3 \cdot v_o}{v_{max}} \quad (5)$$

높은 입력전력레벨에서는 주증폭기와 보조증폭기가 모두 동작하므로 RF 출력전력 POUT은 식 (6)과 같다.

$$P_{out} = \left(\frac{3 \cdot I_{max}}{4} \right) \left(\frac{v_o}{v_{max}} \right)^2 V_{dc} \quad (6)$$

이 영역에서 주증폭기와 보조증폭기에 의해 소비되는 DC전력은 식 (7)과 같다.

$$P_{DCM} = \left(\frac{v_o}{v_{max}} \right) \left(\frac{I_{max}}{v_{max}} \right) V_{dc} \quad (7)$$

$$P_{DCA} = \left(\frac{3 \cdot v_o}{v_{max}} - 1 \right) \left(\frac{I_{max}}{\pi} \right) V_{dc}$$

전체 DC전력은 주증폭기와 보조증폭기의 합과 같으므로 식 (8)과 같이 나타낼 수 있다.

$$P_{DC} = \left(\frac{I_{max}}{\pi} \right) \left[4 \left(\frac{v_o}{v_{max}} \right) - 1 \right] V_{dc} \quad (8)$$

그러므로 높은 입력전력레벨에서의 효율은 식 (9)와 같이 나타낼 수 있다.

$$\eta = \frac{P_{out}}{P_{DC}} = \frac{\pi}{4} \cdot \frac{3 \cdot \left(\frac{v_o}{v_{max}} \right)^2}{4 \cdot \left(\frac{v_o}{v_{max}} \right) - 1} \quad (9)$$

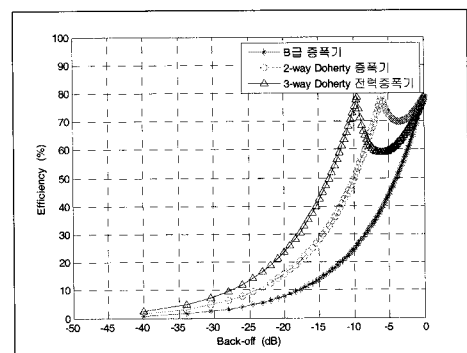


그림 3. 3-way Doherty 증폭기와 2-way Doherty 증폭기, B급 증폭기의 효율 특성
Fig. 3. Efficiency of 3-way Doherty, 2-way Doherty and class-B power Amp.

3-way Doherty 전력증폭기의 효율 특성은 그림 3과 같다. 그림 3과 같이 3-way Doherty 전력증폭기는 9.5 dB 떨어진 지점에서 최대효율을 갖는 것을 알 수 있다. 최대 효율을 갖는 출력전력 9.5 dB back-off 지점에서는 2-way Doherty 전력증폭기보다 효율이 약 25 %, 3.5 dB back-off 양이 커지며, B급 증폭기보다는 효율이 약 50 %, 10 dB back-off 양이 커짐에 따라 2-way Doherty 전력증폭기나 일반적인 A급이나 B급 전력증폭기보다 우수함을 알 수 있다.

III. 3-way GDCD 전력증폭기의 설계

1. 3-way GDCD 전력증폭기의 증폭단 설계

3-way GDCD 전력증폭기의 구동단은 MHL21336 Power Module로 구성을 하였다. MHL21336 Power Module은 A급 증폭기로서 순수한 외부 RF 신호를 받아들여 충분한 출력을 내도록 구동증폭기의 역할을 한다. 중간단에서는 MRF21045 FET를 사용하여 마지막 단에 충분한 크기를 가지는 신호가 인가되도록 RF 신호를 증폭해주는 역할을 한다. 주증폭단은 MRF21090 FET를 사용하였다.

2. Gate 바이어스 제어부

일반적인 Doherty 전력증폭기는 주증폭기와 보조증폭기가 B급과 C급으로 구성된다. 그러나 실제 Doherty 증폭기는 주증폭기와 보조증폭기에 동일한 증폭소자를 사용하기 때문에 B급과 C급의 바이어스를 인가할 수 없다. 보조증폭기의 바이어스 문제를 해결하기 위해 입력전력에 따라 보조증폭기의 바이어스를 조절할 수 있는 회로를 구성하였다.

그림 4와 같이 인가되는 입력전력은 고주파의 RF 신호이므로 RF 신호의 포락선을 검출하면 DC 신호를 얻을 수 있다. 입력된 RF 신호는 Schottky barrier diode

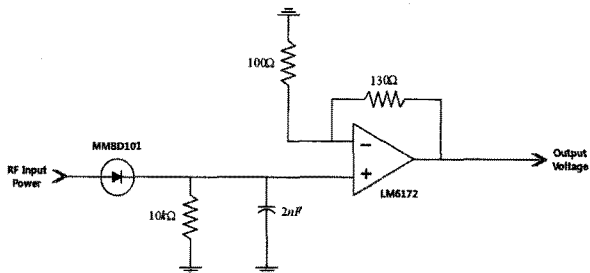


그림 4. Gate 바이어스 조절 회로의 블록도
Fig. 4. A block diagram of Gate bias control circuit.

MMBD101을 사용하여 반파정류 한다. 반파정류 된 신호는 저항과 캐패시터의 시정수를 이용하여 DC 신호로 변환한다. 변환된 DC 신호는 그 크기가 매우 작기 때문에 보조증폭기의 바이어스로 사용할 수 없으므로 선형 증폭기 LM6172를 사용하여 보조증폭기의 적정 바이어스가 인가되도록 DC신호를 증폭시켰다. 선형증폭기의 비반전 증폭특성을 이용하여 선형증폭기의 출력을 Gate 바이어스에 직접 인가하도록 하였다.

3. Drain 바이어스 제어부

이상적인 MOSFET은 포화영역에서 일정한 출력특성을 가지는 반면, 실제 MOSFET은 Drain 바이어스에 따라 출력특성이 달라진다. 특히 Gate 바이어스에 의해 출력저항의 크기가 달라지는 Doherty 전력증폭기 구조에서는 출력전력에 따른 최적의 Drain 바이어스 점을 조절하여야 한다. 그래서 그림 5와 같은 Drain 바이어스 조절회로를 구성하였다.

그림 5와 같이 인가되는 RF 입력전력은 변환회로를 거쳐 DC 전압으로 변환되어 ADC AD775에 인가된다. AD775에서 변환된 8bit 신호는 DSP TMS320C6711에서 Digital potentiometer AD8400의 10bit 제어신호로 변환된다. 제어신호를 받은 Digital potentiometer는 DC-DC 변환기 V24A28C400B의 출력저항을 변화시켜 Power Supply에서 공급되는 정전압을 가변시켜 Drain 바이어스를 제어할 수 있게 하였다.

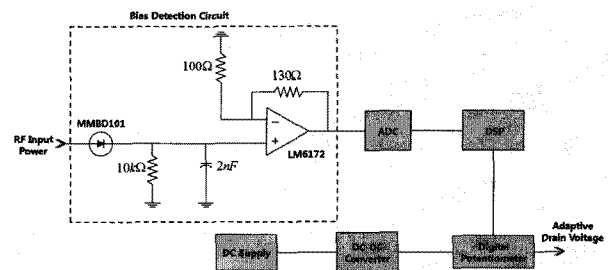


그림 5. Drain 바이어스 조절 회로의 블록도
Fig. 5. A block diagram of Drain bias control circuit.

IV. 3-way GDCD 전력증폭기의 제작 및 측정

본 논문에서는 비유전율(ϵ_r) 4.6, 유전체 높이(H) 30 Mill, 동판두께(T) 2.68 Mill(2 oz)인 FR4 기판을 사용하여 3-way GDCD 전력증폭기를 제작하였다. 그리고 이득 특성과 스펙트럼 출력측정에는 각각 CW 신호와 1FA W-CDMA 신호를 인가하여 측정을 하였다. 그림

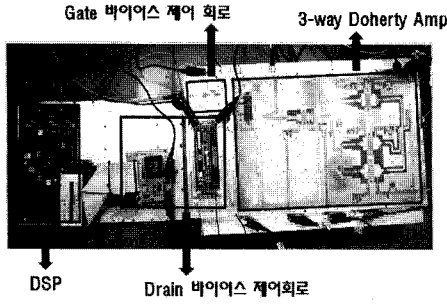


그림 6. 3-way GDCD 전력증폭기의 실물 사진
Fig. 6. Photograph of 3-way GDCD Power Amp.

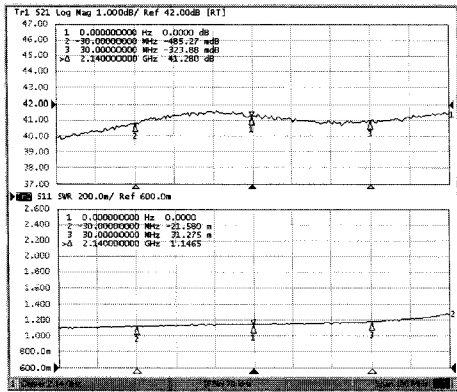


그림 7. 구동단과 중간단의 이득특성
Fig. 7. Gain of Driving stage and Intermediate stage.

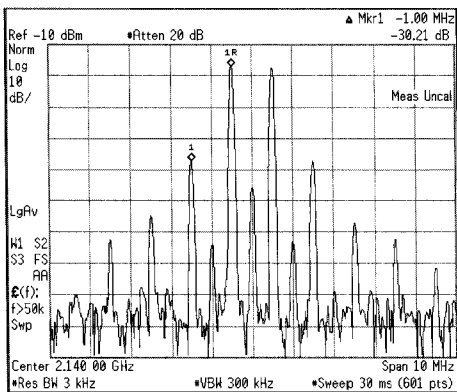


그림 8. 구동단과 중간단의 PEP출력
Fig. 8. PEP of Driving stage and Intermediate stage.

6은 실제 제작된 3-way GDCD 전력증폭기의 실물 사진을 보여주는 그림이다.

Network Analyzer를 사용하여 2.09 GHz~2.19 GHz 까지 측정된 3-way GDCD 전력증폭기의 구동단과 중간단의 이득특성은 그림 7과 같다.

측정된 구동단과 중간단의 이득은 2.14 GHz 중심주파수에서 41.28 dB이다. 구동단의 이득 30 dB와 Wilkinson Divider의 전달특성 -3.2 dB를 고려하면 중간단의 이득은 14.48 dB이다. 이득평탄도는 최대 0.485

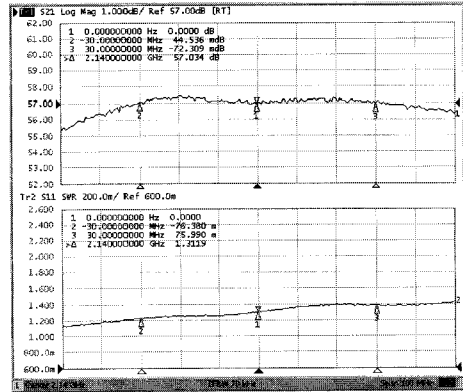


그림 9. 3-way GDCD 전력증폭기의 전체 이득특성
Fig. 9. Total Gain of 3-way GDCD power Amp.

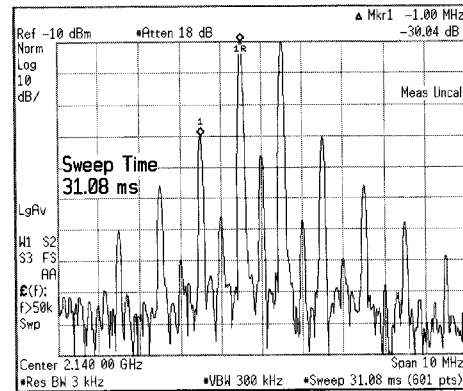


그림 10. 3-way GDCD 전력증폭기의 최종 PEP특성
Fig. 10. PEP of 3-way GDCD power Amp.

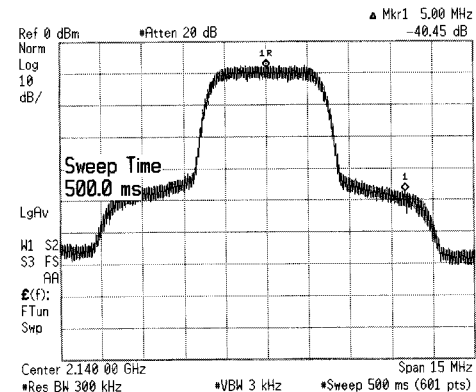


그림 11. 3-way GDCD 전력증폭기의 ACLR 출력특성
Fig. 11. ACLR of 3-way GDCD power Amp.

dB로 지지국의 이득평탄도 기준을 만족하였다.

그림 8은 Spectrum Analyzer를 사용하여 구동단과 중간단의 PEP 출력을 측정한 그림이다. 그림 8과 같은 스펙트럼분포에서 Power Meter로 측정된 PEP는 43.02 dBm (20.04 W)이다.

3-way GDCD 전력증폭기의 전체 이득특성과 2.14 GHz 중심주파수에서 측정된 최종 PEP 출력은 각각 그

림 9, 그림 10과 같다. 3-way GDCD 전력증폭기의 전체 이득은 2.14 GHz에서 57.03 dB이며, PEP 출력은 그림 10과 같은 스펙트럼분포에서 Power Meter로 측정된 결과 60.3 dBm (107.15 W)이다.

그림 11과 같이 3-way GDCD 전력증폭기의 ACLR 출력특성은 -40.45 dB이다. 3-way GDCD 전력증폭기도 3GPP 전력증폭기의 ACLR 출력규격을 만족한다. 그림 11과 같은 ACLR 스펙트럼분포에서 Power Meter로 측정된 평균 출력전력은 47.01 dBm (50.23 W)이다.

V. 결 론

본 논문에서는 3GPP 규격의 50 W급 Doherty 전력증폭기를 설계·제작하였다. Doherty 전력증폭기는 보조증폭기의 구현이 어려운 문제점이 있어, 보조증폭기의 바이어스 조절 문제를 Gate 바이어스 조절회로로 해결하였고, 효율 및 선을 위하여 Drain 바이어스 조절회로를 적용하였다.

3-way GDCD 전력증폭기의 정합회로는 마이크로스트립 선로로 구현하였으며, 칩 커패시터를 사용하였다. 성능평가는 Network Analyzer와 Spectrum Analyzer, Power Meter를 이용하였으며, 이득특성과 스펙트럼 출력측정에는 각각 CW 신호와 1FA W-CDMA 신호를 인가하여 측정하였다.

측정결과 3GPP의 Downlink 주파수 대역 2.11 GHz ~ 2.17 GHz에서 57.03 dB의 이득특성과 50.30 dBm의 PEP 출력, 47.01 dBm의 W-CDMA 출력을 얻었다. 제작된 증폭기의 선형성을 알아보기 위해 ACLR을 측정된 결과 5 MHz에서 -40.45 dBc의 결과를 얻어 3GPP 전력증폭기 규격을 만족하였다.

향후 3-way GDCD 전력증폭기가 기존의 실제 증폭기 및 기지국에 사용되기 위해서는 시스템의 부피를 줄이고, 효율개선 능력을 향상시키기 위하여 입력신호 레벨에 따른 고속 Drain 바이어스 제어에 관한 연구가 계속 되어야 할 것이다.

참 고 문 헌

[1] Boucher, J. R., Cellular Radio Handbook, Quantum Publishing, 1991.
 [2] Calhoun, G., Digital Cellular Radio, Artech House Inc., 1988.
 [3] Haykin, S., Communication Systems, John Wiley

and Sons, New York, 1994.

[4] Andre G. Metzger, Lawrence E. Larson, Peter M. Asbeck, "An Extended Doherty Amplifier With High Efficiency Over a Wide Power Range", *IEEE Transactions on Microwave theory and techniques*, Vol. 49, No. 12, December 2001.
 [5] Youngoo Yang, Jeongheyeon Cha, Bumjae Shin, Bumman Kim, "A Fully Matched
 [6] P. B., Kenington, 'High-Linearity RF Amplifier Design, Artech House Inc, Norwood, MA, 2000.
 [7] Steve C. Cripps, RF Power Amplifiers for Wireless Communications, Artech House Inc, Norwood, MA, 2000.
 [8] 金尙沂, "Design and Implementation of Linear Power Amplifier for PCS Basestation", 단국대학교 석사학위논문, 2000.
 [9] K.W.Kobayashi, A.K.Oki, A.Gutierrez-Aitken, P.Chin, Li Yang, E.Kaneshiro, P.C.Grossman, K.Sato, T.RBlock, H.C.Yen, and D.C Streitt, "An 18-21 GHz InP DHBT Linear Microwave Doherty Amplifier", *IEEE Radio Frequency Integrated Circuits Symposium*, 2000.

저 자 소 개



이 광 호(학생회원)
 2008년 단국대학교 전자공학과
 학사 졸업.
 2009년 단국대학교 전자공학과
 석사과정
 <주관심분야 : 디지털 이동통신,
 RFID>



이 석 희(학생회원)
 2004년 단국대학교 전자공학과
 학사 졸업.
 2006년 단국대학교 전자공학과
 석사 졸업.
 2008년 단국대학교 전자공학과
 박사과정 수료.
 <주관심분야 : RF Amplifier, 디지털 이동통신,
 Digital Pre-distorter, UWB, RFID>



방 성 일(평생회원)
 1984년 단국대학교 전자공학과
 학사 졸업.
 1986년 단국대학교 전자공학과
 석사 졸업.
 1992년 단국대학교 전자공학과
 박사 졸업.

1994년~1997년 (주)엘씨텍 연구소장
 1994년~현재 단국대학교 전자전기공학부 교수
 <주관심분야 : RF Amp, UWB, OFDM, 디지털
 이동통신, RFID >