

논문 2011-48SD-1-3

1.2V 10b 500MS/s 단일채널 폴딩 CMOS A/D 변환기

(An 1.2V 10b 500MS/s Single-Channel Folding CMOS ADC)

문준호*, 박성현*, 송민규**

(Junho Moon, Sunghyun Park, and Minkyu Song)

요약

본 논문에서는 LTE-Advanced, software defined radio(SRD)등 4G 이동통신 핵심기술에 응용 가능한 10b 500MS/s 0.13 μ m CMOS A/D 변환기(ADC)를 제안한다. 제안하는 ADC는 저전력 특성을 만족하기 위해 특별한 보정기법을 포함하지 않는 단일 채널 형태로 설계되었으며, 500MS/s의 고속 변환속도를 만족하기 위해 폴딩 신호처리 기법을 사용하였다. 또한 하위 7b ADC의 높은 folding rate(FR)을 극복하기 위해 cascaded 형태의 폴딩-인터폴레이팅 기법을 적용하였으며, 폴딩 버스에서 발생하는 기생 커패시턴스에 의한 주파수 제한 및 전압이득 감소를 최소화하기 위해 folded cascode 출력단을 갖는 폴딩 증폭기를 설계하였다. 제안하는 ADC는 0.13 μ m 1P6M CMOS 공정으로 설계되었으며 유효면적은 1.5mm²이다. 시제품 ADC의 INL, DNL은 10b 해상도에서 각각 2.95LSB, 1.24LSB 수준으로 측정되었으며, 입력주파수 9.27MHz, 500MHz의 변환속도에서 SNDR은 54.8dB, SFDR은 63.4dBc의 특성을 보인다. 1.2V(1.5V)의 전원전압에서 주변회로를 포함한 전체 ADC의 전력소모는 150mW(300 μ W/MS/s)이다.

Abstract

A 10b 500MS/s 0.13 μ m CMOS ADC is proposed for 4G wireless communication systems such as a LTE-Advanced and SDR. The ADC employs a calibration-free single-channel folding architecture for low power consumption and high speed conversion rate. In order to overcome the disadvantage of high folding rate, at the fine 7b ADC, a cascaded folding-interpolating technique is proposed. Further, a folding amplifier with the folded cascode output stage is also discussed in the block of folding bus, to improve the bandwidth limitation and voltage gain by parasitic capacitances. The chip has been fabricated with 0.13 μ m 1P6M CMOS technology, the effective chip area is 1.5mm². The measured results of INL and DNL are within 2.95LSB and 1.24LSB at 10b resolution, respectively. The SNDR is 54.8dB and SFDR is 63.4dBc when the input frequency is 9.27MHz at sampling frequency of 500MHz. The ADC consumes 150mW(300 μ W/MS/s) including peripheral circuits at 500MS/s and 1.2V(1.5V) power supply.

Keywords : ADC, Folding, Interpolating, Cascaded folding, CMOS

I. 서론

최근 10b 해상도 수백MHz 이상의 변환속도를 갖는 고성능 ADC의 수요가 급격히 증가하고 있다. 고성능 디지털 계측기, wideband 통신 시스템 및 디지털 오실로스코프에서는 유효비트수 9b 이상을 갖는 10b 해상

도 고속 ADC가 요구되며, 특히 4G 이동통신의 핵심기술인 LTE-Advanced 및 SDR 시스템의 수신부에는 10b 해상도 500MS/s 이상의 고속 변환속도를 갖는 저전력 소면적 ADC가 반드시 필요하다^[1]. 이와 같은 고성능의 ADC를 설계하기 위해 기존에는 고해상도 구현에 적합한 SAR, pipeline 및 multi-step 구조가 많이 사용되었다. 또한 최근에는 수백MHz~수GHz에 이르는 높은 변환속도를 만족하기 위해 여러 개의 ADC를 병렬형태로 연결하여 전체 변환속도를 높이는 time-interleaved 구조의 다중채널 ADC가 활발히 연구되고 있다^[1~2]. 그러나 높은 interleaving factor를 갖는 ADC는 채널 확장에 비례하여 면적 및 전력소비가 증가하

* 학생회원, ** 정회원, 동국대학교-서울, 반도체학과 (Dongguk University-Seoul, Dept. of Semiconductor Science)

※ 본 연구는 교육과학기술부 재원으로 한국과학재단의 기초연구사업 (20100016299) 및 반도체설계교육센터(IDECC)의 지원을 받아 수행된 연구 결과임.

접수일자: 2010년4월27일, 수정완료일: 2010년12월24일

며, 클록 skew에 의한 SNDR의 감소 및 높은 latency가 요구되기 때문에 차세대 통신 시스템이 요구하는 고사양의 수신기에 SoC(System on a Chip) 형태로 구현하기 어려운 단점을 지닌다. 마찬가지로 고해상도, 고속의 변환속도로 인해 발생하는 오동작을 방지하기 위해 자가 보정기법을 사용한 ADC^[3~4]가 최근 많이 연구되고 있으나, 보정을 위한 초기 동작 지연시간 및 큰 면적소모로 인해 고성능 통신 시스템에 적용하기 어렵다는 단점이 있다. 이에 본 논문에서는 기존 8b 이하의 해상도에서 주로 사용되던^[5~6] folding 구조의 ADC를 10b 으로 확장하여 단일채널에서도 500MS/s의 높은 변환속도 및 저전력 소면적 특성을 만족하는 ADC를 제안한다.

제안하는 ADC는 특별한 보정기법 없이 최대 500MHz의 높은 변환속도를 만족하기 위해 상위(3b) 하위(7b) 분할구조로 구성되어 pipeline delay를 포함하지 않기 때문에 낮은 클록주기의 latency만으로 10b 해상도의 모든 디지털 코드를 출력하도록 설계되었다. 또한 1.2V의 낮은 전원전압에서 구동하기 때문에 낮은 전력소모 및 DSP와 같은 디지털 시스템과의 온-칩이 가능한 장점을 지닌다. 특히 10b 해상도의 folding 신호처리 시 발생할 수 있는 zero-crossing 오차를 최소화하기 위해 높은 선형성을 지닌 입력신호 처리부, 다중위상 track-and-hold 증폭기(THA) 및 folded cascode 출력부를 갖는 폴딩 증폭기 제안하여 하위 7b ADC의 zero-crossing 오차율을 최소화 하였다. 더불어 기존 folding ADC에서 주로 사용되던 인코딩 기법^[5~6]에 상·하위 ADC의 디지털 코드를 부가적인 보정기법 없이 동기화 할 수 있는 회로를 추가 적용하여 고속 동작에서 발생할 수 있는 오동작을 방지하였다.

본 논문의 기술순서는 다음과 같다. II장에서는 제안하는 10b 폴딩 ADC의 전체 구조 및 회로설계 기법에 대해 기술하며, III장에서는 설계된 ADC의 layout, post-layout 모의실험결과 및 측정결과를 정리한 후, 최종 IV장에서 결론을 맺는다.

II. 본 론

1. 10b 500MS/s Folding ADC의 구조

폴딩 ADC의 구조결정시 가장 우선적으로 고려할 사항은 해상도와 변환속도를 고려한 폴딩 인자의 설정이다. 주요한 폴딩 인자로는 FR, IR(interpolation rate) 및 NFB(Number of folding Block)가 있으며, 이 폴딩 인

자의 변수로 인해 아날로그 대역폭, 변환속도, 전력소모 및 면적특성이 결정되기 때문에 전체적인 ADC 사양 결정에 있어 폴딩 인자 설정이 가장 우선적으로 고려되어야 한다. 10b 해상도를 폴딩 ADC로 구현할 경우 3+7 또는 4+6의 상·하위 분할구조를 고려할 수 있다. 이 중 하위 ADC에서 6b 해상도를 처리하는 4+6 구조의 경우 비교기의 개수 및 디지털 신호처리에 대한 부담이 적어 3+7구조에 비해 전력 및 면적소모 측면에서 장점을 지닌다. 그러나 상위 4b ADC에 의해 결정되는 높은 FR(=16)로 인해 아날로그 입력 대역폭이 식 (1)에 의해 제약되기 때문에 이를 극복하기 위해 폴딩 증폭기를 포함한 아날로그 증폭기의 설계에 어려움이 따른다.

$$F_{fold} = \frac{\pi}{2} \times FR \times F_{input} \quad (1)$$

반면 3+7구조의 경우 하위 ADC의 비교기 개수(128개)가 4+6구조의 하위 ADC 비교기 개수(64개)에 비해 두 배 더 필요하여 높은 전력을 소모하는 단점을 지니지만, 상위 3b ADC가 요구하는 비교적 낮은 FR(=8)은 cascaded 폴딩-인터플레이팅 구조를 통해 안정적으로 신호처리가 가능하므로 입력 아날로그 대역폭을 넓게 유지할 수 있는 장점을 지닌다. 또한 비교기의 높은 전력소모는 대부분 클록 주파수에 의한 동적전류 소모에 기인하므로 1.2V의 낮은 전원전압 사용 시 비교적 적은 전력 증가만으로 구성할 수 있다. 이에 본 논문에서는 3+7구조의 상·하위 분할구조를 통해 500MS/s의 높은 변환속도를 만족하는 10b ADC를 설계하였으며, 제안하는 ADC의 전체 구조를 그림 1에 나타내었다.

2. 제안하는 ADC의 회로 설계 기법

가. 아날로그 입력신호 처리부

본 논문에서 제안하는 ADC의 입력신호 처리부는 비교기의 안정적인 디지털 코드 출력을 위한 THA와 큰 입력 커패시턴스를 갖는 전처리증폭기를 구동하기 위한 source follower (SF)로 구성된다. 이때 입력신호 처리부는 10b의 해상도를 만족하기 위해서는 반드시 최소 70dBc 이상의 SFDR 특성을 만족해야한다^[7].

500MS/s의 고속변환속도에서 70dBc의 높은 SFDR을 만족하기 위해 본 논문에서는 전형적인 gate bootstrapping 기법을 사용하여 THA의 선형성을 유지함과 동시에 낮은 total harmonic distortion(THD)을 위

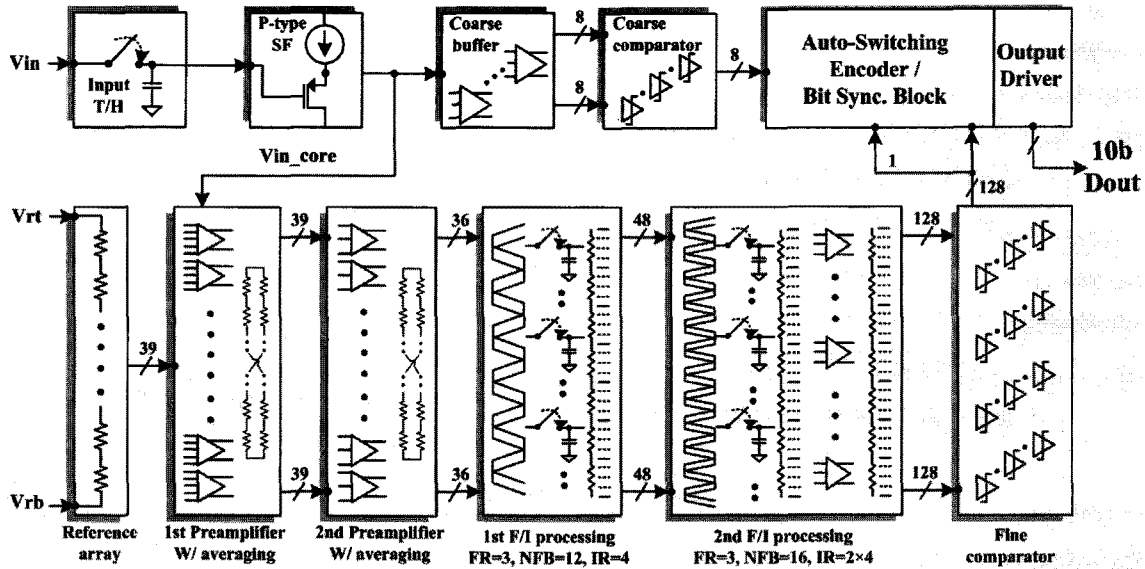


그림 1. 제안하는 10b 500MS/s 단일채널 Folding ADC
 Fig. 1. Proposed 10b 500MS/s Single-Channel Folding ADC.

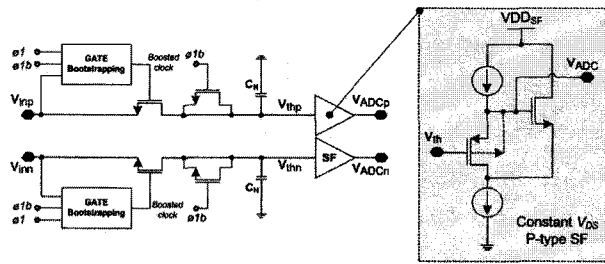


그림 2. ADC의 입력신호 처리부
 Fig. 2. Input stage of the ADC.

해 constant V_{DS} 특성의 SF를 적용하여 설계하였다^[1, 8]. 그림 2는 제안하는 ADC에 적용된 차동 아날로그 입력에 대한 입력신호 처리부이며, P-type SF의 회로도들 같이 나타내었다.

설계된 SF의 입력 p-MOS는 2pF 이하의 낮은 입력 커패시턴스 및 65m[S]이상의 높은 trans-conductance를 갖게 설계되어 약 3.5pF의 ADC 입력 커패시턴스(전처리 증폭기열의 총 입력 커패시턴스)에서 높은 선형성을 만족하며, 모의실험결과 72dBc의 SFDR 특성을 확인하였다. 그러나 설계된 SF는 높은 선형성유지를 위해 1.5V의 전원전압으로 설계되어 1.2V의 전원전압으로 구동되는 ADC에 비해 높은 전원전압을 필요로 한다. 이에 따라 약 50mW(ADC core : 100mW)의 비교적 큰 전력소모가 필요하지만, 수백 MHz 이상의 고속의 입력 주파수 인가 시 10b 해상도에서 높은 SFDR 및 낮은 THD를 유지할 수 있는 장점을 지닌다.

나. Cascaded 폴딩-인터플레이팅 신호처리

상위 ADC의 해상도가 3b로 결정됨에 따라 하위 ADC는 FR 8의 폴딩 신호처리를 수행하여야 한다. 그러나 8에 해당하는 높은 FR을 처리하기 위한 폴딩 증폭기를 설계할 경우 큰 입력 커패시턴스에 의한 전처리 증폭기의 주파수 제한 및 폴딩 증폭기 내부의 긴 폴딩 bus에서 발생하는 기생 커패시턴스로 인해 전압이득이 감소하는 문제점이 있다^[3, 5]. 이에 본 논문에서는 그림 1에서 나타낸바와 같이 높은 FR을 분산해서 처리하는 cascaded 기법을 적용하여 아날로그 최종출력의 전압이득 및 주파수 제한 문제를 극복하였다. 첫 단 폴딩-인터플레이팅 신호 처리부는 FR=3, NFB=12로 이루어져 있으며, 두 번째 폴딩-인터플레이팅 신호 처리부를 위한 출력 IR=4로 구성된다. 두 번째 폴딩-인터플레이팅 신호 처리부는 FR=3, NFB=16으로 구성되며, 최종 10b 해상도를 만족하는 1024개의 zero-crossing 생성을 위한 IR=8(2x4)로 설계되었다. 이때 첫 단 인터플레이팅 회로는 뒷단 폴딩 증폭기 입력을 위해 필요한 회로로써 전체 해상도에는 관여하지 않는다. 또한 모든 인터플레이팅 회로는 loop 형태의 저항열로 구성되어 폴딩 출력의 zero-crossing 오차를 평균화하는 효과를 기대함과 동시에 부가적인 전력소모가 필요 없는 장점이 있다. 이와 같이 높은 FR을 극복하기 위한 cascaded 폴딩-인터플레이팅 신호처리에 사용된 폴딩 증폭기의 회로도를 그림 3에 나타내었다.

본 논문에 적용된 폴딩 증폭기는 일반적인 폴딩 증폭기^[4-6]와 달리 folded cascode 형태의 출력단을 적용한

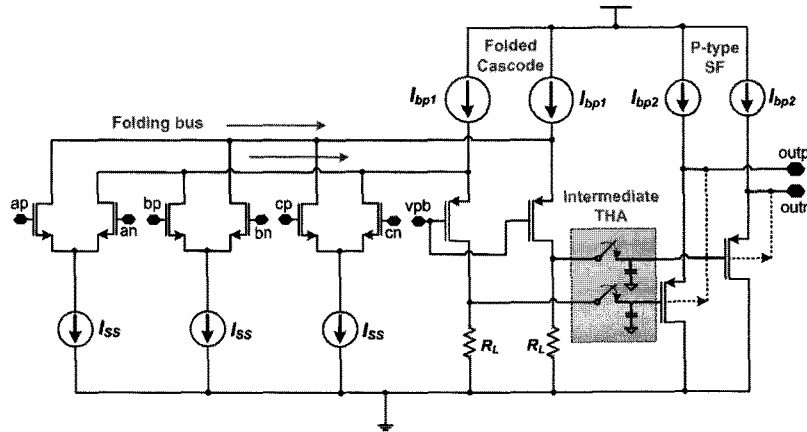


그림 3. Folded-cascode 출력단, 분산 THA 및 level-shifter를 포함한 폴딩 증폭기 (FR=3)
 Fig. 3. Folding amplifier with folded-cascode output stage, intermediate THA and level-shifter (FR=3).

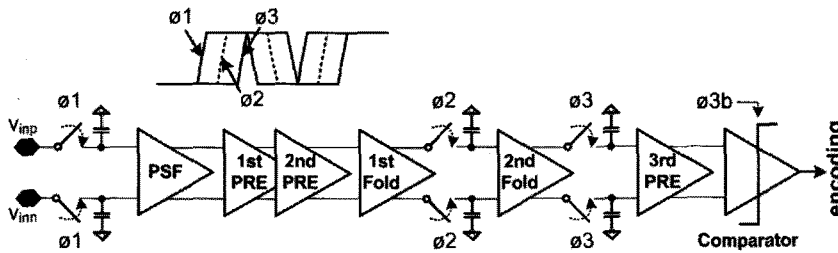


그림 4. 다중위상 Track-and-Hold Amplifier
 Fig. 4. Multi-phase Track-and-Hold Amplifier.

구조로써^[3], source 임피던스로 인해 폴딩 bus에서 발생하는 기생 커패시턴스에 의한 영향 및 전압이득 감소를 최소화함과 동시에 폴딩 증폭기의 settling 문제를 해결하기 위해 삽입한 분산형태의 THA가 발생시키는 kickback 잡음에 대한 영향을 감소시킨다. Folded cascode 출력단 및 분산 THA를 거쳐 출력된 폴딩 신호는 최종 P-type SF 출력단을 거쳐 뒷단 신호처리부로 인가되며 이때의 SF 출력은 두 번째 폴딩 증폭기 및 비교기의 입력 DC level을 결정하여 안정된 신호처리를 유도한다. 또한 Folded cascode 출력단의 R_L 은 전압이득 및 폴딩 주파수 특성을 결정하므로 반드시 FR 및 식 (2)를 고려하여 설계되어야 한다. 식 (2)의 C_L 은 출력단 R_L 에서 보이는 모든 커패시턴스의 합이며, BW 는 폴딩 증폭기의 bandwidth이다.

$$R_L = \frac{1}{2\pi \cdot BW \cdot C_L} \quad (2)$$

다. Settling-Time을 고려한 다중위상 THA

폴딩 ADC를 비롯한 모든 연속시간적인 ADC 시스템 특성상 아날로그 증폭기에서 발생하는 settling 문제는

비교기에서의 오차 코드를 생성하는 원인이 된다. 특히 본 논문의 하위 7b ADC에서 사용된 cascaded 폴딩-인터플레이팅 신호처리 기법은 여러 단의 아날로그 신호 처리부를 필요로 하기 때문에 최초 입력신호 처리부의 THA의 정보는 하위 ADC 비교기에서 오차를 발생시키거나 누락될 가능성이 매우 높다. 이와 같은 문제를 해결하기 위해 아날로그 증폭기의 출력 부분에 preset 스위치를 삽입한 형태의 신호처리 방법이 활발히 연구되었다^[9-10]. 그러나 본 논문에서는 preset 스위치를 사용하지 않고 폴딩 증폭기의 출력단에 THA를 포함하는 구조를 적용하여 여러 단의 증폭기를 사용하는 구조에서 아날로그 신호의 안정적인 settling을 유도하였다. 하위 7b ADC가 포함하는 다중위상(THA: $\phi 1 \sim 3$, 비교기: $\phi 3b$) THA의 모식도를 그림 4에 나타내었다. 특히 입력 THA와는 달리 폴딩 출력단에 삽입된 분산형태의 THA는(그림 3) 폴딩 증폭기의 낮은 DC level 출력을 고려하여 NMOS 단일 스위치로 구성되었다.

라. 상·하위 ADC 출력비트 동기화 기법

본 논문에서 제안하는 ADC는 상위 3b, 하위 7b의 분할구조로 설계되었다. 상위 3b의 경우 전처리 증폭기를

거쳐 출력된 신호가 직접 비교기에 인가되어 디지털 코드를 출력하는 반면 하위 7b의 경우 두 단의 폴딩-인터폴레이팅 신호처리를 거친 후 하위 비교기에 인가되기 때문에 상·하위 ADC의 아날로그 신호 전달시간에 필연적인 차이가 발생하게 된다. 이와 같은 경우 상·하위 ADC 지연시간을 고려하여 비교기의 클럭 위상을 다르게 가져가 설계하는 경우가 있으나 공정상의 변화로 안정적인 출력을 기대하기 어렵다. 특히 제안하는 ADC의 경우 500MHz(2nsec)의 고속 변환속도를 갖기 때문에 상·하위 비교기의 클럭 위상을 임의로 조정하는 설계방식은 적합하지 않다. 이에 본 논문에서는 그림 5와 같은 디지털 출력의 동기화 회로를 설계하여 상·하위 ADC간 발생하는 지연시간에 무관한 동기화 기법을 적용하였다^[11].

상위 3b의 인코더는 그림 5와 같이 단순 논리조합회로로 구성되며, 동시에 하위 7b 최상위 기준전압과의 비교된 디지털 출력(F0)이 상위 3b 모든 인코딩에 관여한다. 이에 따라 상위(C0~C7), 하위(F0~F128) 비교기 출력간 발생하는 지연시간의 차이는 하위 비교기 출력시간이 기준이 되어 동기화된 이진코드를 출력하게 된다. 하위 7b 인코딩의 경우 폴딩 출력의 역 thermometer 코드를 위한 스위치 동작이 반드시 필요하지만 이를 제거한 auto-switching 인코더^[5]를 사용하여 고속의 디지털 코드를 안정적으로 인코딩하였다.

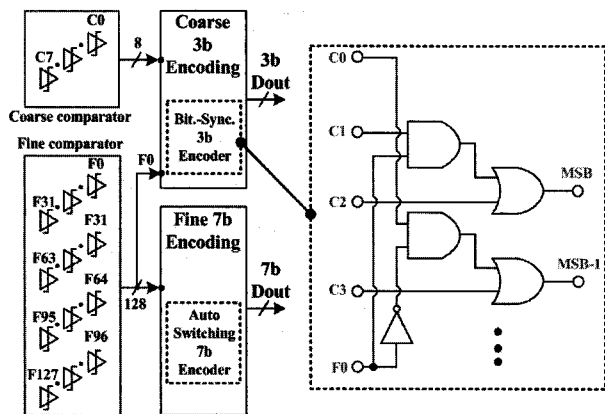


그림 5. 상·하위 출력비트 동기화 기법(상위 2b의 예)
Fig. 5. Coarse and fine bit synchronization.
(ex. coarse 2b)

III. 실험 결과

1. 제안하는 ADC의 Layout 및 모의실험 결과
본 연구에서 제안하는 ADC는 0.13 μ m 1P6M CMOS

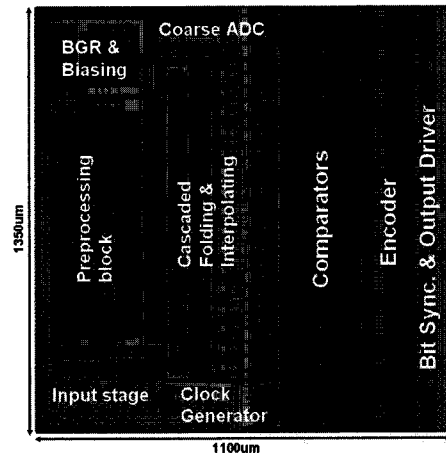
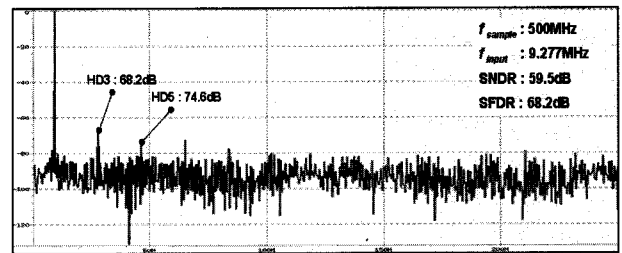
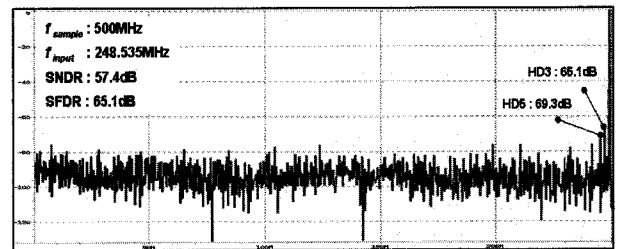


그림 6. 제안하는 ADC의 Layout
Fig. 6. Proposed ADC Layout.



(a)



(b)

그림 7. (a) 제안하는 ADC의 FFT 스펙트럼 분석 (fin=DC) (b) 제안하는 ADC의 FFT 스펙트럼 분석 (fin=nyquist)
Fig. 7. (a) FFT spectrum of the proposed ADC (fin=DC) (b) FFT spectrum of the proposed ADC (fin=nyquist).

공정을 사용하여 설계되었으며, 그림 6과 같이 고속의 아날로그 입력 인가 시 신호 선형성을 최대한 유지하기 위해 신호의 흐름을 한쪽 방향으로만 진행되게 각각의 sub-block이 배치되어 설계되었다. 클럭 발생기, 전원공급을 위한 guard-ring 및 bias block등 모든 세부 주변 회로를 포함한 제안하는 ADC의 전체 면적(입·출력 패드제외)은 1.5mm² (1100 μ m \times 1350 μ m) 이다.

제안하는 10b ADC의 성능특성을 확인하기 위해 입·출력 패드를 포함한 post-layout 모의실험을 진행

하였다. 500MS/s의 변환속도에서 저주파(≈9.277MHz) 및 nyquist(≈248.535MHz) 입력에 따른 FFT 스펙트럼(1024-point)을 그림 7에 나타내었다. 저주파의 경우 SNDR 59.5dB (ENOB 9.6b) SFDR 68.2dBc의 결과를 보이며, nyquist 입력주파수의 경우 SNDR 57.4dB (ENOB 9.3b) SFDR 65.1dBc의 모의실험 결과를 확인하였다. 모의실험상의 ERBW는 250MHz 이상을 만족하므로 제안하는 ADC는 nyquist 변환기 특성을 만족한다.

2. 측정 결과

제작된 시제품 ADC는 높은 측정 신뢰도를 위해 실시간 입출력 모니터링이 가능한 Gage社의 compuscope를 사용하여 진행되었다. 그림 8에 측정된 시제품 ADC의 INL, DNL 성능특성을 나타내었다. 500MS/s 10b 해상도에서 INL 및 DLN은 각각 최대 +2.95LSB, +1.24LSB의 성능을 보인다.

그림 9는 시제품 ADC의 측정결과로서 입력주파수 9.27MHz, 변환속도 500MHz일 때의 출력 FFT 신호 스펙트럼 출력이다.

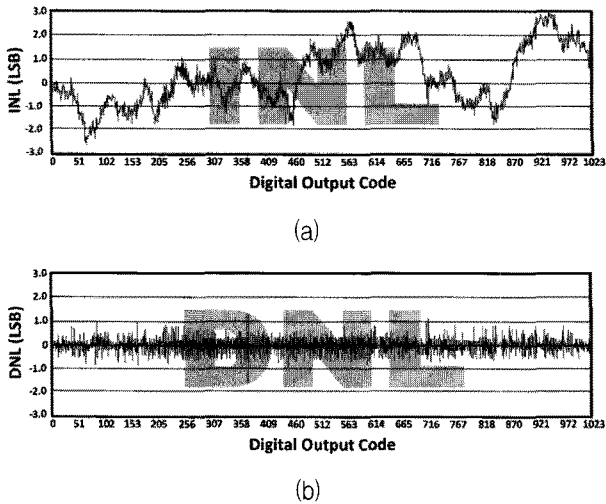


그림 8. 시제품 ADC의 (a)INL, (b)DNL 측정결과
Fig. 8. Measured (a)INL, (b)DNL of the prototype ADC.

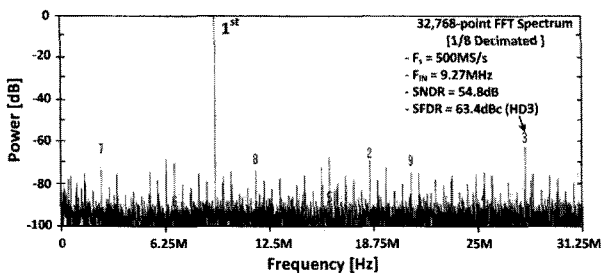


그림 9. 시제품 ADC의 FFT 스펙트럼 측정
Fig. 9. Measured FFT spectrum of the prototype ADC.

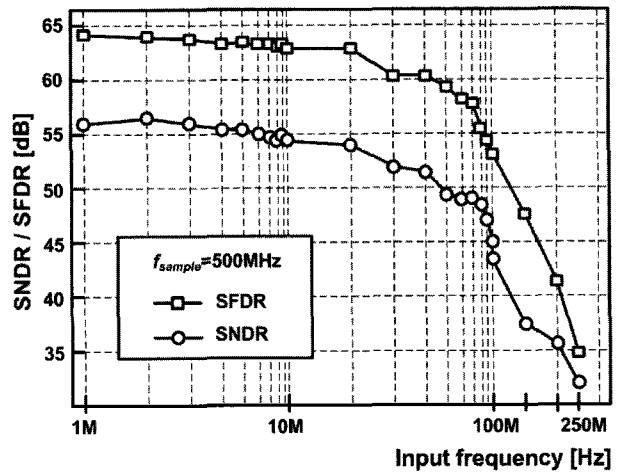


그림 10. 시제품 ADC 측정결과
Fig. 10. Measured results of the prototype ADC.

500MHz 고속의 디지털 출력을 안정적으로 확인하기 위해 ADC 출력부에 분주기를 설계하여 on-chip 하였으며, 이에 따라 1/8 down sampling된 출력 62.5MHz의 주파수를 갖는 출력 코드를 확인하였다. FFT 신호 분석결과 SNDR 54.8dB, SFDR 63.4dBc의 동적 성능특성을 확인할 수 있다. 그림 10은 500MHz의 변환속도를 유지하면서 입력 주파수를 nyquist까지 증가하였을 때의 SNDR 및 SFDR 측정결과를 도표로 나타낸 것이다. 500MHz 동작 속도에서 입력 주파수 100MHz의 측정결과 SNDR이 43dB 수준(ENOB 7b)인 것을 확인할 수 있다. 입력주파수가 증가함에 따라 SNDR을 비롯한 동적성능이 급격히 감소하는 이유는 ADC 내부 기생 성분 증가에 의한 주파수 특성 감소 및 식 (3)에^[9] 의한 클럭 발생기의 jitter 성분(10psec)에 기인함을 예상할 수 있다. 클럭의 rms jitter 값(δT)으로 표현된 7b해상도(이상적인 SNR 43.98dB)의 최대 허용 입력주파수(ω : radian)는 약 100MHz이다. 이와 같은 이론값을 본 논문의 측정결과와 비교할 경우 매우 근사하게 일치하는 것을 알 수 있다.

$$SNR = -20 \cdot \log(\omega \cdot \delta T) \tag{3}$$

IV. 결 론

본 논문에서는 4G 이동통신 시스템을 비롯해 고성능 디지털 계측기, wideband 통신 시스템 등에 적용 가능한 고성능 10b 500MS/s ADC를 제안한다. 제안하는 ADC는 500MHz의 고속 변환속도를 유지하면서 저전력

표 1. 제안하는 ADC 사양 및 측정 결과
Table 1. Performance summary of the proposed ADC.

Resolution	10bits
Conversion Rate	500MS/s
Power Supply	1.5V(input buffer) / 1.2V(ADC core)
SNDR	54.8dB (f_{in} =9.27MHz)
	52.2dB (f_{in} =38.57MHz)
SFDR	63.4dBc (f_{in} =9.27MHz)
	60.2dBc (f_{in} =38.57MHz)
Power Dissipation	150mW (300 μ W/MS/s)
INL / DNL	+2.95LSB / +1.24LSB
Active Die Area	1.5mm ² (1.1mm×1.35mm)
Process	0.13 μ m, 1P6M n-well CMOS

표 2. 500MS/s 이상의 변환속도를 갖는 10b ADC의 최근 연구동향
Table 2. Recent research of 10b ADC with conversion rate above 500MS/s.

참고문헌	구조	SNDR (dB)	변환 속도 (MHz)	전력 소모 (mW)	면적 (mm ²)	사용 공정
S. M. Louwsma, '08, JSSC, [1]	SAR (16x Interleaved)	49.3	1350	175	1.6	0.13 μ m CMOS
A. Razzaghi, '08, BCTM, [12]	Folding	51.6	1000	2000	5.3	0.35 μ m BiCMOS
A. Verma, '09, JSSC, [13]	Pipeline	52.8	500	55	0.5	90nm CMOS
R. C. Taft, '09, JSSC, [14]	Folding (2x Interleaved)	56.3	1000	1260	49 (dual)	0.18 μ m CMOS
This work	Folding	52.2	500	150	1.5	0.13 μ m CMOS

소면적 특성을 만족하기 위해 폴딩 신호처리 기법을 적용해 단일채널 형태로 설계되었으며, 효율적인 신호처리를 위해 상위 3b, 하위 7b의 분할구조로 설계함과 동시에 높은 FR을 처리하기 위해 cascaded 폴딩-인터폴레이팅 신호처리 기법을 적용하였다. 특별한 보정기법을 포함하지 않는 제안하는 ADC는 10b 해상도를 만족할 수 있는 고성능 입력신호 처리부, zero-crossing 오차 및 비교기 오동작을 최소화하기 위한 다중위상 THA를 포함하여 성능을 향상시켰다. 특히 folded cascode 출력부를 갖는 폴딩 증폭기를 설계하여 하위 7b ADC의 zero-crossing 오차를 감소 및 주파수 특성을 향상시켰으며, 상·하위 ADC의 출력 비트간 발생할 수 있는 지연시간 오차를 방지하기 위한 동기화 기법을 적용하여 고속의 변환속도에서도 안정적인 성능특성을

보인다.

제안하는 설계기법을 적용한 시제품 ADC는 0.13 μ m 1P6M n-well CMOS 공정으로 제작되었으며, 유효면적은 1.5mm²이다. 1.2V(1.5V)의 전원전압 및 500MHz의 변환속도에서 주변회로를 포함해 약 150mW의 전력을 소모하는 저전력의 특성을 만족하며, 측정결과 입력주파수 40MHz 이하에서 약 52dB 이상의 SNDR 성능특성을 보인다. 표 1에는 본 논문을 통해 제안된 ADC의 주요 사양과 실험결과를 나타내었으며, 표 2에 10b 해상도에서 500MS/s 이상의 고속 변환속도를 갖는 ADC의 최신 연구동향을 본 연구결과와 비교 정리하였다.

참고 문헌

- [1] Simon M. Louwsma, et al., "A 1.35GS/s, 10b, 175mW Time-Interleaved AD Converter in 0.13 μ m CMOS" *IEEE J. Solid-State Circuits*, vol 43, no. 4, pp. 778-786, April 2008.
- [2] Sandeep K. Gupta, et al., "A 1-GS/s 11-bit ADC with 55-dB SNDR, 250-mW Power Realized by a High Bandwidth Scalable Time-Interleaved Architecture," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2650-2657, Dec. 2006.
- [3] Robert C. Taft, et al., "A 1.8-V 1.6-GSample/s 8-b Self-Calibrating folding ADC With 7.26 ENOB at Nyquist Frequency," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2107-2115, Dec. 2004.
- [4] Ivan Bogue and Michael P. Flynn, "A 57dB SFDR Digitally Calibrated 500MS/s folding ADC in 0.18 μ m digital CMOS," in *Proc. IEEE CICC*, Sept. 2007, pp. 337-340.
- [5] 정승휘, 박재규, 황상훈, 송민규, "1.8V 8-bit 500MSPS Cascaded-Folding Cascaded-Interpolation CMOS A/D 변환기의 설계," *대한전자공학회논문지*, 제43권 SD편, 제5호, 1-10쪽, 2006년 5월.
- [6] 문준호, 황상훈, 송민규, "저전력 Folding-Interpolation 기법을 적용한 1.8V 6-bit 100MS/s 5mW CMOS A/D 변환기의 설계," *대한전자공학회논문지*, 제43권 SD편, 제8호, 19-26쪽, 2006년 8월.
- [7] Huseyin Dinc and Phillip E. Allen, "A 1.2 GSample/s Double-Switching CMOS THA With -62 dB THD," *IEEE J. Solid-State Circuits*, vol. 44, no. 3, pp. 848-861, March 2009.
- [8] Andrew M. Abo and Paul R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-

Digital Converter,” *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999.

[9] Michael Choi and Asad A. Abidi, “A 6b 1.3Gsample/s A/D Converter in 0.35- μ m CMOS,” *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1847-1858, Dec. 2001.

[10] Govert Geelen and Edward Paulus, “An 8b 600MS/s 200mW CMOS folding A/D Converter Using an Amplifier Preset Technique,” in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 254-256.

[11] Yuchu Li, et al., “A Wide Input Bandwidth 7-bit 300-MSample/s Folding and Current-Mode Interpolating ADC,” *IEEE J. Solid-State Circuits*, vol. 38, no. 8, pp. 1405-1410, Aug. 2003.

[12] Alireza Razzaghi, et al., “A Single-Channel 10b 1GS/s ADC with 1-cycle Latency using Pipelined Cascaded Folding,” in *Proc. BCTM*, Oct. 2008, pp. 265-268.

[13] Ashutosh Verma and Behzad Razavi, “A 10-Bit 500-MS/s 55-mW CMOS ADC,” *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 3039-3050, Nov. 2009.

[14] Robert C. Taft, et al., “A 1.8V 1.0GS/s 10b Self-Calibrating Unified-Folding-Interpolating ADC With 9.1 ENOB at Nyquist Frequency,” *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3294-3304, Dec. 2009.

저 자 소 개



문 준 호(학생회원)
 2005년 동국대학교 반도체과학과 학사 졸업.
 2007년 동국대학교 반도체과학과 석사 졸업.
 2007년~현재 동국대학교 반도체과학과 박사과정 재학.

<주관심분야 : CMOS 아날로그 회로 설계, 고성능 데이터 변환기, 저 전력 혼성모드 회로 설계>



박 성 현(학생회원)
 2009년 동국대학교 반도체과학과 학사 졸업.
 2009년~현재 동국대학교 반도체과학과 석사과정 재학.

<주관심분야 : CMOS 아날로그 회로 설계, 고성능 데이터 변환기, 저 전력 혼성모드 회로 설계>



송 민 규(정회원)
 1986년 서울대학교 전자공학과 학사 졸업.
 1988년 서울대학교 전자공학과 석사 졸업.
 1993년 서울대학교 전자공학과 박사 졸업.

1993년~1995년 동경대학교 초빙연구원.
 1995년~1997년 삼성전자 ASIC 설계팀 연구원.
 1997년~현재 동국대학교 반도체과학과 교수.
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전력 혼성모드 회로 설계, 데이터 변환기 설계>