

논문 2011-48SD-1-2

# 60GHz 대역 WPAN을 위한 4.8Gb/s QPSK 복조기

( A 4.8-Gb/s QPSK Demodulator For 60-GHz WPAN )

김 두 호\*, 최 우 영\*\*

( Duho Kim and Woo-Young Choi )

## 요 약

60GHz 대역 wireless personal area network(WPAN)을 위한 QPSK 복조기를 보인다. Mixed-mode QPSK 복조방식을 이용하여 전력소모와 면적을 줄였다. 설계된 회로는 60nm CMOS Logic 공정을 통해 제작되었으며, 4.8GHz 캐리어에서 최대 4.8Gb/s의 QPSK신호를 복조할 수 있다. 이 주파수에서, 복조기는 1.2V전원에서 54 mW를 소모하며,  $150 \times 150 \mu\text{m}^2$ 의 면적을 차지한다. 제작된 칩을 이용하여, 60GHz 링크에서 1.7GSymbol/s QPSK신호의 송신 및 복조 실험결과를 보인다.

## Abstract

A mixed-mode QPSK demodulator for 60-GHz wireless personal area network application is demonstrated. In this work, mixed-mode QPSK demodulation scheme achieving low power consumption and small area is employed. The prototype chip realized by 60-nm CMOS Logic process can demodulate up to 4.8-Gb/s QPSK signals at 4.8-GHz carrier frequency. At this carrier frequency, the demodulator core consumes 54 mW from 1.2-V power supply while the chip area is  $150 \times 150 \mu\text{m}^2$ . Using the fabricated chip, transmission and demodulation of 1.7-GSymbol/s QPSK signal in 60-GHz link is demonstrated.

**Keywords :** QPSK, 복조기, 60GHz, WPAN, CDR

## I. 서 론

최근 들어, 60GHz WPAN에 대한 관심이 높아지는 가운데, IEEE 802.15.3c의 규격이 발표되었다<sup>[1]</sup>. 이 규격에서는 Gb/s급의 데이터를 지원하도록 하므로, 이를 만족할 수 있는 광대역 복조기의 구현 또한 중요도가 높아졌다. 일반적으로 복조기는 디지털 방식으로 구현되나, 높은 전송속도는 이에 필요한 ADC의 설계를 어렵

게 한다. IEEE 802.15.3c는 1.7GSymbol/s의 샘플링속도를 필요로 하며<sup>[1]</sup>, 이를 만족하는 ADC는 전력소모가 크고, 넓은 면적을 차지한다. 본 연구진은 1비트 샘플링을 이용하는 mixed-mode 방식의 BPSK 복조방식을 보인 바 있으며, 이를 통해 전력소모와 면적을 크게 줄일 수 있었다<sup>[2-3]</sup>. 이 논문들에서는, BPSK 신호를 Hard limiter를 이용해, slicing하면 베이스밴드에서 볼 수 있는 NRZ 신호의 형태로 변환된다는 것을 보였으며, 따라서 mixed-mode 방식의 클럭 데이터 복원 회로를 BPSK 신호의 복조에 적용할 수 있음을 보였다. 본 논문에서는 이를 QPSK 복조기로 확장시킨다. 1비트 샘플링은 채널 등화기 등의 복잡한 디지털 연산에는 충분한 정보를 제공하지 못하지만, RF 회로들의 선형성 요구조건을 완화할 수 있고, 간단하게 구현이 가능하므로, 짧은 거리의 line-of-sight 응용분야에서 충분히 이득을 얻을 수 있을 것이다.

\* 학생회원, \*\* 정회원-교신저자, 연세대학교 전기전자공학과

(Department of Electrical and Electronic Engineering, Yonsei University)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)[KI002145, 차세대 광통신용 디지털 신호처리 기반 초고속 CMOS 회로 설계 기술]의 일환으로, 반도체설계교육센터(IDEC)의 설계 툴 지원을 받아 수행되었습니다.

접수일자: 2010년10월19일, 수정완료일: 2010년12월29일

## II. 본 론

### 1. Mixed-mode QPSK 복조방식

다음 수식은 각 I, Q채널 데이터 (DI, DQ)를  $\omega$ 의 주파수를 갖는 캐리어로 변조한 QPSK 신호를 나타낸다.

$$QPSK(t) = DI \cos \omega t + DQ \sin \omega t. \quad (1)$$

여기에서 DI와 DQ는 High일 때 1의 값을 가지며, Low일 때 -1의 값을 가진다. 그림 1은 QPSK 변조된 신호의 4가지 심볼을 Time domain에서 나타낸 것이다. Hard limiter를 이용해 Slicing된 QPSK 심볼은 4비트의 NRZ 데이터와 같은 파형을 나타낸다. 따라서, 베이스밴드에서 NRZ 데이터의 클럭을 복원하는 CDR 회로를

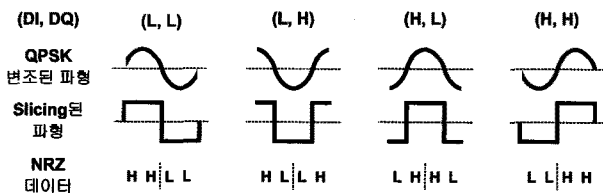


그림 1. Time domain에서, Slicing된 QPSK 변조 신호의 심볼

Fig. 1. Sliced QPSK symbols in time domain.

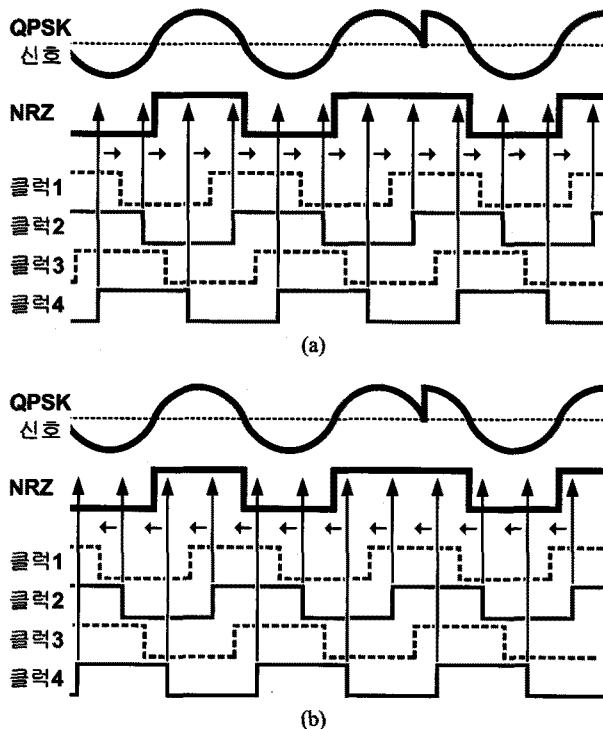


그림 2. Quad-rate CDR을 이용한 QPSK 변조된 신호의 위상 추적

Fig. 2. Phase-tracking of QPSK-modulated signal with quad-rate CDR.

이용하면, 복조기의 클럭을 QPSK 신호에 동기시킬 수 있다. 그림에서 볼 수 있듯이, 각 심볼들에 대응되는 NRZ 데이터들은, 뒤의 두 비트가 원래의 DI, DQ값과 같은데, 이는 또한 앞의 두 비트의 반전된 값이다. 따라서 QPSK 변조된 신호는 앞의 두 비트를 반전함으로써, 복조된다.

QPSK의 네가지 위상에 모두 동기를 유지하기 위하여, 4개의 위상 고정지점을 갖는 Quad-rate CDR의 구조를 이용할 수 있다. 그림 2는 Quad-rate CDR을 이용한 QPSK 신호의 위상 추적을 보이고 있다. Quad-rate CDR은 4개의 다중위상 클럭들과 그 반전들을 사용하는데, 그 중 클럭 2와 4는 천이시점을 따라가게 된다. 그림 2(a)에서는 클럭 2와 4의 상향 또는 하향 천이가 NRZ의 천이시점보다 빠른 경우이고, 이때는 CDR 회로가 클럭의 위상을 느리게 조정한다. 반대의 경우는 그림 2(b)와 같고, 이때는 위상을 빠르게 조정한다. 동기를 이루고 난 뒤에는, 클럭 1과 3의 상향, 하향 천이시점이 NRZ 비트의 가운데에 오게 된다.

그림 3은 제안된 구조에서 QPSK신호의 데이터 판정 과정을 나타내고 있다. 주어진 DI, DQ에 대해서 변조된 QPSK 신호는 그림에 도시된 바와 같다. 앞에서 설명한 바와 같이, 동기를 이룬 뒤에는 클럭 1과 3이 NRZ 데이터 비트의 가운데에 위치한다. 그림에서 화살표는 샘플링 지점을 나타내며, 실선은 클럭1, 점선은 클럭3을

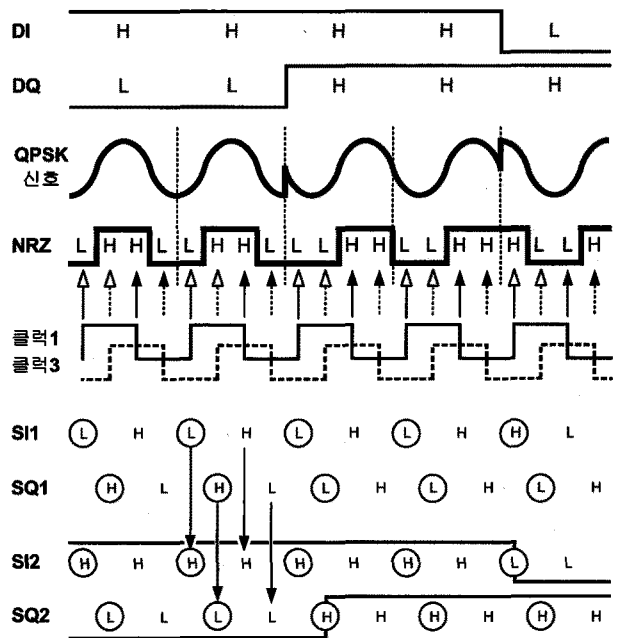


그림 3. 데이터 검출 과정

Fig. 3. Data detection flow.

이용한다. 또한 끝이 하얀 화살표는 상향 천이를, 끝이 검은 화살표는 하향 천이를 나타낸다. SII과 SQI은 각각 클럭 1과 클럭 3의 상향, 하향 천이에서 샘플링한 결과를 나타낸다. 마지막으로, 하향 천이에서 샘플링된 값들, 즉 SII과 SQI에서 동그라미로 표시된 데이터를 반전하면, SI2와 SQ2와 같고, 이는 DI, DQ의 값과 같다.

2. 회로 구현

그림 4는 설계된 복조기의 블록도를 보이고 있다. 이 구조는 앞서 설명된 반전기능을 추가하는 블록을 제외하면, 디지털 방식의 Quad-rate bang-bang 위상검출기와 아날로그 방식의 위상조정 블록(전압제어발진기, 루프 필터)으로 이루어지는 CDR과 동일하다. Bang-bang 타입의 디지털 위상검출기는 큰 값의 루프필터를 필요로 하므로 칩 외부에 구현하였다. 전압제어 발진기는 4단의 링 형태로 구현되었으며, 45도 간격의 위상차를 갖는 클럭들을 발생시킨다.

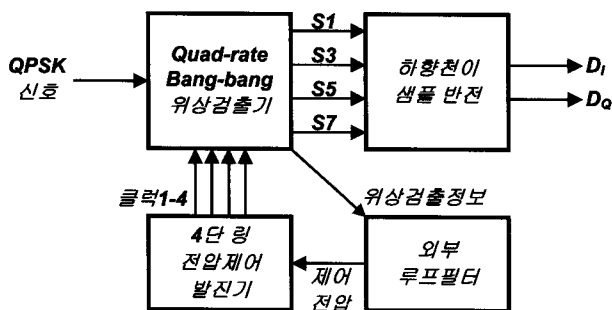


그림 4. 설계된 복조기의 블록도  
Fig. 4. Block diagram of prototype chip.

A. 위상검출기

QPSK신호에 적용되는 위상검출기는 입력신호의 위상이 복조기 클럭의 위상보다 빠르니 느린지를 검출하며, 동기를 얻은 후에는 이를 유지할 수 있어야 한다. 이와 같은 기능은 tri-state 위상검출기 4개(PD1-4)를 연동하여 구현할 수 있다. 이 때, 각각의 위상검출기는 4개의 위상 영역 (315~45°, 45~135°, 135~225°, 225~315°)에 할당된다. 그림 5(a)는 이 위상검출기의 동작을 나타낸다. 수직의 실선은 할당된 위상영역을, 수직 점선은 4개의 고정지점(0°, 90°, 180°, 360°)을 나타낸다. 이 위상검출기는 최종적으로 그림 5(b)와 같이 360° 내에 4개의 고정지점을 갖게 된다.

그림 6은 설계된 위상검출기의 블록도이다. 이 위상검출기는 일반적인 Quad-rate 위상검출기<sup>[4]</sup>의 구조를

차용하였으며, 앞에서 설명한, 하향 천이시에 샘플링한 값들을 반전하는 기능을 포함한다. 위상검출기는 D플립플롭(D1-8), XOR 게이트(X1-8), 비교기(C1-4)로 구성되며, 반전기능을 위해 두 개의 멀티플렉서들(M1-2)이 추가되었다. M1과 M2는 D플립플롭들(S1, S3, S5, S7)의 출력을 이용하여 double-edge triggered flip-flops을 구성하는데, 하향 천이에서 샘플링된 입력(S5 또는 S7)은 반전하여 사용한다. 따라서 M1은 클럭1이 low일 때, S1을 출력하고, high일 때는 S5의 반전된 값을 출력한다. M2도 같은 동작을 S3과 S7에 대하여 수행한다. 그림에는 도시되지 않았으나, 부하 커패시턴스를 동일하게 유지하기 위해, S2, S4, S6, S8에 적용되는 두 개의 멀티플렉서가 추가되었다.

D플립플롭을 구성하는 Latch와 XOR 게이트는 그림 7에 도시된 CML(current mode logic) 형태의 멀티플렉서 회로를 기본으로 구현되었다. CML 형태의 장점으로, 공통모드잡음에 강하다는 것과, 전류의 스위칭을 통

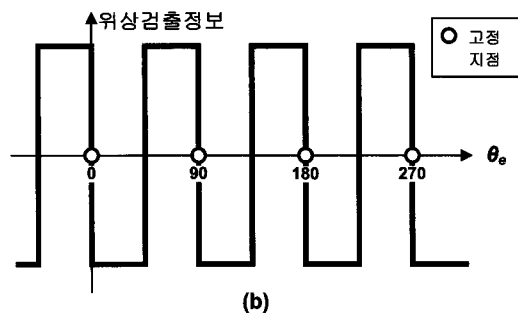
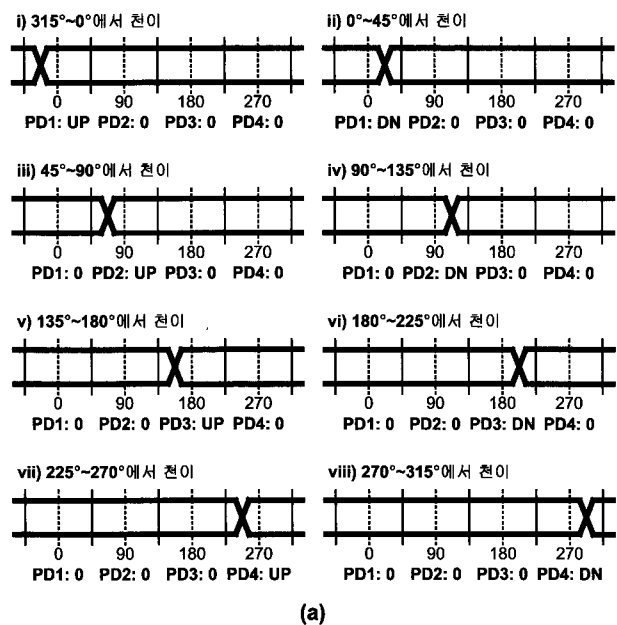


그림 5. 위상검출기의 동작  
Fig. 5. Operation of phase detector.

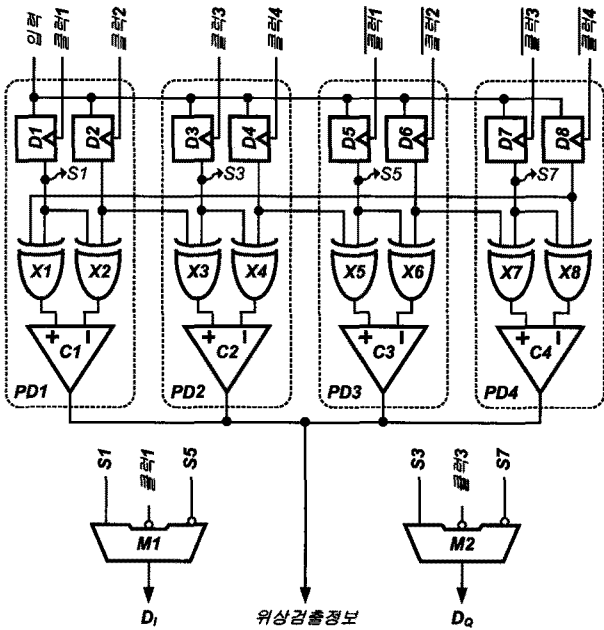


그림 6. 위상검출기의 블록도  
Fig. 6. Block diagram of phase detector.

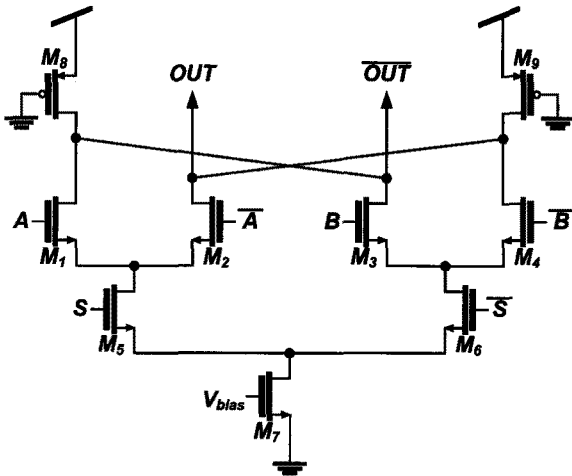


그림 7. 멀티플렉서의 회로도  
Fig. 7. Schematic of multiplexer.

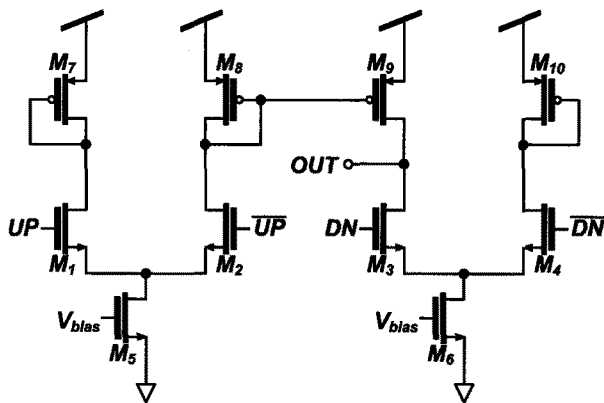


그림 8. 전하펌프의 회로도  
Fig. 8. Schematic of charge pump.

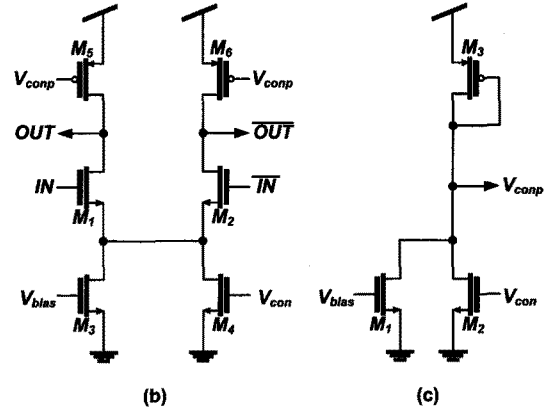
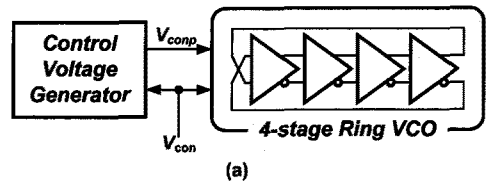


그림 9. 전압제어발진기의 회로도  
Fig. 9. Schematic of VCO.

해 고속 동작에 용이하다는 것을 들 수 있다. 비교기는 그림 8과 같은 전하펌프를 이용하여 구현되며, 4개의 비교기 출력의 합은 전류의 합으로 나타내어진다. 마찬가지로 고속 동작으로 위해 차동구조를 이용하였다.

B. VCO

이전의 BPSK 복조기 구현<sup>[2]</sup>에서는 semi-digital DLL<sup>[5]</sup>의 방식이 사용되었고, 이 구조는 입력을 추적하는 루프와 클럭을 생성하는 루프가 분리되어 링 형태의 전압제어발진기에서 생성되는 위상잡음을 줄일 수 있었다. 하지만, 4개의 다중위상 클럭을 만들기 위해 4개의 위상분할기를 사용해야 하므로 면적과 전력소모가 커지는 문제가 있다. 링 형태의 전압제어발진기는 LC 형태의 전압제어발진기보다 위상잡음 성능이 좋지 못하나, LC 형태의 전압제어발진기에서 다중위상을 만들기 위해서는 여러 개의 인덕터를 사용해야 하므로 큰 면적을 차지하게 된다<sup>[4, 6]</sup>. 따라서 이 구현에서는 위상 잡음 성능이 좋지 못해도 작은 면적을 차지하는 4단의 링 전압제어발진기를 직접 조정하는 방식을 이용하였다.

4단 링 전압제어발진기는 그림 9(a)와 같이 구현되었다. 그림 9(b)의 지연 셀은 M4의 전류를 통해 조정되며, 전류가 바뀌어도 출력 스윙이 유지되도록 PMOS 부하(M5, M6)도 함께 조정해준다. 이 기능은 그림 9(c)의 제어전압 발생기를 통해 구현된다.

### III. 실 험

설계된 칩은 60nm CMOS Logic 공정을 통해 제작되었다. 그림 10은 제작된 칩의 레이아웃을 보이고 있다. 복조기 코어의 면적은  $150 \times 150 \mu\text{m}^2$  이다. 제안된 복조방식을 검증하기 위하여, 임의파형발생기(AWG)를

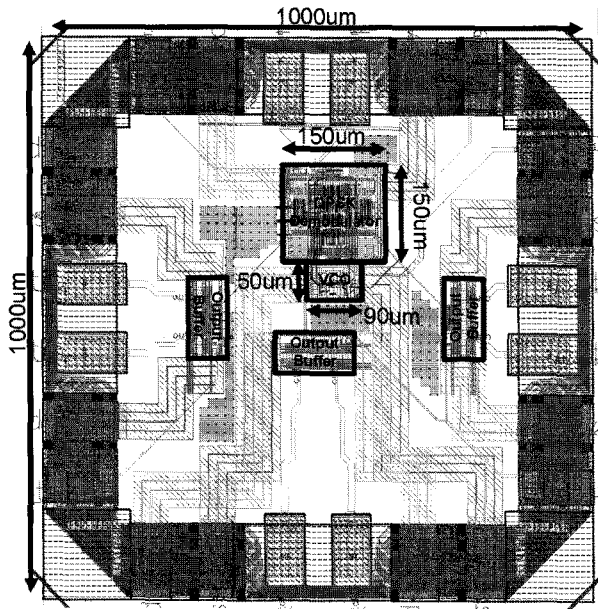


그림 10. 제작된 칩의 레이아웃  
Fig. 10. Layout of fabricated chip.

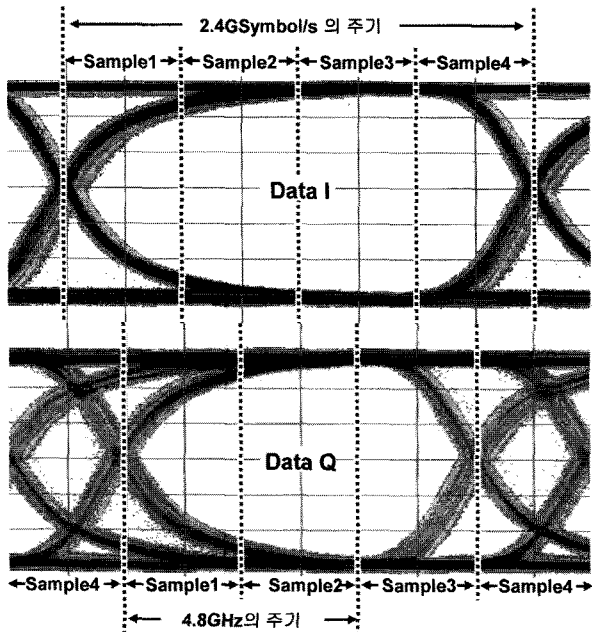


그림 11. 복조된 데이터의 아이 다이어그램 (back-to-back)  
Fig. 11. Eye-diagram of demodulated data (back-to-back).

이용하여 4.8GHz 캐리어로 변조한 2.4GSymbol/s의 QPSK신호를 생성하였다. 이 신호는 각 I/Q채널로 2.4Gb/s의 전송속도를 가지므로, 총 4.8Gb/s의 전송속도를 나타낸다. 이와 같은 조건에서, 복조기 코어는 1.2V 전원으로부터 54mW의 전력을 소모한다. 그림 11은 각 I/Q 채널에서 복조된 데이터이다. 2.4GSymbol/s의 QPSK 신호가 4.8GHz 클럭의 상향 하향 천이 모두에서 샘플링되므로, 하나의 데이터 비트당 4개의 샘플을 얻을 수 있다. 복조된 I/Q 채널의 데이터는 4.8GHz 클럭의 1/4 주기만큼 틀어져 있는데, 이것은 I/Q클럭이 90도만큼의 위상차를 가지며 샘플링하기 때문이다. Sample4에서 입력 심볼의 천이는 아이 다이어그램 상에서 두 개의 선으로 나타나는 것을 볼 수 있다.

표 1. 제작된 칩의 성능  
Table 1. Performance of fabricated chip.

공정	60nm CMOS Logic
최대 데이터 속도	4.8Gb/s (전체) 2.4 Gb/s (I/Q 각각)
캐리어 주파수	4.8 GHz
면적	$1 \times 1 \text{ mm}^2$ (패드포함) $150 \times 150 \mu\text{m}^2$ (복조기) $50 \times 90 \mu\text{m}^2$ (발진기)
전원전압	1.2 V
소모전력	113 mW (I/O포함) 54 mW (복조기+발진기)

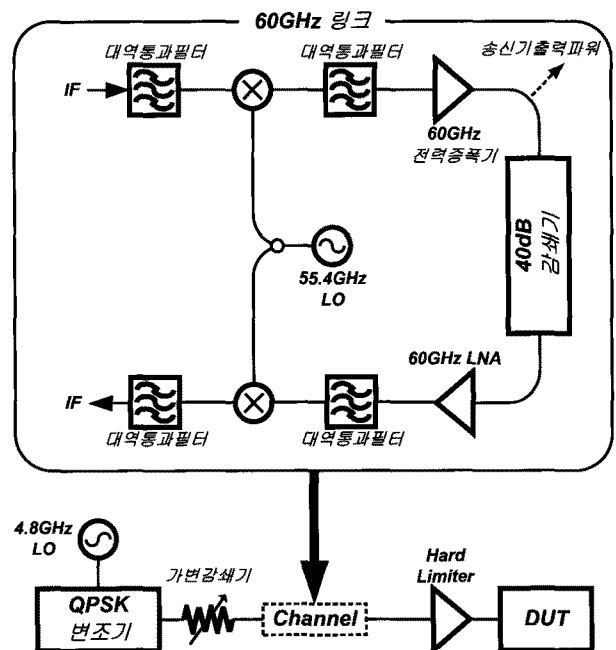


그림 12. 60GHz 링크 실험 셋업  
Fig. 12. Measurement setup of 60-GHz link.

이것은 Quantized timing error<sup>[2]</sup>로, CDR 회로를 거친다면 사라질 것이다. 제작된 칩의 성능을 표 1에 나타내었다.

제작된 칩은 그림 12에 나타난 상용소자들을 이용해 만들어진 60GHz 링크 상에서 검증되었다. 40dB 감쇄기는 1미터의 공기 중에서 나타나는 60GHz대역의 손실을 모델링하며, 이때의 송수신기에서는 15dBi의 지향성 안테나를 사용하는 것으로 가정한다. 전체 링크는 4.75GHz의 대역폭과, 12dB의 손실을 가진다. 이 실험 셋업에서는 하나의 LO에서 송신기와 수신기의 RF 클럭신호를 제공하지만, 이들이 주파수 오차를 가지고 있어도, 제작된 칩은 이를 보상할 수 있다. IEEE 802.15.3c의 규격에서 제안하는 1.7GSymbol/s의 QPSK 신호는 그림 13에 나타난 QPSK 변조기를 통해 생성된다. 두 대의 programmable pattern generator (PPG)는 I/Q 채널에 데이터를 제공한다. 이 때, 두 PPG는 동기

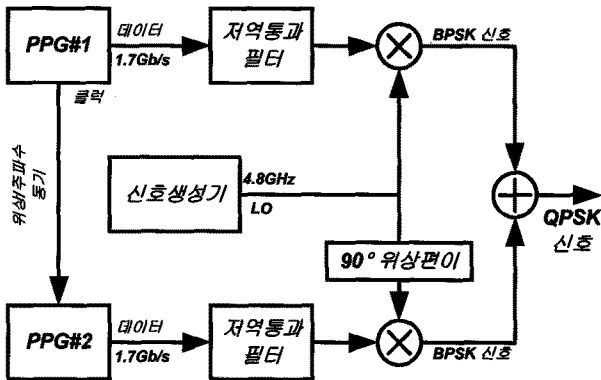


그림 13. QPSK 변조기의 블록도  
Fig. 13. Block diagram of QPSK modulator.

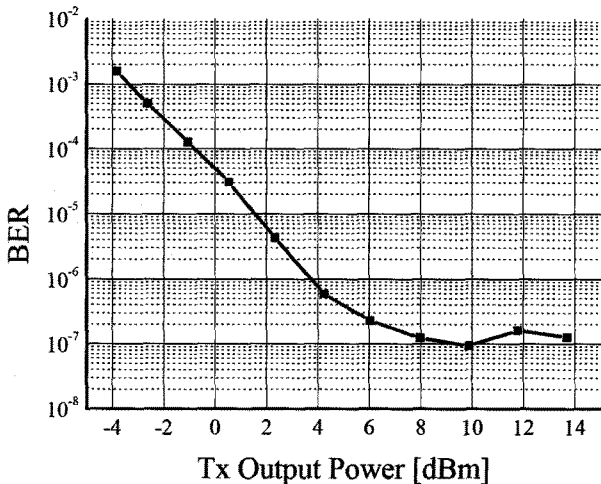


그림 14. 송신기 출력 전력에 대한 BER  
Fig. 14. BER curve vs. Tx output power.

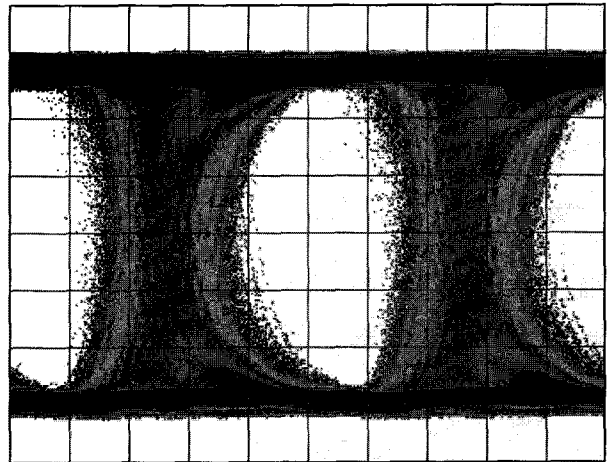


그림 15. 복조된 데이터의 아이 다이어그램 (60GHz 링크)  
Fig. 15. Eye-diagram of demodulated data (60-GHz link).

되어 있어야 하는데, 이는 위상 또는 주파수의 오차가 심볼의 천이시점을 틀어지게 할 수 있기 때문이다. 저역통과필터는 생성된 데이터의 대역폭을 제한하고, 두 개의 믹서로 이들을 BPSK신호로 만들어준다. 이때, 각 믹서에 들어가는 클럭들은 90도의 위상차를 갖게 하며, 이들을 합한 신호가 QPSK 변조된 신호이다. 그림 14는 송신기 출력 전력에 대한 측정된 BER의 그래프이다. 제작된 칩은 4dBm이상의 송신기 출력파워에서, 10<sup>-6</sup> 이하의 BER을 달성하였다. 이때의 아이 다이어그램을 그림 15에 나타내었다. 아이 다이어그램의 천이시점이 두 겹게 나오는 것은 quantized timing error<sup>[2]</sup>에서 기인한다. BER 은 10<sup>-7</sup> 이하로는 내려가지 않는데 이는 송신기나 수신기의 I/Q 채널 오차 또는 RF와 IF에서 생성하는 클럭의 위상잡음 때문인 것으로 추정된다.

#### IV. 결 론

60GHz 대역 WPAN을 위한 Mixed-mode 방식의 QPSK 복조기를 설계하고 검증하였다. 제안된 복조방식은 ADC대신 1비트 샘플링을 사용하여, 전력소모와 칩 크기를 줄였다. 제작된 칩은 4.8GHz의 캐리어 주파수로 변조된 4.8GSymbol/s의 QPSK신호를 복조하였으며, 60GHz 대역 링크 상에서도 IEEE 802.15.3c에서 규정하는 1.7GSymbol/s의 전송속도를 만족하였다.

#### 참 고 문 헌

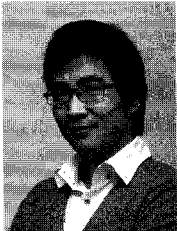
[1] Wireless MAC and PHY Specifications for High

- Rate WPANs, *IEEE Std 802.15.3c*, 2009.
- [2] Duho Kim, Kwang-chun Choi, Young-Kwang Seo, Hyunchin Kim, and Woo-young Choi, "A 622-Mb/s mixed-mode BPSK demodulator using a half-rate bang-bang phase detector," *IEEE Journal of Solid-State Circuits*, vol. 43, issue 10, pp. 2284-2292, Oct. 2008.
- [3] Kwang-Chun Choi, Duho Kim, Minsu Ko and Woo-Young Choi, "1-Gb/s mixed-mode BPSK demodulator using a half-rate linear phase detector for 60-GHz wireless PAN applications," *IEEE ASSCC proceedings of Technical Papers*, pp. 357-360, Nov. 2008.
- [4] Jri Lee and Behzad Razavi, "A 40-Gb/s clock and data recovery circuit in 0.18- $\mu$ m CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 38, issue 12, pp. 2181-2190, Dec. 2003.
- [5] Stefanos Sidiropoulos and Mark A. Horowitz, "A Semidigital Dual Delay-Locked Loop," *IEEE Journal of Solid State Circuit*, Vol 37, No. 11, pp. 1683-1692, Nov. 1997.
- [6] Jonathan E. Rogers and John R. Long, "A 10-Gb/s CDR/DEMUX With LC Delay Line VCO in 0.18- $\mu$ m CMOS," *IEEE Journal of Solid State Circuit*, Vol 37, No. 12, pp. 1781-1789, Dec. 2002.

---

 저 자 소 개
 

---



김 두 호(학생회원)  
 2004년 연세대학교 전기전자  
 공학과 학사 졸업.  
 2007년 연세대학교 전기전자  
 공학과 석사 졸업.  
 2007년~현재 연세대학교 전기  
 전자공학과 박사과정.

<주관심분야 : 고속 인터페이스 회로, 클럭 복원  
 회로, 복조기 회로>



최 우 영(정회원)-교신저자  
 1986년 MIT, EECS, B.S.  
 1988년 MIT, EECS, M.S.  
 1994년 MIT, EECS, Ph.D.  
 1994년~1995년 일본 NTT 광전  
 자연연구소 Post-Doctoral  
 Fellow

1995년~현재 연세대학교 전기전자공학과  
 정교수.

<주관심분야 : 고속 회로 및 시스템, 광전자 및  
 마이크로 웨이브 포토닉스>