

# 무선 전력전송용 송수신 칩 설계

이강윤 (건국대학교)

## I. 서론

본 원고에서는 무선 전력 전송용 송수신 칩의 구조 및 설계 이슈에 대해서 설명하고, 각 구성 블록들의 동작 원리를 살펴본다. 또한, 무선 전력 전송의 효율을 향상시키기 위한 시스템 구조 및 Rectifier, DC-DC Converter, LDO Regulator, Power Amp 등에 대해서 기본적인 동작 원리부터 최근 설계 동향에 대해서 다룬다.

무선 전력 전송용 수신기는 소형화가 필요하므로 집적회로(IC)의 형태로 구현되어야 경쟁력을 가질 수 있다. 하지만, 수신기의 입력 전압이 수 V에서 수십 V로 크게 변하는 환경에서도 동작을 해야 하므로, 고전압 MOSFET을 사용해야 한다. 고전압 MOSFET의 문턱 전압이 높으므로, 수신기의 입력 파워가 작을 때는 효율을 감소시키게 된다. 따라서, 고전압 MOSFET을 이용하여 높은 효율을 달성할 수 있는 Rectifier의 설계가 요구된다.

또한, 입력 파워가 너무 작을 경우, 수신기 내부의 회로들이 동작하기 위한 최소 공급 전압을 만족하지 못하게 되므로, Voltage Multiplier를 사용해야 할 수도 있다. 하지만, 높은 전압에 대해서 Voltage Multiplier를 사용하게 될 경우, 내부 전압이 너무 올라가게 되는 문제도 발생한다. 따라서, 넓은 동적 입력 영역(Dynamic Input Range)에서 동작하는 효율적인 수신기 구조를 정하는 문제는 매우 중요하다고 할 수 있다.

Active Rectifier, DC-DC Converter, Regulator 등의 구성 블록들의 효율이 전체 수신기의 효율을 결정하므로, 최대의 효율을 얻을 수 있는 회로 구조에 대한 고찰이 필요하다. 또한, 각 블록들의 효율 향상 기법을 살펴볼 예정이다.

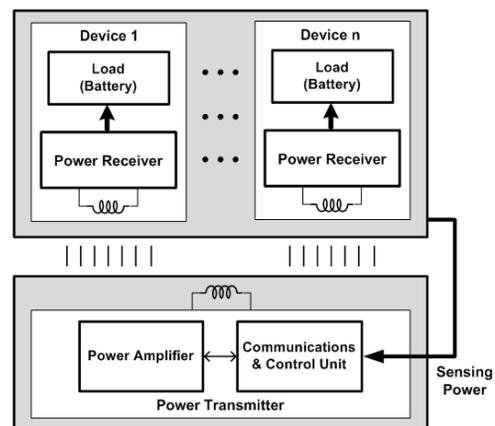
무선 전력 전송용 송수신기의 경우, Power Amp에 사용되는 트랜지스터 및 매칭 회로들은 집적회로의 형태로 구현하기보

다는 모듈의 형태로 구현되는 것이 효율적이라고 생각이 된다. 송수신기는 최대의 공진 주파수 조정 및 파워 레벨을 조정하는 기능을 구현하기 위해서 수신기와 효율적인 통신 기능이 필요하고, 이러한 요구조건에 대해서도 살펴보고자 한다.

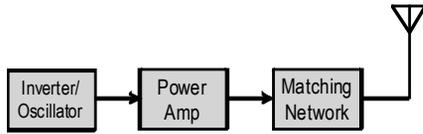
본 원고의 구성은 다음과 같다. 2장에서는 무선 전력전송용 송수신 칩의 기본 구조를 살펴보고, 3장에서는 active rectifier, DC-DC Converter, LDO Regulator, Power Amplifier 등 구성 블록을 다룬다. 4장에서는 실험 결과를 제시하고, 5장에서는 결론을 맺는다.

## II. 무선 전력 전송용 송수신 칩 구조

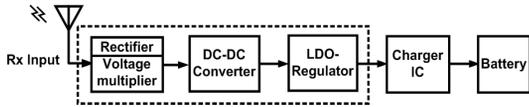
〈그림 1〉은 기본적인 무선 전력 전송 시스템을 보여주고 있다. 전력 송수신기는 전력 변환 유닛과 통신 및 제어 유닛으로 구성된다. 전력 수신기는 전력 픽업 유닛과 통신 및 제어



〈그림 1〉 기본적인 무선 전력 전송 시스템의 블록 다이어그램



〈그림 2〉 송신기의 전력 변환 유닛



〈그림 3〉 무선 전력전송 수신기의 블록 다이어그램

유닛으로 구성된다 [1].

〈그림 2〉는 송신기의 전력 변환 유닛을 보여주고 있다. 송신기 부분에서는 출력 전력 레벨과 효율이 매우 중요하다. 또한, 최대 출력 전송을 위한 임피던스 매칭과 calibration 방법에 대한 연구도 매우 중요하다.

〈그림 3〉은 무선 전력 수신기의 블록 다이어그램을 보여주고 있다. 수신부에서는 전력 픽업 유닛에 대해서는 넓은 입력 영역을 확보하기 위해서 고전압 공정이 필요한 반면, 저전력으로 작은 면적에 통신 및 제어 유닛을 구현하기 위해서 미세 공정이 필요하게 된다. 또한, 전력 효율을 최대화하기 위해서는 구성 블록들의 효율이 최적화 되어야 한다.

### Ⅲ. 구성 블록

#### 1. Power MOSFET 스위치

〈그림 4〉는 MOSFET 스위치의 등가회로를 보여주고 있다. MOSFET는 Triode 영역에서는 등가 저항으로 모델링될 수 있다 [2].

MOSFET 스위치의 Turn-On 저항 ( $R_{ON}$ )는 식 (1) - (3)과 같이 계산될 수 있다.

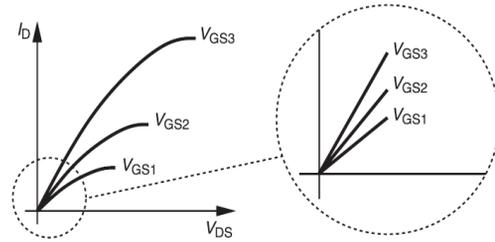
$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2] \quad (1)$$

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})V_{DS}, V_{DS} \ll 2(V_{GS} - V_{TH}) \quad (2)$$

$$R_{ON} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (3)$$



〈그림 4〉 MOSFET 스위치의 등가회로



〈그림 5〉 MOSFET의 Turn-On 저항

식 (1) - (3)에서 W와 L은 각각 MOSFET 스위치의 채널 폭과 길이를 나타낸다. 〈그림 5〉는 MOSFET 스위치 양단 사이의 전압 ( $V_{DS}$ )이 매우 작을 경우 MOSFET의 I-V 특성을 보여주고 있다.

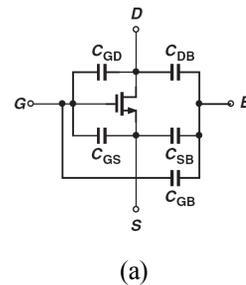
저항과는 별개로, MOSFET의 4 단자 사이에는 〈그림 6〉-(a)와 같이 커패시턴스들이 존재한다.

게다가, 이러한 커패시턴스 값들은 MOSFET의 바이어스 조건에 따라서 달라지게 된다. 〈그림 6〉-(b)의 물리적인 구조로부터 게이트와 채널 간의 oxide capacitance 값은 식 (4)와 같이 표현될 수 있다.

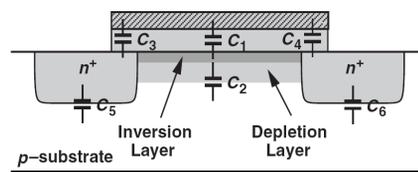
$$C_1 = C_{CH} = C_{OX}WL \quad (4)$$

식 (5)에서 볼 수 있듯이, MOSFET의 Turn-On 저항 ( $R_{ON}$ )은 Power Loss를 발생시키므로, Turn-On 저항 ( $R_{ON}$ )을 최소화하기 위해서 MOS Switch의 aspect ratio (W/L)은 최대한 크게 설계되어야 한다.

$$P_{LOSS,R} = I^2 \times R_{ON} \quad (5)$$



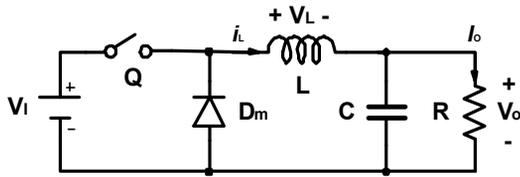
(a)



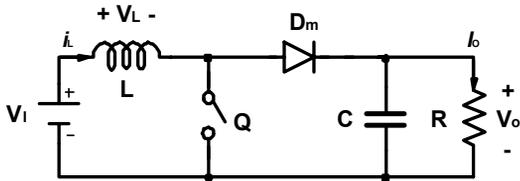
(b)

〈그림 6〉 MOS 스위치의 (a)등가 기생 커패시턴스 (b) 물리적인 구조





〈그림 8〉 Buck Converter의 블록 다이어그램



〈그림 9〉 Boost Converter의 블록 다이어그램

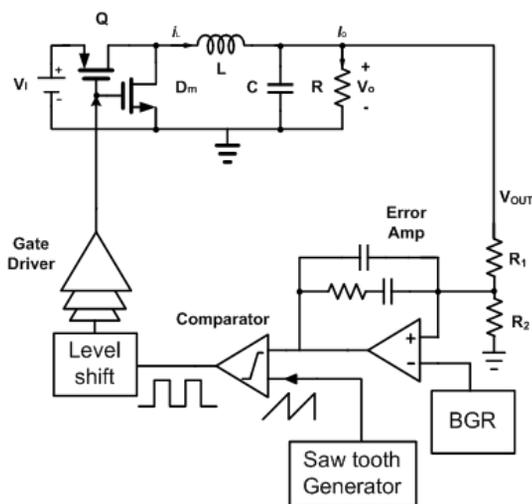
는 Step-Up Converter 용으로 Boost Converter가 사용될 수 있다.

무선 전력 전송용 수신기의 경우 송신기와 수신기 사이의 거리에 따라서 입력 신호의 크기 변화가 매우 크기 때문에 Buck Converter를 사용할지 Boost Converter를 사용할지 시스템 레벨에서 결정할 필요가 있다.

Buck Converter의 자세한 블록 다이어그램은 〈그림 10〉과 같다. pFET이 voltage drop을 최소화하기 위해서 high-side 스위치 용도로 사용될 수 있다.

인덕터, power pFET, power nFET들은 각각  $R_L$ ,  $R_p$ ,  $R_N$ 으로 표시되는 기생 저항 성분들을 가지고 있으며, conduction loss를 발생시킨다. power pFET의 게이트 커패시턴스와 함께 드레인 노드에 존재하는 기생 커패시턴스 ( $C_D$ )는 switching loss를 야기한다.

입력 전압과 출력 전압의 리플이 작고, 인덕터와 nFET에 의한 전압 강하가 입력 전압보다 충분히 작다고 가정하면, 효율 모델은 다음 같이 유도될 수 있다 [5].



〈그림 10〉 Buck Converter의 자세한 블록 다이어그램

buck converter의 효율은 식 (8)과 같이 나타낼 수 있다.

$$\eta = \frac{E_{load}}{E_{in}} \quad (8)$$

식 (8)에서  $E_{load}$ 는 한 스위칭 사이클 동안에 부하에 전달되는 에너지이고,  $E_{in}$ 는 전원으로부터 공급되는 에너지를 표시한다.

각 loss의 원인을 보여주기 위해서 식 (8)은 식(9)와 같이 확장될 수 있다.

$$\eta = \frac{E_{out} - E_{N-drive} - E_{P-drive} - E_D - E_{ct} - E_{sync}}{E_{out} + E_{RN} + E_{RP} + E_{RL}} \times \frac{P_{load}}{P_{static} + P_{load}} \quad (9)$$

$E_{N-driver}$ 와  $E_{P-driver}$ 는 power nFET와 pFET의 게이트를 충전하기 위해서 필요로 하는 에너지를 나타내며,  $E_D$ 는  $V_D$  노드에 존재하는 기생 커패시턴스를 구동하기 위해서 손실되는 에너지를 나타낸다.  $E_{RN}$ ,  $E_{RP}$ ,  $E_{RL}$ 는 각각 nFET, pFET, 인덕터에 의한 conduction loss를 나타낸다. 마지막 항은 전압 피드백 회로에 의한 static power losses 성분을 반영한다.

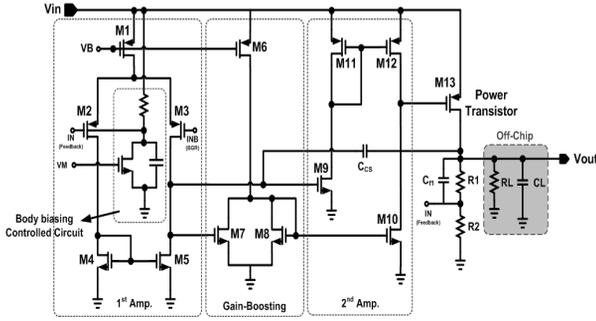
사이클 당 출력 전압 ( $V_{out}$ )으로 변환되는 에너지의 양 ( $E_{out}$ )은 식 (10)과 같이 표현할 수 있다.

$$E_{out} = \frac{LI^2}{2} + \frac{V_{in}IT_{fall}}{2} - \frac{C_D V_{out}^2}{2} - \frac{I^2(R_p + R_L)T_{fall}}{3} \quad (10)$$

식 (10)에서 첫 번째 항은  $T_{rise}$  시간 동안에 인덕터에 저장되는 에너지를 나타내고, 두 번째 항은  $T_{fall}$  구간 동안에 converter에 들어가는 에너지를 나타낸다. 세 번째 항은 CD 커패시턴스를 충전하는데 필요한 에너지를 나타내며, 마지막 항은 인덕터와 pFET 기생 저항에 의해서 손실되는 에너지를 나타낸다.

#### 4. LDO Regulator

무선 충전 전력 전송에서 가장 중요한 구성 블록중의 하나는 DC-DC Converter 다음에 오는 low drop-out (LDO) linear regulator 이다. 높은 Power-Supply Rejection (PSR) 특성, 낮은 Drop-Out 전압, 낮은 대기 전류 특성을 가지면서도 넓은 부하 조건에 대해서 안정적인 LDO를 설계하는 것이 매우 중요하다. 인덕터 값을 줄이고, 집적도를 증가시키기 위해서는 DC-DC Switching converter의 주파수가 올라가고 있으며, 출력 전압 리플의 주파수 또한 올라가게 된다. 따라서, 뒤쪽에 위치한 LDO Regulator는 스위칭 주파수까지 높은



〈그림 11〉 LDO regulator의 회로도

PSR 특성을 만족해야 한다. PSR 특성의 저하 요인은 다음과 같이 요약될 수 있다 [6].

- 1) pass transistor의 낮은 출력 컨덕턴스
- 2) 낮은 DCGain
- 3) 피드백 경로의 유한한 대역폭

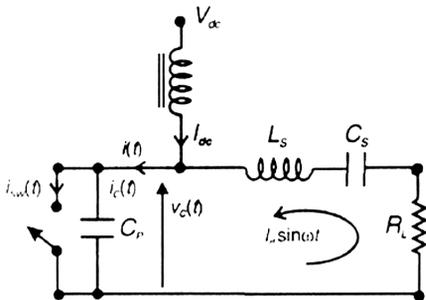
높은 주파수에서의 PSR 특성은 error amplifier 와 off-chip 인덕터의 ESL (Effective Series Inductance), ESR (Effective Series Resistance)에 의해서 주로 좌우된다. 또한, LDO의 유한한 PSR 특성은 입력과 출력 사이의 여러 경로에 의해서 발생한다.

〈그림 11〉은 LDO Regulator의 회로를 보여주고 있다. 출력 부하에 많은 전류를 구동하기 위해서 Power transistor (M13)의 채널 폭은 매우 넓도록 설계할 필요가 있다.

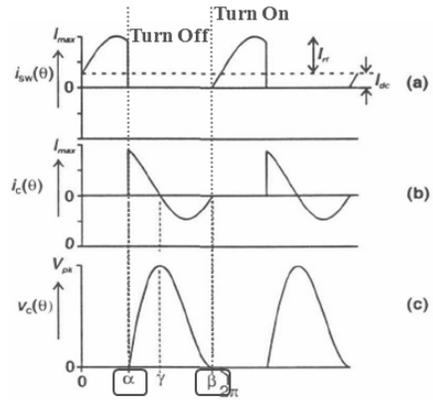
### 5. Power Amplifier

〈그림 12〉는 Class-E Type의 전력 증폭기의 기본적인 토폴로지를 보여주고 있다. Class-E Type 전력 증폭기는 스위칭 소자, 부하 인덕터와 LC 필터로 구성되어 있다.

〈그림 13〉은 〈그림 12〉에 제시된 Class-E 전력 증폭기의 동작 원리를 보여주고 있다. 스위치 양단 사이의 전압을 0으로 만든 후에, 스위치를 통해서 전류가 흐르게 된다. 이를 ZVS (Zero Voltage Switching)이라고 부른다. 이상적으로는



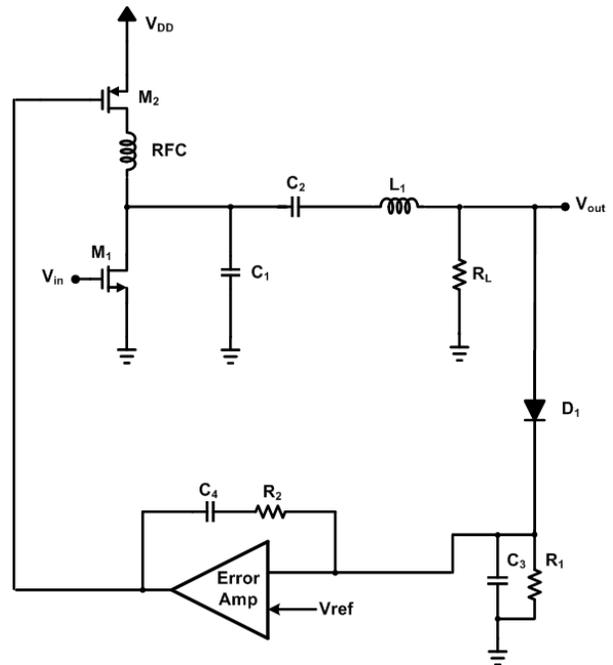
〈그림 12〉 Class-E Type 전력 증폭기의 기본 토폴로지



〈그림 13〉 Class-E Type 전력 증폭기의 동작 원리

전압과 전류의 곱이 0이 되고, DC 전력 소모가 없으므로, 매우 높은 효율을 얻을 수 있다. 따라서, Class-E 전력 증폭기는 무선 전력전송 시스템에 사용될 수 있다.

〈그림 14〉에 제시된 스위치 모드 class-E Type 전력 증폭기는 class-D Type 전력 증폭기에 비해서 간단하고 효율이 높기 때문에 무선 전력 전송용으로 적합하다고 할 수 있다 [7]. class-E Type 동작을 위해서는 스위칭 트랜지스터의 breakdown 전압이 class-D Type에 비해서 약 3,562 배 커야하는 부담이 있지만, 이상적인 singled-ended class-E 전력 증폭기의 최적화된 출력은 이상적인 class-D Type 전력 증폭기보다 2,847배 더 높다. class-E Type 토폴로지는 하나의 트랜지스터로 구성할 수 있으므로 단일 위상의 클럭을 필요로 하고, 복잡도를 낮출 수 있다. 반면, class-D Type 토



〈그림 14〉 스위치 모드 Class-E Type 전력 증폭기

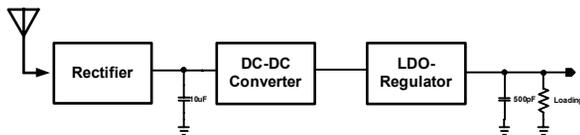
폴로지는 두 개의 트랜지스터로 구성되며, 서로 겹치지 않는 두 개 위상의 클럭을 필요로 한다.

### IV. Experimental Results

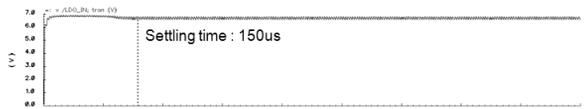
〈그림 15〉는 무선 전력 전송용 수신기의 블록 다이어그램을 보여주고 있으며, rectifier, DC-DC converter, LDO regulator로 구성되어 있다. 두 개의 외부 커패시턴스가 필요하며, LDO regulator는 외부 배터리 부하를 구동한다.

〈그림 16〉-(a)는 active rectifier의 출력을 보여주고 있으며, 〈그림 16〉-(b)는 LDO regulator의 출력을 보여주고 있다. active rectifier와 LDO regulator의 settling time은 각각 150 us, 160 us임을 알 수 있다.

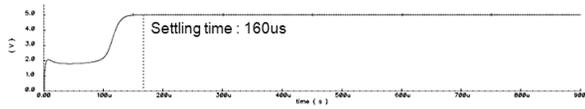
〈그림 17〉은 active rectifier의 시뮬레이션 결과를 보여주고 있다. 입력 전압의 크기가 10V일 때, 전압 강하는 0.98 V



〈그림 15〉 무선 전력전송 수신기의 블록 다이어그램

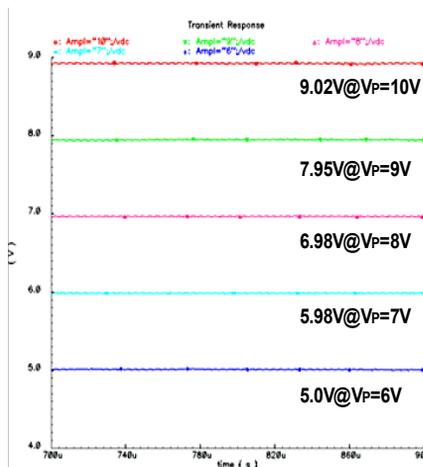


(a)

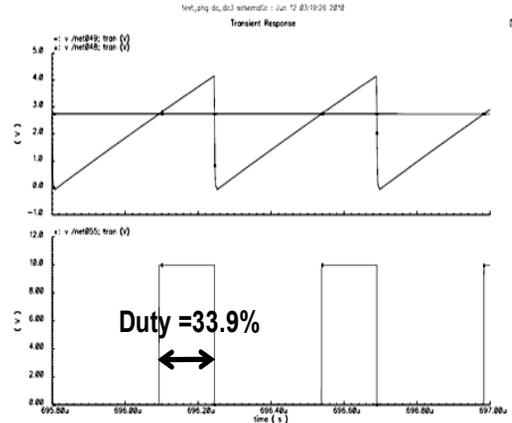


(b)

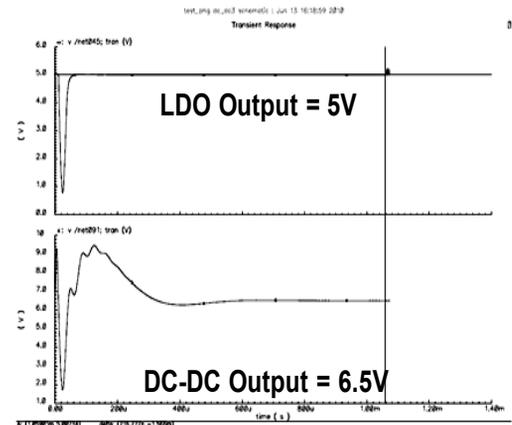
〈그림 16〉 무선 전력 전송 수신기의 시뮬레이션 결과 (a) rectifier 출력 (b) LDO regulator 출력



〈그림 17〉 Active rectifier의 시뮬레이션 결과

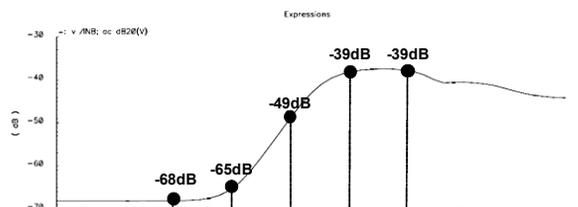


(a)



(b)

〈그림 18〉 (a) DC-DC Converter의 PWM 출력 (b) DC-DC Converter와 LDO의 출력



〈그림 19〉 LDO regulator의 PSRR 시뮬레이션 결과

임을 알 수 있다.

〈그림 18〉-(a)는 DC-DC Converter의 PWM 출력과 최종 출력을 보여주고 있다. DC-DC Converter의 출력 전압이 6.5V일 경우 Duty Ratio는 약 34 %임을 알 수 있다.

〈그림 19〉는 LDO Regulator의 PSRR 시뮬레이션 결과를 보여주고 있다. 100 Hz, 10 kHz, 1 MHz의 주파수 대해서 각각 - 68 dB, -49 dB, -39 dB임을 알 수 있다.

### V. 결론

본 원고에서는 무선 전력 전송용 송수신기의 시스템 구조

및 설계 이슈에 대해서 설명하고, 각 구성 블록들의 동작 원리를 살펴보았다. 또한, 무선 전력 전송의 효율을 향상시키기 위한 시스템 구조 및 Rectifier, DC-DC Converter, LDO Regulator, Power Amp 등에 대해서 기본적인 동작 원리부터 최근 설계 동향에 대해서 다뤘다.

무선 전력 전송용 수신기는 소형화가 필요하므로 집적회로(IC)의 형태로 구현되어야 경쟁력을 가질 수 있다.

앞으로 사용자의 편의를 위해서 매우 중요한 기술이 될 무선 전력전송용 송수신기 설계 기술은 소형화에 필수적인 기술이며, 지속적이고 집중적인 연구가 필요한 분야라고 할 수 있다.

### 참고문헌

- [1] Wireless Power Consortium, "System Description Wireless Power Transfer", Volume I: Low Power, Part 1: Interface Definition Version 1.0 July, 2010.
- [2] Behzad Razavi, "Design of CMOS Analog Integrated Circuits", McGraw-Hill, 2001.
- [3] Song Guo et al., "An Efficiency-Enhanced CMOS Rectifier With Unbalanced-Biased Comparators for Transcutaneous-Powered High-Current Implants", IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.44, No.6, June, 2009.
- [4] Yat-Hei Lam et al., "Integrated Low-Loss CMOS Active Rectifier for Wirelessly Powered Devices", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: EXPRESS BRIEFS, Vol.53, No.12, December, 2006.
- [5] Eric J. Carlson et al., "A 20 mV Input Boost Converter With Efficient Digital Control for Thermoelectric Energy Harvesting", IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.45, No.4, April, 2010.
- [6] Mohamed El-Nozahi et al., "High PSR Low Drop-Out Regulator With Feed-Forward Ripple Cancellation Technique", IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.45, No.3, March, 2010.
- [7] Joaquin J. Casanova et al., "Design and Test of a High-Power High-Efficiency Loosely Coupled Planar Wireless Power Transfer System", IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, Vol.56, No.5, May, 2009.



이 강 윤

1996년 2월 서울대학교 전기공학부 학사.  
1998년 2월 서울대학교 전기공학부 석사.  
2003년 2월 서울대학교 전기공학부 박사.  
1998년 3월~2003년 2월 Consultant of Analog Division,  
GCT Semiconductor Inc.  
2003년 3월~2005년 2월 Manager of Analog Division,  
GCT Semiconductor Inc.  
2005년 3월~현재 건국대학교 전자공학부 부교수.  
(관심분야) Power IC, Analog IC, RF IC, Phase-Locked  
Loop, Data Converter