

휴대단말기 저장매체인 플래시 메모리 특성 분석

論 文
10-4-1

Analysis of flash memory characteristics as storage medium of mobile equipments

정 보 성, 이 정 훈*

Bo-Sung Jung and Jung-Hoon Lee

Abstract

Recently flash memory is widely used in various mobile devices as storage medium. Nonvolatile memory can be divided into two categories: NAND- and NOR-type flash memory. NOR flash memory is mainly used to store instruction codes for operation; while NAND for data storage. However, NAND does show more economical benefits, that is, it is approximately 30~40% cheaper than NOR flash. Therefore it can be useful to improve NAND flash performance by replacing NOR flash with NAND flash combining with various buffer systems.

Keywords : static power, dynamic power, drowsy caching, filter cache, pipeline

I. 서 론

최근 휴대형 기기들이 크게 보급되면서 많은 모바일 기기들은 다양한 프로그램을 수행하기 위하여 고성능의 저장 시스템을 요구하고 있다 [1]. 디지털 프로그램 및 데이터를 보관 할 수 있는 미디어로는 광학미디어, 고밀도화 된 마그네틱 타입의 미디어와 플래시 미디어로 나눌 수 있다. 미디어는 각각의 장치의 특성에 맞춰 여러 용도로 쓰이고 있는데, 현재 디지털 카메라, 캠코더, MP3 플레이어 등의 휴대장치는 초소형의 기기들이기에 부피를 덜 차지하며 휴대성을 가진 플래시 메모리가 일반적으로 쓰이고 있다. 그리고 이러한 기기들에 있어 비휘발성, 안정성, 경제성, 저전력, 내구성, 빠른 속도, 그리고 높은 집적도와 같은 다재다능한 특징을 가진 NAND 플래시 메모리는 가장 보편적인 저장 매체로서 자리 매김을 하고 있다 [2]. 특히 기계적 구동방식을 사용하는 HDD

대신 반도체 소자인 NAND 플래시 메모리를 이용하는 SSD(Solid State Drive)가 차세대 저장매체로써 큰 주목을 받고 있다.

플래시 메모리의 대표적인 특성은 다음과 같다 [3]. 첫째로 비휘발성을 들 수 있다. 우리가 일반적으로 개인용 컴퓨터에 사용하고 있는 하드 디스크처럼 전원이 공급되지 않아도 그 내용이 계속 유지된다. 이러한 비휘발성 특성은 각종 모바일 기기들의 저장 매체로써 자리매김하는 가장 중요한 특성이다. 둘째로는 낮은 소비전력을 들 수 있다. 특히 NAND 플래시 메모리의 소비전력은 NOR에 비하여 25%만을 차지하며 compact 플래시 메모리에 비해서도 약 절반정도의 소비전력 감소 효과를 얻을 수 있다 [4-5]. 이러한 저전력 효과 역시 NAND 플래시 메모리의 활용도를 증가시키는 중요 요인이다. 셋째로는 빠른 접근 시간이다 [6]. 하드디스크와는 달리 어느 특정 데이터에 접근하는데 걸리는 시간이 모두 동일하다. 넷째로는 소형이라는 것이다. 같은 크기라도 집적도가 더 높기 때문에 더 많은 용량을 담을 수 있고 더 가벼워지고 있기 때문에 현재의 추세인 모바일에 대응하는 중요한 포인트라고 볼 수 있다

접수일자 : 2011년 09월 21일
 심사일자 : 2011년 11월 20일
 최종완료 : 2011년 12월 17일
 *교신저자, E-mail : leejh@gnsu.ac.kr

[7]. 또한 플래시 메모리는 하드 디스크처럼 기계적으로 돌아가는 것이 아니기 때문에 잡음이 거의 없는 장점이 있다. 플래시 메모리와 하드디스크와의 가격비교에서 용량대비 단가에 있어서 점차 플래시 메모리가 가격 경쟁력을 가지면서 향후에는 하드디스크를 완전히 대체하는 우수한 성능의 저가 SSD가 차세대 저장매체로써 활용될 것이다.

II. 플래시 메모리 특성 분석

기존의 일반적인 NAND형 플래시 메모리는 플래시 메모리 셀과 페이지 단위의 읽기/쓰기 레지스터로 구성되어진다. 특히 NAND형 플래시 메모리는 읽기/쓰기 동작은 페이지 단위로 이루어지며, 20ns의 읽기/쓰기 레지스터 접근(순차적 접근) 시간에 비해 플래시 메모리 셀의 접근(무작위 접근) 시간은 순차적인 접근 시간의 1000배가 느린 20us를 가진다 [4]. 특히 명령어는 데이터와 달리 모두 읽기 동작만 수행됨으로 무작위 접근을 줄이는 것이 효과적인 성능 향상을 이룰 수 있다. 기본적으로 명령어는 프로그램 수행시 순차적인 인출로 공간적 지역성이 강한 특성을 가지고 있다. 공간적 지역성은 참조가 일어난 블록의 인접한 위치의 블록들이 참조되어질 확률이 높은 특성으로 온칩 캐쉬 메모리의 경우 큰 폐칭 크기를 가질수록 효과적이였다. 기존의 NAND형 플래시 메모리는 페이지 단위의 읽기 동작과 페이지 크기의 레지스터를 가지므로 공간적 지역성을 효과적으로 사용할 수 있다. 그러나 페이지 크기의 읽기/쓰기 레지스터는 순차적인 인출 명령어에서 공간적 지역성에 효과적이지만 단일 읽기/쓰기 레지스터로 인한 분기 명령어에서 플래시 메모리 셀에 다시 접근해야 하는 단점을 가진다.

그림 1은 기존의 플래시 메모리에 다양한 명령어 플래시 버퍼를 접목한 경우의 시뮬레이션 결과이다. 그림에서 보듯이 작은 버퍼의 사용만으로 기존 플래시의 명령어에 대한 성능을 극대화 시킬 수 있다. 그림 2는 기존 플래시 메모리에서 읽기/쓰기 레지스터의 접근 실패시 플래시 메모리 셀의 순차적인 페이지 접근 비율을 나타낸 그림이다. 그림에서 미디어 벤치마크(media benchmark) [8] 중 jpeg, djpeg 그리고 unepic의 경우 약 45%의 많은 비율이 플래시 메모리의 순차적 페이지 접근 비율을 나타내고 있으며, 평균

25%정도 플래시 메모리 셀의 순차적인 페이지 접근을 나타내고 있다.

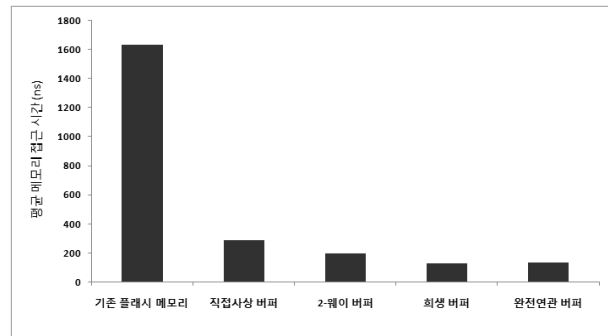


그림 1. 기존의 플래시 메모리와 각 버퍼 구조를 가지는 플래시 메모리의 평균 메모리 접근 시간

Fig. 1. Average memroy access time of existing flash memory and flash memory equipped with various buffer structure

그림 1에서 버퍼 구조를 가지는 플래시 메모리가 기존의 플래시 메모리 보다 더 좋은 성능을 보이는 이유는 그림 2의 순차적인 플래시 메모리 셀의 페이지 접근이 대부분 분기 명령어에 의해 다시 참조되는 명령어들이 버퍼에 저장되기 때문이다. 따라서 기존의 플래시 메모리에 비해 다양한 캐쉬 구조의 버퍼를 접목시킨 플래시 메모리가 명령어에 대해 효과적인 성능 향상을 이룰 수 있음을 알 수 있었다. 특히 최근에 참조된 명령어를 오래 가질 수 있는 구조일수록 명령어에 대한 플래시 메모리의 성능 향상을 높일 수 있다.

그러므로 본 연구에서는 다양한 버퍼들을 이용하여 명령어 프로그램에 효과적인 최적의 버퍼 구조와 크기 및 블록 크기를 찾고자 한다.

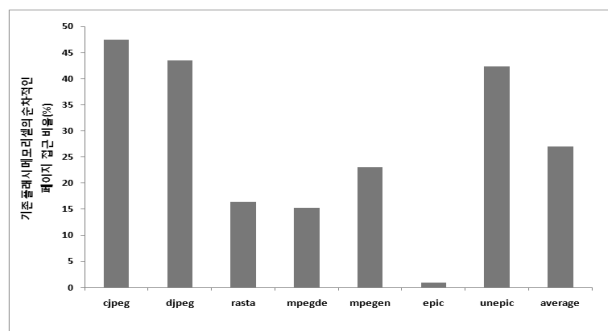


그림 2. 기존 플래시 메모리의 순차적인 페이지 접근 비율
Fig. 2. Sequential page access ratio in flash memory

III. 실험 및 성능 평가

본 연구에서는 프로그램 명령어에 대한 플래시

메모리의 효과적인 버퍼 구조와 페칭 크기를 분석하기 위해 기존의 상용화된 캐쉬 구조를 이용하여 플래시 메모리에 접목하여 그 특성을 파악하였다. 선택된 기존의 캐쉬 구조는 직접사상 버퍼, 2-way 연관 버퍼, 희생 버퍼 그리고 완전연관 버퍼를 사용하였다. 효과적인 버퍼 구조를 선택하기 위해 사용된 버퍼의 크기는 4Kbyte부터 256Kbyte까지 크기를 증가시키면서 실험하였다. 또한 버퍼 페칭 크기 역시 32byte부터 2048byte까지 증가시키면서 실험을 수행 하였다. 기본적으로 NAND 플래시 메모리의 한 페이지 단위는 대용량 추세에 맞추어서 2Kbyte로 가정하였다.

본 연구에서 제안된 명령어 플래시 메모리와 선행 연구로부터 최적의 성능을 보이는 명령어 버퍼 플래시 메모리와 성능 비교를 위해 멀티미디어 응용을 대표하는 미디어벤치마크를 사용하여 성능 평가를 수행하였다. 미디어벤치마크의 성능을 평가하기 위해 SimpleScalar 3.0을 수정하였으며, 각 미디어벤치마크의 7개 항목에 대해 성능 평가를 하였다. 성능 평가는 플래시 메모리 구조내의 버퍼 접근 실패율과 평균 메모리 접근 시간에 대해 평가하였다. 제안된 플래시 메모리의 버퍼는 공간적 버퍼로 512byte의 페칭 크기와 4Kbyte의 버퍼 크기를 가지며, 시간적 버퍼는 8byte의 페칭 크기와 4Kbyte의 버퍼 크기로 전체 8Kbyte의 버퍼 크기를 가진다. 플래시 메모리의 성능평가를 위한 시뮬레이션 파라미터는 표 1과 같다.

표 1. 시뮬레이션 변수
Table 1. simulation parameter

System parameters	Value
Random read time	20ns
Serial read time	20ns
Buffer access time	50ns

본 연구에서 사용된 기존 버퍼 구조의 동작은 버퍼 접근 실패시 플래시 메모리 접근이 이루어지는 계층구조로 설계하였다. 기존 구조의 버퍼에서 접근 성공이 일어나면 cpu로 요청한 명령어를 보내고 동작을 마치게 되며, 만약 플래시 메모리의 읽기/쓰기 레지스터나 플래시 메모리 셀에서 접근 성공이 발생 했을 경우, 요청된 명령어가 포함된 페칭 크기는 플래시 메모리 버퍼로 이동하게 된다. 기존의 버퍼 구조에서 최적의 버퍼 크기와 페칭 크기를 선택하기위해 성능 평가 지표인 접근 실패율과 평균 메모리 접근 시간을 사용하

였다. 최적의 버퍼 구조에서 비용 대 성능 향상의 비로 최적의 버퍼 크기와 페칭 크기를 선택한다.

1. 접근 실패율

그림 3에서 그림 6은 기존의 상용화된 캐쉬 구조인 직접사상 버퍼(그림 3), 2-way 연관버퍼 (그림 4), 희생(victim) 버퍼(그림 5) 그리고 완전연관 버퍼(그림 6)로 미디어벤치에서의 평균 접근 실패율을 나타낸 그림이다. 직접사상 버퍼와 2-way 연관버퍼 경우 64Kbyte의 버퍼 크기 이후 모든 페칭 크기와 상관없이 접근 실패율이 평균화를 이루고 있다. 완전연관 버퍼와 희생 버퍼에서도 동일한 결과를 보인다. 그림 3의 직접사상 버퍼의 경우 4Kbyte의 버퍼 크기에서 32byte부터 256byte의 페칭 크기까지 접근 실패율이 감소하다가 이후 다시 2048byte까지 접근 실패율이 증가하였다. 반면 8Kbyte, 16Kbyte 그리고 32Kbyte에서는 1024byte 페칭 크기에서 가장 좋은 성능을 가진다. 기본적으로 명령어는 프로그램 수행시 적합한 지역성은 공간적 지역성이므로 버퍼의 페칭 크기가 클수록 좋은 성능 향상을 이룰 수 있다. 하지만 4Kbyte 버퍼 경우 256byte의 페칭 크기 이후 버퍼 접근 실패율은 증가하고 있다. 직접사상 버퍼의 경우 빠른 접근 시간을 보장하지만, 충돌 접근 실패가 높은 구조이다. 2048byte의 페칭 크기의 경우 공간적 지역성에 강한 페칭 크기 임에도 높은 접근 실패율을 보인다. 이는 동일한 크기의 버퍼에서 페칭 크기를 증가시키면 공간적 지역성에 강한 특성을 가지는 반면 버퍼의 엔트리가 감소하므로 높은 충돌 접근 실패율을 가지게 된다. 이는 8Kbyte의 직접사상 버퍼와 4Kbyte의 직접사상 버퍼를 비교 했을 경우 동일한 페칭 크기에서 8Kbyte의 직접사상 버퍼가 4Kbyte의 직접사상 버퍼에 비해 많은 엔트리를 가지므로 충돌 접근 실패에 효과적이기 때문이 더 좋은 성능 향상을 가지는 것으로 알 수 있다. 32byte의 작은 페칭 크기에서는 명령어가 가지는 공간적 지역성을 사용하지 못하므로 높은 접근 실패율을 보였다. 그러므로 비용 대 성능적인 측면에서 직접사상 버퍼는 64Kbyte가 최적이라 판단된다.

그림 4는 2-way 연관버퍼에 대한 플래시 메모리 버퍼의 접근 실패율을 나타내고 있다. 2-way 연관버퍼는 직접사상 버퍼에 비해 충돌 접근 실패율이 낮은 구조이다. 따라서 작은 용량의 버퍼

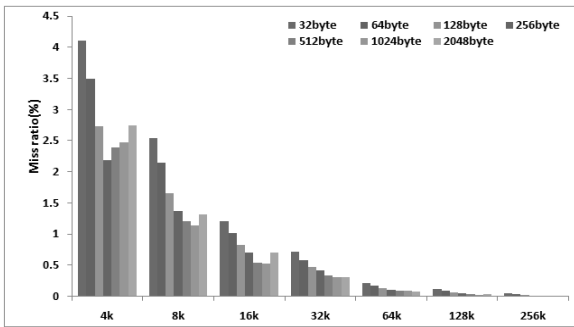


그림 3. 직접 사상 버퍼 접근 실패율
Fig. 3. Miss ratio of direct-mapped buffer

에서 직접사상 버퍼에 비해 좋은 성능 향상을 보이고 있다. 하지만 4Kbyte의 버퍼 크기에서는 직접사상과 동일하게 공간적 지역성이 가장 높은 2048byte의 페칭 크기에서 성능이 낮아짐을 보이고 있다. 이 역시 엔트리 감소에 의한 충돌 접근 실패가 성능저하의 중요 원인이다. 하지만 어느 정도 충분한 용량의 버퍼 크기가 보장되는 경우에는 페칭 크기에 비례적으로 성능 향상을 보이고 있다. 그림 4에서 알 수 있듯이 32Kbyte 이상의 크기에서는 비용 대 성능적인 효과가 크지 않음으로 최적의 크기는 32Kbyte로 판단된다.

그림 5와 그림 6은 충돌 접근 실패에 강한 희생 버퍼와 완전연관 버퍼에 대한 접근 실패율을 나타낸 그림이다. 희생 버퍼는 직접사상 버퍼와 완전연관 버퍼로 구성되며, 완전연관 버퍼의 크기를 1Kbyte로 고정하여 실험하였다(직접사상버퍼 4KB~256KB로 증가). 희생버퍼 역시 페칭 크기와 버퍼 크기가 클수록 좋은 성능 향상을 보이고 있으며, 비용 대 성능적인 측면에서 32Kbyte가 최적으로 판단된다. 그림 6의 완전연관 버퍼는 4Kbyte의 버퍼 크기에서는 기존의 다른 버퍼 구조와 비슷한 접근 실패율을 보이고 있다. 하지만 8Kbyte의 버퍼 크기에서는 512byte의 페칭 크기에서 가장 좋은 성능 향상을 보이며, 특히 16Kbyte의 버퍼 크기에서는 64byte 페칭 크기에서 가장 좋은 성능 향상을 보이고 있다. 이는 완전연관 버퍼의 경우 충돌 접근 실패가 없기 때문이며, 비용 대 성능적인 측면에서 16Kbyte가 최적으로 판단된다.

결론적으로 접근 실패율의 경우 64Kbyte이상의 버퍼 크기에서는 페칭 크기에 관계없이 일정한 성능을 보이고 있으며, 직접사상 버퍼는 64Kbyte, 2-way 연관버퍼와 희생 버퍼는 32Kbyte, 그리고 완전연관버퍼의 경우 16Kbyte의 버퍼 크기면 비용 대 성능 면에

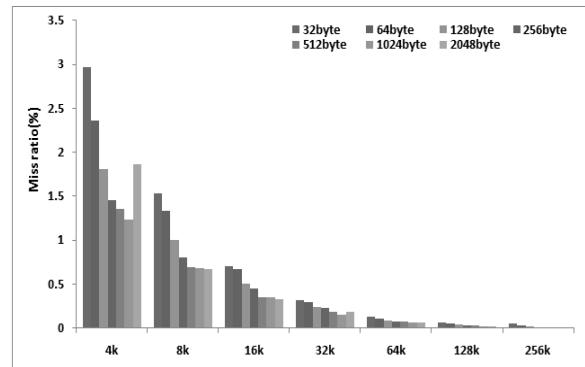


그림 4. 2-way 버퍼 접근 실패율
Fig. 4. Miss ratio of 2-way set associative buffer

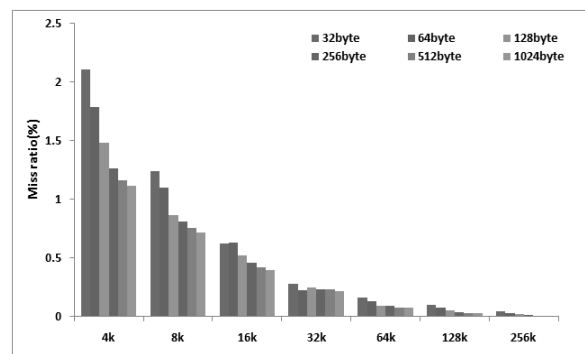


그림 5. 희생 버퍼 접근 실패율
Fig. 5. Miss ratio of victim buffer

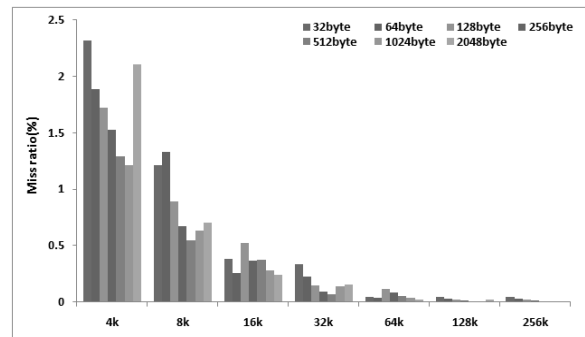


그림 6. 완전 연관 버퍼 접근 실패율
Fig. 6. Miss ratio of fully associative buffer

서 가장 효율성이 높은 것으로 판단된다.

2. 평균 메모리 접근 시간(AMAT)

시스템의 성능 평가에서 대표적인 평가지표는 접근 실패율과 함께 평균 메모리 접근 시간을 사용한다. 평균 메모리 접근 시간은 상위계층의 접근 실패 후 하위계층 접근까지의 시간을 나타내는 지표로 전체 시스템 성능평가에 가장 많이 이용된다.

그림 7에서 그림 10은 미디어벤치에서 기본 버퍼 구조를 가지는 플래시 메모리의 평균 메모리

접근 시간을 나타내는 그림이다.

그림 7은 직접사상 버퍼를, 그림 8은 2-way 연관버퍼, 그림 9는 희생버퍼, 그리고 그림 10은 완전연관 버퍼에 대한 평균 메모리 접근 시간을 나타낸 그림이다. 여기서 주목할 것은 작은 버퍼 크기(4Kbyte~16Kbyte)의 경우 접근 실패율과는 반대로 32byte의 페칭 크기에서 가장 좋은 성능 향상을 보이고 있으며, 오히려 공간적 지역성이 강한 1024byte 또는 2048byte의 페칭 크기에서 가장 나쁜 성능을 보이고 있다. 직접사상 버퍼의 경우 8Kbyte와 16Kbyte의 2048byte의 페칭 크기를 제외하고는 8Kbyte 이상의 버퍼 크기에서는 페칭 크기와 상관없이 거의 동일한 평균 메모리 접근시간을 가진다. 또한 64Kbyte 이상의 버퍼 크기에서는 버퍼 크기와 페칭 크기에 상관없이 일정한 평균 메모리 접근 시간을 보이고 있다. 다른 구조의 버퍼들 역시 평균 메모리 접근 시간에 다소 변동의 차이는 있지만 대체로 동일한 형태의 평균 메모리 접근 시간 비율을 보이고 있다.

구조적인 특성에서는 평균 메모리 접근 시간 역시 접근 실패율과 동일하게 완전연관 버퍼가 다른 버퍼 구조보다 좋은 성능 향상을 보이고 있으며, 또한 비용 대 성능 향상 면에서 접근 실패율과 동일하게 직접사상버퍼는 64Kbyte, 2-way 연관버퍼와 희생 버퍼는 32Kbyte, 그리고 완전연관버퍼의 경우 16Kbyte의 버퍼크기면 비용 대 성능 면에서 가장 효율성이 높은 것으로 판단된다. 그러나 페칭 크기에서는 작은 페칭 크기인 32byte가 비용 대 성능 향상이 가장 좋은 것으로 판단된다.

결론적으로 평균 메모리 접근 시간과 접근 실패율에서 비용 대 성능적인 측면에서 최적의 버퍼 크기는 직접사상버퍼는 64Kbyte, 2-way 연관

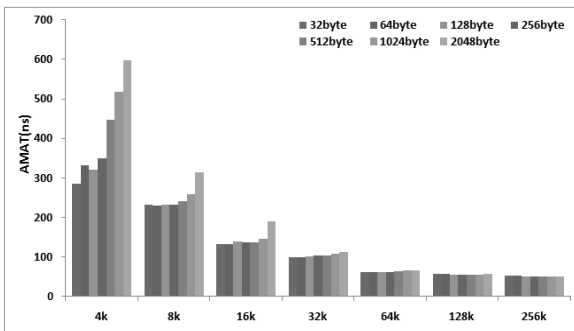


그림 7. 직접사상 버퍼 평균 메모리 접근 시간
Fig. 7. AMAT of direct-mapped buffer

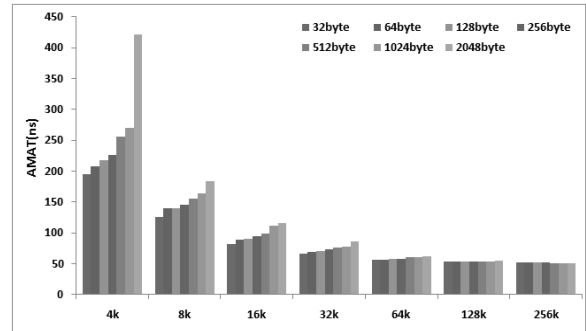


그림 8. 2-way 연관 평균 메모리 접근 시간
Fig. 8. AMAT of 2-way set associative buffer

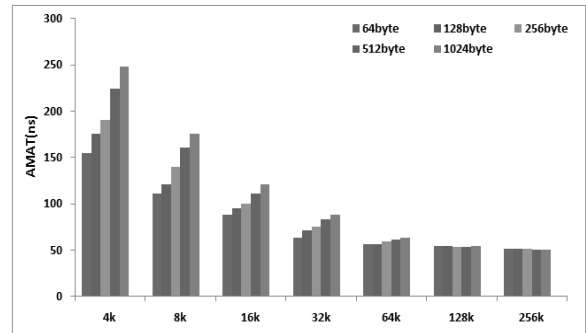


그림 9. 희생버퍼 평균 메모리 접근 시간
Fig. 9. AMAT of victim buffer

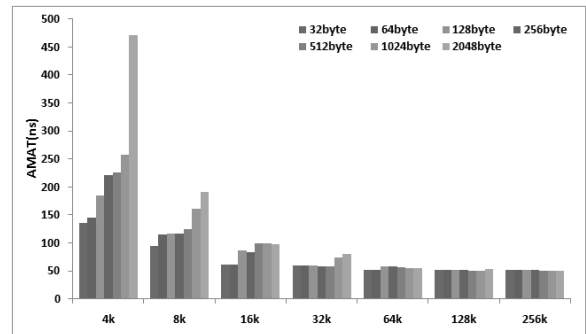


그림 10. 완전연관 평균 메모리 접근 시간
Fig. 10. AMAT of fully associative buffer

버퍼와 희생 버퍼는 32Kbyte, 그리고 완전연관버퍼의 경우 16Kbyte의 버퍼 크기에서 가장 좋은 성능 향상을 보이고 있다. 하지만 완전연관 버퍼의 경우 그림 6에서 접근 실패율은 1024byte의 페칭 크기에서 좋은 성능개선 효과가 있는 반면, 그림 10의 평균 메모리 접근 시간은 32byte의 페칭 크기에서 가장 좋은 성능개선을 보이고 있다. 이러한 결과는 접근 실패율은 단지 완전연관 버퍼에서의 접근 실패율을 나타내는 반면, 평균 메모리 접근 시간은 전체 시스템의 성능평가를 나타내기 때문이다. 즉 이는 버퍼의 접근 실패율이 높다고 해도 요청된 명령어의 페이지가 읽기/쓰기 레

지스터에서 적중이 높기 때문이며, 새로운 플래시 셀의 접근이 아닌 레지스터 접근에 의한 결과이다.

시뮬레이션을 통한 분석결과 버퍼 접근 실패율과 평균 메모리 접근 시간에서 최적의 버퍼 구조는 완전연관 버퍼이다. 완전연관 버퍼는 명령어를 참조된 순서로 순차적으로 저장 할 수 있을 뿐 아니라 충돌 접근 실패에 강한 구조이다. 기존 캐쉬 메모리의 경우 CAM(content addressable memory) 셀을 이용하는 완전연관 버퍼는 상대적으로 낮은 접근 시간과 높은 소비전력으로 사용이 불가능하였으나 플래시 버퍼로써의 활용은 이러한 단점을 충분히 극복할 수 있다. 결론적으로 비용대 성능 향상에서 최적의 버퍼 크기는 완전 연관 버퍼 구조로써 버퍼 크기는 16Kbyte로 볼 수 있으며, 32byte 패칭 크기로 구성할 경우 최적의 성능을 얻을 수 있다고 할 수 있다.

V. 결 론

프로그램 코드인 명령어에서 성능효과를 극대화시키기 위하여 저비용의 NAND 플래시 사용시 버퍼의 효용성은 매우 높다. 이러한 버퍼의 효과를 분석하기 위하여 본 연구에서는 기존의 다양한 버퍼 구조를 시뮬레이션을 통하여 분석하였다. 시뮬레이션 결과 평균 메모리 접근 시간과 접근 실패율에서 비용 대 성능 향상의 최적의 버퍼 크기로는 직접사상버퍼는 64Kbyte, 2-way 연관 버퍼와 희생 버퍼는 32Kbyte, 그리고 완전연관버퍼의 경우 16Kbyte의 버퍼크기에서 모두 가장 좋은 성능 향상을 보이고 있으며, 평균 메모리 접근 시간의 경우 블록 크기는 작을수록 효과가 높음을 알 수 있었다.

감사의 글

이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2009-0065096)

[참고 문헌]

- [1] J. W. Park, S. H. Park, C. C. Weems, and S. D. Kim, "A hybrid flash translation layer for SLC-MLC flash memory based multibank solid state disk," *Microprocessors and Microsystems*, vol. 35, no. 1, pp. 48-59, 2011.
- [2] D. Jung, Y. H. Chae, H. Jo, J. S. Kim, and J. Lee, "A group-based wear-leveling algorithm for large-capacity flash memory storage systems," *Proceedings of Intl conference on compilers, architecture, and synthesis for embedded systems*, pp. 160-164, 2007.
- [3] Wikipedia, Flash memory, http://en.wikipedia.org/wiki/Flash_memory, 2010
- [4] Samsung Electronics. NAND Flash Memory & SmartMedia *Data Book*. 2010.
- [5] Samsung Electronics. <http://www.samsung.com/Products/Semiconductor/index.htm>
- [6] oshiba, NAND vs. NOR Flash Memory Technology Overview, http://umcs.maine.edu/~cm_ead-ow/courses/cos335/Toshiba%20NAND_vs_NO_R_Flash_Memory_Technology_Overviewt.pdf 2009.
- [7] B. Jung and J. Lee, "Flash memory system with spatial smart buffer for the substitution of a hard-disk," *Journal of the Korea Society of Computer and Information*, vol. 14, no. 3, pp. 41-49, 2009.
- [8] Mediabench, <http://euler.slu.edu/~fritts/mediabench>

Biography



정보성

2006년 경상대학교 제어계측공학과(학사)
2008년 경상대학교 제어계측공학과(석사)
2008년~현재: 경상대학교 제어계측공학과
박사과정

<관심분야> Microprocessor, cache memory,

flash memory

<e-mail> blueking80@gnu.ac.kr



이정훈

1999년 성균관대학교 제어계측공학과 졸업
2001년 연세대학교 컴퓨터과학과(공학석사)
2004년 연세대학교 컴퓨터과학과(공학박사)
2004년~현재 국립경상대학교 제어계측공학과
부교수

<관심분야> Embedded system,

Microprocessor, SOC system

<e-mail> leejh@gsnu.ac.kr