

논문 2011-48SD-10-10

# 드레인 전압 종속 게이트-벌크 MOSFET 캐패시턴스 추출 데이터를 사용한 측면 채널 도핑 분포 측정

(Lateral Channel Doping Profile Measurements Using Extraction Data of Drain Voltage-Dependent Gate-Bulk MOSFET Capacitance)

최민권\*, 김주영\*, 이성현\*\*

(Min-Kwon Choi, Ju-Young Kim, and Seonghearn Lee)

## 요약

본 연구에서는 측정된 S-파라미터를 사용하여 드레인-소스 전압  $V_{ds}$ 에 무관한 게이트-소스 overlap 캐패시턴스를 추출하고, 이를 바탕으로 deep-submicron MOSFET의  $V_{ds}$  종속 게이트-벌크 캐패시턴스 곡선을 추출하는 RF 방법이 새롭게 개발되었다. 추출된 캐패시턴스 값들을 사용한 등가회로 모델과 측정된 데이터가 잘 일치하는 것을 관찰함으로써 추출방법의 정확도가 검증되었다. 추출된 데이터로부터 overlap과 depletion 길이의  $V_{ds}$  종속 곡선이 얻어졌으며, 이를 통해 drain 영역의 채널 도핑 분포를 실험적으로 측정하였다.

## Abstract

In this study, a new RF method to extract the drain-source voltage  $V_{ds}$ -dependent gate-bulk capacitance of deep-submicron MOSFETs is developed by determining  $V_{ds}$ -independent gate-source overlap capacitance using measured S-parameters. The accuracy of extraction method is verified by observing good agreements between the measured and modeled S-parameters. The lateral channel doping profile in the drain region is experimentally measured using a  $V_{ds}$ -dependent curve of the overlap and depletion length obtained from the extracted data.

**Keywords:** MOSFET, capacitance extraction, gate-bulk capacitance, overlap and depletion length, lateral channel doping profile

## I. 서론

일반적으로 MOSFET의 캐패시턴스-전압 (C-V) 특성 곡선은 소자의 채널 도핑 분포 추출과 같은 공정특성화와 MOSFET의 AC 모델링을 위해서 중요하게 사용되어 왔다<sup>[1]</sup>.

또한 MOSFET의 saturation 영역에서 드레인-소스

전압  $V_{ds}$ 의 변화에 따라 RF성능이 크게 달라지게 되므로 캐패시턴스의  $V_{ds}$  종속성을 추출하는 것이 매우 중요하다. MOSFET 모델링 파라미터인 유효 channel 길이  $L_{eff}$ 의  $V_{ds}$  종속성을 알기 위해서는  $L_{eff}$  추출에 필요한 게이트-벌크 캐패시턴스  $C_{gb}$ 의  $V_{ds}$  종속성 추출이 중요하다<sup>[2~3]</sup>.

MHz의 저주파 영역에서  $C_{gb}$ 를 측정하기 위해서는 일반적으로 큰 테스트 소자가 필요하지만, 실제 short-channel MOSFET과의 불일치에 의해 모델링 오차가 발생해왔다. 이를 극복하기 위해 최근에는 GHz 영역에서 측정된 S-파라미터를 사용한 RF 측정방법이 short-channel MOSFET의 적은  $C_{gb}$ 를 추출하는데 사

\* 학생회원, \*\* 정회원, 한국외국어대학교 전자공학과 (Department of Electronics Engineering, Hankuk University of Foreign Studies)

※ 이 연구는 2011학년도 한국외국어대학교 교내학술연구비의 지원에 의하여 이루어진 것임.

접수일자: 2011년3월22일, 수정완료일: 2011년10월22일

용되고 있다.

하지만 기존의 common 소스-벌크(CSB) 구조에서 측정된 S-파라미터를 기초로 한  $C_{gb}$ 의 추출 방법은 게이트-소스 캐패시턴스와 동일한 게이트-드레인 캐패시턴스 ( $C_{gd} \approx C_{gs}$ )로 가정하였기 때문에  $V_{ds} = 0V$  일 때만  $C_{gb}$  추출이 가능하므로  $C_{gb}$ 의  $V_{ds}$  종속성 추출을 위해서 새로운  $C_{gb}$  추출 방법이 필요하다.

따라서 본 연구에서는 게이트-소스 overlap 캐패시턴스  $C_{gso}$ 가  $V_{ds}$ 에 무관하다는 가정 아래 CSB 구조에서 측정된 S-파라미터를 사용한 새로운  $V_{ds}$  종속  $C_{gb}$  추출방법을 개발하였다. 이로부터 얻어진  $V_{ds}$  종속 캐패시턴스 종속 곡선으로부터 드레인 영역의 채널 도핑 분포를 측정하였다.

## II. 본 론

### 1. 새로운 $C_{gb}$ 추출 방법

본 연구에서는 단위 게이트 finger 폭  $W_u$ 가  $5\mu m$ 이고 게이트 길이  $L_g$ 가  $0.13\mu m$ 에서  $0.35\mu m$ 까지의 범위를 가지며  $N_f$ 가 16인 multi-finger 게이트 형태의 N-MOSFET 소자들을 사용하였다. 이 소자들의 RF S-파라미터는 wafer probe station에 설치된 on-wafer RF probe에 DC 바이어스를 가한 후 vector network analyzer(VNA)를 사용하여 20 GHz까지 측정하였으며, RF 측정시스템에서 VNA, cable, connector, probe 기생성분을 제거하기 위해서 SOLT(short-open-load-through) calibration 방법을 사용하였다<sup>[4]</sup>. 측정된 on-wafer S-파라미터로부터 RF probe 패드 및 금속 배선 패드의 기생성분을 제거하기 위하여 소자 영역을 개방하여 병렬 기생성분의 측정이 가능한 open 테스트 패턴과 소자 영역을 단락시켜 직렬 기생성분의 측정이 가능한 short 테스트 패턴을 사용한 de-embedding을 수행하였다<sup>[5]</sup>.

그림 1은 소스와 벌크가 접지된 MOSFET의 CSB 구조를 나타내며, 그림 2는 CSB 구조에서 RF MOSFET SPICE 모델의 AC 등가회로를 보여준다<sup>[6]</sup>. 그림 1의 등가회로로부터 저주파(LF)영역에서 다음과 같은  $C_{gb}$  추출을 위한 Y-파라미터 방정식을 유도할 수 있다.

$$C_{gb} = \frac{1}{\omega} \text{Imag}(Y_{11} + Y_{12})_{LF} - C_{gso} \quad (1)$$

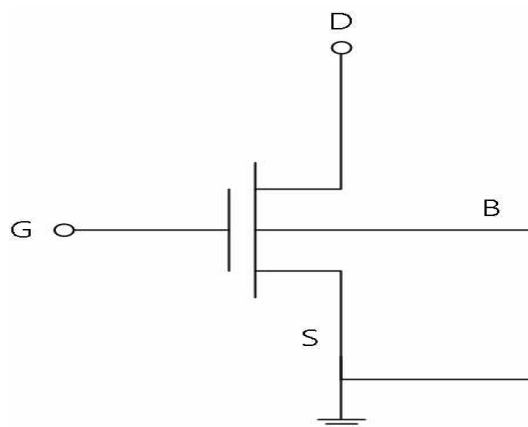


그림 1. 소스와 벌크가 접지된 MOSFET의 CSB 구조  
Fig. 1. CSB configuration of MOSFET with the source and bulk tied to ground.

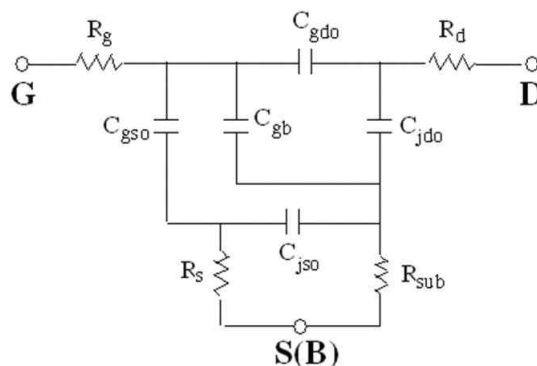


그림 2. CSB 구조 아래에서 RF MOSFET SPICE 모델의 AC 등가회로 ( $V_{gs} = V_{ds} = 0$ )  
Fig. 2. An AC equivalent circuit of RF MOSFET SPICE model under CSB ( $V_{gs} = V_{ds} = 0$ ).

여기에서  $C_{gso}$ 는 MOSFET의 드레인-소스 영역이 대칭인 일반적인 구조에서  $V_{ds} = 0V$ 일 때  $C_{gso} \approx C_{gdo}$ 이므로 독립적 추출이 가능하다.  $V_{ds}$ 가 증가하여도 게이트-소스 전압  $V_{gs} = 0V$ 로 일정하면  $C_{gso}$ 는 변하지 않으므로  $V_{ds}$ 에 무관한  $C_{gso}$ 를 다음과 같이 얻을 수 있다.

$$C_{gso} = C_{gdo} = -\frac{1}{\omega} \text{Imag}(Y_{12})_{LF}(V_{ds} = 0V) \quad (2)$$

이와 같은 새로운  $V_{ds}$  종속  $C_{gb}$  추출방법의 정확도를 파악하기 위하여 AC 등가회로의 캐패시턴스와 저항들을 추출하였다. 먼저 그림 2의 등가회로로부터 게이트-드레인 overlap 캐패시턴스  $C_{gdo}$ 와 드레인-벌크 junction 캐패시턴스  $C_{jdo}$ 는 저주파(LF)영역에서 유도된 다음의 관계식을 사용하여 추출되었다.  $N_f$ 가 큰 소

자에서  $C_{jso}$ 는  $C_{jdo}$ 와 같은 것으로 가정되었다.

$$C_{gdo} = -\frac{1}{\omega} \text{Imag}(Y_{12})_{LF} \quad (3)$$

$$C_{jdo} = \frac{1}{\omega} \text{Imag}(Y_{22} + Y_{12})_{LF} \quad (4)$$

저항  $R_g$ ,  $R_d$ ,  $R_s$  및  $R_{sub}$ 는 고주파(LF)영역에서 유도된 다음의 관계식으로부터 추출되었다<sup>[7-9]</sup>.

$$\text{Real}(Z_{11} - Z_{12})_{HF} = R_g + A_g \omega^{-2} \quad (5)$$

$$\text{Real}(Z_{22} - Z_{12})_{HF} \approx R_d + A_d \omega^{-2} \quad (6)$$

$$\text{Real}(Z_{12})_{HF} \approx R_s + A_s \omega^{-2} \quad (7)$$

$$\text{Real}(Y_{22}^c + Y_{12}^c)_{LF} \approx k_1 \omega^2 \quad (8)$$

여기서  $A_g$ ,  $A_d$ ,  $A_s$ 는 내부 파라미터 함수로서 표현되며,  $k_1 = R_{sub} C_{jdo}^2$ 이다.  $Y^c$ -파라미터는 측정된 S-파라미터로부터  $R_d$ 를 제거하여 얻어진다.  $R_g$ ,  $R_d$ ,  $R_s$ 는 각각  $\omega^{-2}$ 의 함수로 그린 식 (5), (6), (7)의 그래프에서 고주파 영역의 데이터의 y-절편 값으로부터 각각 추출되었고,  $R_{sub}$ 는  $\omega^2$ 의 함수로 그린 식 (8)의 그래프에서 저주파 영역 데이터의 기울기  $k_1$ 을 사용하여  $k_1/C_{jdo}^2$ 으로부터 추출되었다.

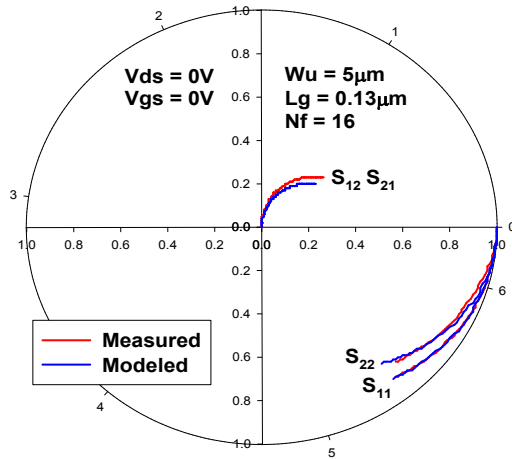


그림 3. 모델된 S-파라미터와 측정데이터와의 비교 (0.1 GHz - 20 GHz).

Fig. 3. Measured and modeled S-parameter data. (0.1 GHz - 20 GHz)

그림 3은 위에서  $V_{gs} = V_{ds} = 0$ 에서 추출된 캐패시턴스 값들과 저항 값들을 그림 1에 대입하여 시뮬레이션한 S-파라미터와 측정 데이터가 0.1 GHz에서 20 GHz까지 잘 일치하는 것을 보여주고 있으며, 이는 새로운 추출방법의 정확도를 검증한다.

## 2. $V_{ds}$ 증속성 추출 및 분석

그림 4는  $V_{ds}$ 를 변화시키면서 측정된 식 (1)의 데이터를 주파수의 함수로 나타낸 그림이며,  $C_{gb}$ 를 추출하기 위해서 저주파 영역의 데이터가 사용되었다.

그림 5는  $L_g$ 를 변화시키며 추출한  $C_{gb}$ 를  $V_{ds}$ 의 함수로 그린 그래프이며  $L_g$ 에 비례하여  $C_{gb}$ 가 증가하게 된다.  $V_{ds}$ 가 증가하면서  $C_{gb}$ 가 감소하는 현상은 드레인-벌크 junction의 드레인 depletion 영역이 소스쪽으로 증가하여 게이트-벌크 캐패시턴스 면적이 감소하기 때문이다.

$C_{gb}$ 는  $V_{gs} < V_{th}$ 에서 게이트-벌크 내부 캐패시턴스  $C_{gbi}$ 와 외부 성분인 게이트-벌크 overlap 캐패시턴스  $C_{gbo}$ 로 구성된다. 하지만  $V_{gs} > V_{th}$ 에서는 채널이 형성되어 내부 성분  $C_{gbi}$ 가 사라지므로  $C_{gbo}$ 만 측정된다. 따라서  $C_{gbi}$ 는 다음 식으로 추출할 수 있다<sup>[2]</sup>.

$$C_{gbi} = C_{gb}(V_{gs} < V_{th}) - C_{gb}(V_{gs} > V_{th}) \quad (9)$$

그림 6은  $V_{ds}$  변화에 따른  $C_{gbi}$  추출 데이터를  $L_g$ 의 함수로 그린 그래프이며, fitting된 직선의 x-절편으로부터 소스/드레인의 overlap과 depletion 길이  $L_{od}$  값을 추

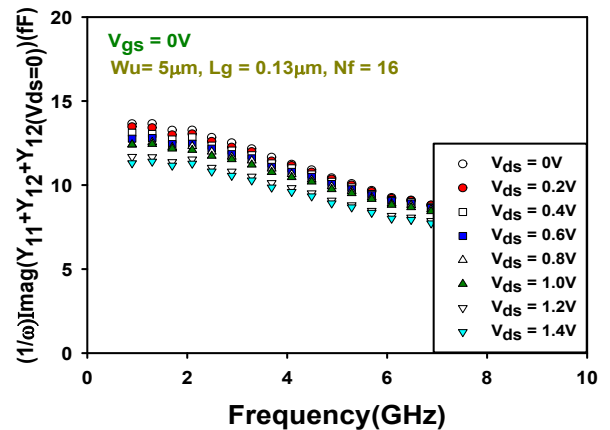


그림 4. 다양한  $V_{ds}$ 에서 측정된 식 (1)의 주파수 응답

Fig. 4. The frequency response of measured data of equation (1) with varying  $V_{ds}$ .

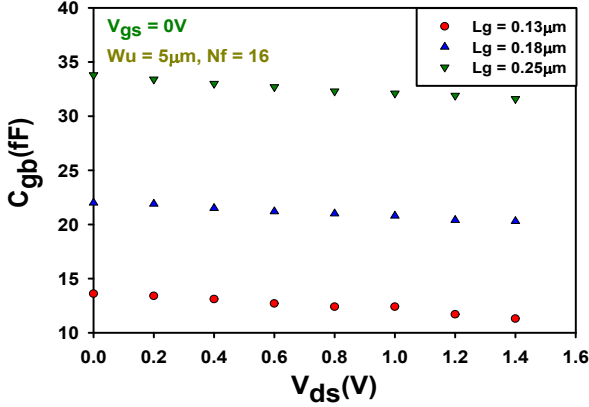


그림 5. 다양한  $L_g$ 에서 추출된  $C_{gb}$  대  $V_{ds}$  그래프  
 Fig. 5. The extracted  $C_{gb}$  versus  $V_{ds}$  at various  $L_g$ .

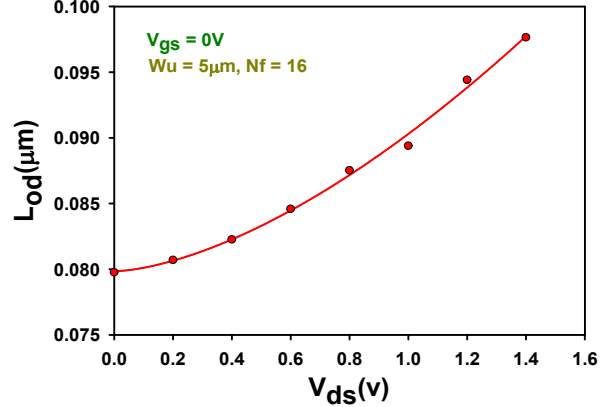


그림 7.  $L_{od}$ 의 추출 데이터 (o)와 fitting 선의  $V_{ds}$  종속성  
 Fig. 7.  $V_{ds}$ -dependence of extracted  $L_{od}$  data (o) and fitting line.

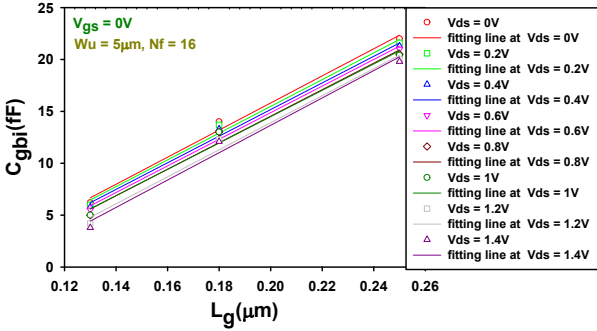


그림 6 다양한  $V_{ds}$ 에서 추출된  $C_{gbi}$  대  $L_g$  데이터 (symbol)와 fitting한 직선  
 Fig. 6 The extracted  $C_{gbi}$  versus  $L_g$  data (symbol) and fitting lines at different  $V_{ds}$ .

출할 수 있다<sup>[2]</sup>. 이때  $L_{od}$ 는 다음과 같이 정의된다.

$$L_{od} = 2(L_{ovs} + L_{ovd} + L_{des} + L_{des}) \quad (10)$$

여기서  $L_{ovs}$ 는 소스의 overlap 영역 길이이며,  $L_{ovd}$  드레인의 overlap 영역 길이이며,  $L_{des}$ 는 소스의 depletion 영역 길이이며,  $L_{ded}$ 는 드레인의 depletion 영역 길이이다.

그림 7은 추출한  $L_{od}$ 를  $V_{ds}$ 의 함수로 그린 그래프이며 점점 증가율이 상승하는 것을 알 수 있다.

$V_{ds}$ 에 따른  $L_{de}$ 의 변화는 다음과 같다<sup>[10]</sup>.

$$L_{de} = a + b(V_{ds})^n \quad (11)$$

이때  $n$ 의 값은 채널 doping 분포인  $N_A(x) = B(x/x_0)^m$ 과 관련되어 있으며  $n = 1/(m+2)$ 의 관계식으로 주어진다. 이때  $x$ 는 드레인 junction 위치인  $x_0$ 에서 소스 junction으로 향하는 채널 길이이고,  $B$ 는  $x_0$

에서의 최대 doping 값이다. 따라서  $V_{ds}$  종속  $L_{de}$  곡선으로부터  $n$  값을 추출한다면 채널 도핑 분포  $N_A(x)$ 가 어떤 함수로 변화하는지를 측정할 수 있다.

그림 7의  $L_{od}$  추출 데이터를 식 (11)의 곡선으로 fitting하여 결정된  $n$  값으로부터  $m = -1.37$ 이 추출되며 fitting 선과 측정데이터가 아주 잘 일치됨을 알 수 있다. 이러한 추출 값으로부터 드레인 junction  $x_0$ 에서 소스 쪽으로 갈수록 doping이  $B(x/x_0)^{-1.37}$ 의 함수로 급격히 감소되는 것을 알 수 있다. 이러한 분포함수는 드레인 부근의 short-channel효과나 누설전류를 줄이기 위해 고농도의 국부적인 halo나 pocket 이온주입이 행해졌음을 보여준다.

### III. 결 론

본 연구에서는 측정된 S-파라미터를 사용하여  $V_{ds}$ 에 무관한  $C_{gso}$ 를  $V_{ds} = 0V$ 일 때 추출하고 이를 바탕으로  $V_{ds}$  종속성을 구하는 새로운  $C_{gb}$  추출 방법을 개발하였다. 이 방법의 정확도는 추출된 캐패시턴스 값들을 대입하여 모델링한 AC 등가회로와 측정된 데이터가 잘 일치하는 것을 확인함으로써 증명되었다. 얻어진  $V_{ds}$  종속 캐패시턴스 종속곡선으로부터  $L_{od}$ 의  $V_{ds}$  종속곡선이 추출되었으며, 곡선 fitting을 통해 드레인 영역의 채널 도핑 분포함수를 실험적으로 측정하였다.

## 참고 문헌

- [1] 고봉혁, 이성현, “고온 종속 RF MOSFET 캐패시턴스-전압 곡선 추출 및 모델링,” 전자공학회 논문지 제 47권 SD편 10호, 1-6쪽, 2010년.
- [2] J.-Y. Kim, B.-H. Ko, M.-K. Choi, and S. Lee, “RF extraction method for source/drain overlap and depletion length of deep-submicron RF MOSFETs using intrinsic gate-bulk capacitance”, Electronics Letters, Vol. 46, No. 23, pp.1566-1568, 2010.
- [3] T.S. Hsieh, Y.W. Chang, W.J. Tsai, and T.C. Lu, “A new Leff extraction approach for devices with pocket implants”. Proc. IEEE Int. Conf. on Microelectronic Test Structure, Kobe, Japan, pp. 15-18, March 2001.
- [4] A. Ferrero and U. Pisani, “QSOLT: A new fast calibration algorithm for two port S parameter measurements,” 38th ARFTG Conference Digest, pp. 15-24, Winter 1991.
- [5] J. Cha, J. Cha, and S. Lee, “Uncertainty analysis of two-step and three-step methods for deembedding on-wafer RF transistor measurements,” IEEE Trans. Electron Device, Vol. 55, No. 8, pp. 2195-2201, 2008.
- [6] S. Lee, “A direct method to extract RF MOSFET model parameters using common source-gate and source drain configurations”, Microwave and Optical Technology Letters, Vol.50, No. 4, pp. 915-917, April 2008.
- [7] S. Lee, “Direct extraction of substrate parameters for the small-signal model of a RF MOSFET”, Asia-Pacific Microwave Conference, pp. 346-349, 2003.
- [8] S. Lee, “Accurate RF extraction method for resistances and inductances of sub-0.1 μm CMOS transistors”, Electronics Letters, Vol. 41, No. 24, pp. 1325-1327, 2005.
- [9] 김종혁, 이용택, 최문성, 구자남, 이성현, “Nano-Scale MOSFET의 게이트길이 종속 차단주파수 추출,” 전자공학회 논문지, 제 42권 SD편 12호, 1-8쪽, 2005년.
- [10] S.M. Sze “SEMICONDUCTOR DEVICES Physics and Technology”, 2nd Edition, John Wiley & Sons, p.103, 2001.

## 저자 소개



최민권(학생회원)  
2010년 한국외국어대학교 전자공학과 학사 졸업.  
2010년~현재 한국외국어대학교 전자정보공학과 석사과정.

<주관심분야 : RF CMOS 소자 모델링>



김주영(학생회원)  
2010년 한국외국어대학교 전자공학과 학사 졸업.  
2010년~현재 한국외국어대학교 전자정보공학과 석사과정.

<주관심분야 : RF CMOS 소자 모델링>



이성현(정회원)  
1985년 고려대학교 전자공학과 학사 졸업.  
1989년 미국 University of Minnesota 전기공학과 석사 졸업.

1992년 미국 University of Minnesota 전기공학과 박사 졸업.

1992년-1995년 한국전자통신연구원 선임연구원  
1995년~현재 한국외국어대학교 전자공학과 교수

<주관심분야 : CMOS 및 바이폴라 소자 모델링>