

논문 2011-48SD-10-9

Intrinsic Cylindrical/Surrounding Gate SOI MOSFET의 I-V 특성 도출을 위한 해석적 모델

(Analytical Model for Deriving the I-V Characteristics of an Intrinsic
Cylindrical Surrounding Gate MOSFET)

우 상 수**, 이 재 빈*, 서 정 하***

(Sang-Su Woo, Jae-Bin Lee, and Chung-Ha Suh)

요 약

본 논문에서는 intrinsic-body cylindrical/surrounding gate SOI MOSFET의 I-V 특성 도출을 위한 간단한 해석적 모델을 제시하였다. Intrinsic 실리콘 채널 영역에서의 Poisson 방정식과 gate oxide 내에서의 Laplace 방정식을 해석적으로 풀어 소스와 드레인 양단 끝에서의 표면 전위 분포를 bisection method를 이용하여 구하였다. 구해진 표면 전위를 바탕으로 closed-form의 I-V 특성 식을 도출하였다. 도출된 I-V 특성 표현 식을 모의 실험한 결과, 소자의 parameter와 가해진 bias 전압에 대한 비교적 정확한 의존성을 확인할 수 있었다.

Abstract

In this paper, a simple analytical model for deriving the I-V characteristics of a cylindrical surrounding gate SOI MOSFET with intrinsic silicon core is suggested. The Poisson equation in the intrinsic silicon core and the Laplace equation in the gate oxide layer are solved analytically. The surface potentials at both source and drain ends are obtained by means of the bisection method. From them, the surface potential distribution is used to describe the I-V characteristics in a closed-form. Simulation results seem to show the dependencies of the I-V characteristics on the various device parameters and applied bias voltages within a range of satisfactory accuracy.

Keywords : intrinsic cylindrical/surrounding gate SOI MOSFET, I-V characteristics, drain current saturation

I. 서 론

Bulk-type MOSFET은 고집적화와 고속 switching을 구현하고자 채널 길이를 $0.18\mu\text{m}$ 이하의 deep sub-micrometer급으로 scale down하게 되면 단 채널 효과(SCE: Short Channel Effect)를 나타내며 그중 드레인 전압의 증가에 따라 심해지는 문턱 전압의 roll-off 현상

이 주된 문제점으로 대두되어왔다^[1~5]. 이 문제점을 극복하고자 gate oxide의 두께를 줄이는 방법은 gate oxide 절연성과 소자 내구성의 감소 및 게이트-기관간의 tunneling을 초래하게 한다. 기관 도핑 농도를 높이는 방법은 고 농도의 불순물에 의한 캐리어의 mobility degradation을 일으키고, drain/substrate p-n 접합의 공핍영역에서 high-field에 의한 band-to-band tunneling이 일어나 상당 수준의 leakage current를 야기 시킨다^[6~7]. 또한 작은 체적에서는 도핑이 균일하게 이루어 지지 않는 RDF (Random Dopant Fluctuation) 현상이 일어나고, 이로 인해 문턱 전압의 local fluctuation이 유발되므로 현재의 기술로는 작은 체적의 소자에는 높은 도핑이 용이하지 않다^[8~9]. Scale down에서 발생하는 이

* 학생회원, ** 정회원, *** 평생회원,
홍익대학교 전자전기공학부
(School of Electronic & Electrical Eng., Hongik Univ.)

※ 본 연구는 홍익대학교 2010년도 학술연구진흥과제에 의해 지원되었음.

접수일자: 2011년3월16일, 수정완료일: 2011년10월21일

러한 제 문제점들을 극복하기 위해 SOI (Silicon-On-Insulator) MOSFET이 최근 크게 주목되고 있다. SOI MOSFET은 절연 기판으로의 leakage current를 방지하고 정전 용량의 감소를 통하여 기존의 MOSFET을 scale down하면서 발생하는 문제점들을 크게 감소할 수 있다^[10]. 또한, gate 면적을 늘려 전류 구동 능력을 개선하기 위해 multi-gate MOSFET이 주목을 받으면서 초기에 DG (Dual Gate) MOSFET이 제안된 이후로 finFET와 같은 triple-gate, Ω -gate와 같은 소자들이 제안되어 왔으며, 최근 GAA (Gate All Around) 소자로서 cylindrical gate MOSFET이 제안되어 큰 주목을 받고 있다^[11~13]. 이 소자는 wafer 상에 channel을 형성하기 위해 silicon core를 절연 기판 위에 수직으로 성장시킴으로써 작은 feature size를 유지하면서도 long channel소자의 제작이 용이하여 scale down을 함으로서 발생하는 SCE의 여러 가지 문제점을 크게 감소시킬 수 있다. 또, 소자 구동 시 volume inversion이 발생이 고려될 수 있어 전류 구동 능력을 향상시켜 줄 것으로 기대되고 있다^[2, 8, 14~15]. 또한, scale down에 따른 문제를 완화하기 위해 원통의 silicon core (body)를 intrinsic으로 함으로서 RDF, mobility degradation, 및 high-field 절연 파괴 등의 문제를 해결하면서, source와 core간의 $n^+ - i$ 접합으로 인해 더 낮은 barrier height를 가지게 되어 문턱 전압을 더 낮출 수 있다^[16]. 또한 공정 측면에서도 도핑 공정의 생략으로 공정의 간소화와 공정비용 절약의 장점을 갖고 있다^[8]. 이와 같은 장점을 갖는 intrinsic cylindrical surrounding gate SOI MOSFET로 이루어진 회로는 비교적 long channel 소자의 제작으로도 고집적화의 감소를 초래하지 않으며, volume inversion에 의해 전류 구동 능력 개선 효과를 기대할 수 있다. 그러므로 bulk-type MOSFET에 비해 더 우수한 특성을 갖는 소자 제작이 가능하다. 따라서 intrinsic cylindrical surrounding gate SOI MOSFET에 대한 정확한 해석적 모델을 구축하는 것은 향후 소자의 최적화와 회로 설계에 있어서 매우 중요한 과제로 주목되고 있다. 그러나 현재까지 intrinsic body cylindrical surrounding gate SOI MOSFET의 I-V 특성 도출을 위한 기존의 모델들에서는 근사식 및 fitting parameter들이 사용되고 있다^[1, 9, 15]. 이러한 근사식과 empirical parameter는 정확한 특성 도출하는데 있어 장애가 되며, intrinsic model의 경우 strong inversion에 대한 일반적인 정의와 short channel에의 적용에 어려움을 겪고 있

어 논란의 여지를 갖고 있다.

본 논문은 이러한 기존 모델들의 미비점을 보완하여 intrinsic cylindrical surrounding gate SOI MOSFET의 I-V 특성을 long channel소자라는 가정 하에 비교적 정확하게 도출할 수 있는 해석적 모델을 제안하고자 한다.

II. Intrinsic cylindrical/surrounding gate SOI MOSFET의 I-V 특성 모델

1. Oxide층과 silicon body내의 전위 분포

본 논문의 해석적 모델링을 위한 intrinsic cylindrical surrounding gate SOI MOSFET의 단면도가 그림 1에 도시되었다. r 은 cylindrical silicon core의 중심축으로부터 gate 전극으로 향하는 좌표이고, y 는 source로부터 drain으로 향하는 축 방향의 좌표, L 은 channel 길이, t_{si} 는 silicon core의 직경, t_{ox} 는 oxide층의 두께, 그리고 V_{GS} 와 V_{DS} 는 각각 source를 기준으로 한 gate 전압 및 drain 전압을 나타낸다. cylindrical surrounding gate SOI MOSFET의 oxide층과 silicon core내 전위 $\psi(r, y)$ 를 도출하기 위해 oxide층 내의 공간 전하 밀도를 무시하고, intrinsic silicon core내에서 carrier 밀도로서 hole 밀도를 무시하여 전자 밀도만 고려하고, 채널 길이가 짧지 않아 GCA를 적용할 수 있다고 보아, 다음의 원통 좌표계 Laplace/Poisson 방정식을 고려하자.

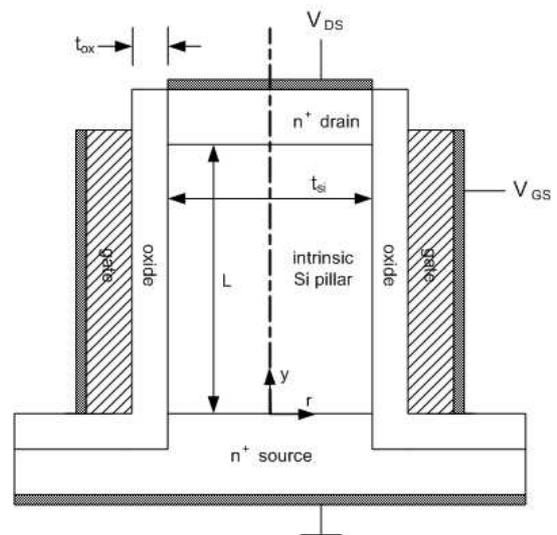


그림 1. intrinsic cylindrical/surrounding gate SOI MOSFET의 단면도

Fig. 1. Cross-section of an intrinsic cylindrical/surrounding gate SOI MOSFET to be modeled.

$$\frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \psi}{\partial r} \right) = \begin{cases} 0, & t_{si}/2 \leq r \leq t_{si}/2 + t_{ox}, \\ \frac{q}{\epsilon_{si}} n(r, y), & 0 \leq r \leq t_{si}/2, \end{cases} \quad (1)$$

단, $\psi(r, y)$ 는 oxide층과 silicon core내의 전위이고, q 는 기본 전하량, ϵ_{si} 는 silicon의 유전 상수, 그리고 $n(r, y)$ 는 core내 (r, y) 지점에서의 전자 밀도이다. 식(1)에서 소자 구조의 축 방향에 대한 대칭성으로 인해 r 과 y 좌표만 고려하였다. 전자에 의한 전류 밀도가 주로 y 방향임을 고려하면 $n(r, y)$ 은 다음과 같이 쓸 수 있다.

$$n(r, y) = n_i \exp[\beta\psi(r, y) - \beta V(y)], \quad (2)$$

여기서 n_i 는 intrinsic silicon core에서의 carrier 밀도이고, $\beta = q/(k_B T)$ 는 thermal voltage의 역수이며 (k_B : boltzmann constant, T : absolute temperature), $V(y)$ 는 채널 내 y 지점에서의 전자의 quasi-Fermi potential이다. 편의상 oxide층 내의 전위 분포를 $\psi^{ox}(r, y)$ 로, silicon core내의 전위 분포를 $\psi^{si}(r, y)$ 로 구분하면 식(1)에 필요한 경계조건들은 다음과 같다.

$$\psi^{ox}(t_{si}/2 + t_{ox}, y) = V_{GS} - \Phi_{ms} = V'_{GS}, \quad (3)$$

$$\psi^{ox}(t_{si}/2, y) = \psi^{si}(t_{si}/2, y) = \psi_s(y), \quad (4)$$

$$\left. \frac{\partial \psi^{si}}{\partial r} \right|_{r=0} = 0, \quad (5)$$

$$\left. \frac{\partial \psi^{ox}}{\partial r} \right|_{r=t_{si}/2} = \frac{\epsilon_{si}}{\epsilon_{ox}} \left. \frac{\partial \psi^{si}}{\partial r} \right|_{r=t_{si}/2} - \frac{Q_{ss}}{\epsilon_{ox}}, \quad (6)$$

단, Φ_{ms} 는 gate와 silicon core사이의 일함수 차, $\psi_s(y)$ 는 채널 표면 전위, ϵ_{ox} 는 oxide의 유전 상수, 그리고 Q_{ss} 는 silicon/oxide interface에서의 표면 전하 밀도이다. 식(1) 상단의 Laplace 방정식의 해 $\psi^{ox}(r, y)$ 는 다음 형태로 표현된다.

$$\psi^{ox}(r, y) = V'_{GS} - [V'_{GS} - \psi_s(y)] \left[1 - \frac{1}{\sigma} \ln \left(\frac{2r}{t_{si}} \right) \right], \quad (7)$$

단,

$$\sigma = \ln \left(1 + \frac{2t_{ox}}{t_{si}} \right). \quad (8)$$

$\psi^{si}(r, y)$ 를 구하기 위해 식(1) 하단의 Poisson방정식을 다음과 같이 변형하여 쓰기로 하자.

$$\frac{\partial^2 \theta}{\partial r^2} + \frac{1}{r} \frac{\partial \theta}{\partial r} = 2\kappa e^\theta, \quad (9)$$

단, θ 와 κ 는 다음과 같이 정의된다.

$$\theta(r, y) = \beta\psi^{si}(r, y) - \beta V(y), \quad (10)$$

$$\kappa = \frac{\beta q n_i}{2\epsilon_{si}}. \quad (11)$$

식(9)의 미분방정식을 해석적으로 풀기 위해 다음과 같이 정의된 변수 w 및 η 를 도입하자.

$$w = r \frac{\partial \theta}{\partial r}, \quad (12)$$

$$\eta = \kappa r^2 e^\theta, \quad (13)$$

식(12)와 (13)을 이용하면 식(9)를 다음과 같이 표현할 수 있다.

$$\frac{\partial w}{\partial r} = \frac{\partial \theta}{\partial r} + r \frac{\partial^2 \theta}{\partial r^2} = \frac{2\eta}{r}, \quad (14)$$

식(13)으로 정의된 η 를 r 에 대하여 미분하면

$$\frac{\partial \eta}{\partial r} = 2\kappa r e^\theta + \kappa r^2 e^\theta \frac{\partial \theta}{\partial r} = \frac{\eta}{r} (2 + w). \quad (15)$$

상기 식에 $2\eta = r \partial w / \partial r$ 를 대입하면

$$(2 + w) \frac{\partial w}{\partial r} = 2 \frac{\partial \eta}{\partial r} \quad (16)$$

을 얻는다. 식(16)을 r 에 대해 적분하고 식(12), (13)의 정의에 의해 $w(0, y) = 0$, $\eta(0, y) = 0$ 임을 고려하면

$$\frac{1}{2} w^2 + 2w = 2\eta, \quad (17)$$

이 된다. 식(17)에 식(12)를 대입하면

$$\frac{1}{2} r^2 \left(\frac{\partial \theta}{\partial r} \right)^2 + 2r \left(\frac{\partial \theta}{\partial r} \right) = 2\eta \quad (18)$$

이다. 식(9)의 양변에 r^2 을 곱하고, 식(13)을 고려하면

$$r^2 \frac{\partial^2 \theta}{\partial r^2} + r \frac{\partial \theta}{\partial r} = 2\eta \quad (19)$$

이다. 식(18)과 식(19)를 연립하여 n_0 를 소거하면 아래의 식을 얻게 된다.

$$\frac{\partial^2 \theta}{\partial r^2} - \frac{1}{2} \left(\frac{\partial \theta}{\partial r} \right)^2 - \frac{1}{r} \left(\frac{\partial \theta}{\partial r} \right) = 0, \quad (20)$$

식(20)을 풀기위해 다음과 같이 $f(r, y)$ 를 정의하자.

$$\frac{\partial \theta}{\partial r} = \frac{1}{f}, \quad (21)$$

그러면 식(21)은 다음과 같이 표현된다.

$$\frac{\partial f}{\partial r} + \frac{f}{r} + \frac{1}{2} = 0, \quad (22)$$

식(22)의 해를 선형 미분 방정식 풀이에 의해 구하면

$$f(r, y) = \frac{1}{4} \left(\frac{1}{Br} - r \right) \quad (23)$$

이다. 식(23)을 식(21)에 대입하고 식(10)을 고려하면 다음을 얻게 된다.

$$\frac{\partial \psi^{si}}{\partial r} = \frac{1}{\beta} \frac{4Br}{1 - Br^2} \quad (24)$$

식(24)를 r 에 대하여 적분하면 다음 식을 얻게 된다.

$$\psi^{si}(r, y) = \psi_c(y) - \frac{2}{\beta} \ln [1 - B(y)r^2], \quad (25)$$

단, $\psi_c(y) = \psi^{si}(0, y) = V(y) + \theta(0, y)/\beta$ 이다. $B(y)$ 를 구하기 위해 식(24)를 r 에 대해 미분하면

$$\frac{\partial^2 \psi^{si}}{\partial r^2} = \frac{4B}{\beta} \frac{1 + Br^2}{(1 - Br^2)^2} \quad (26)$$

를 얻으며, 식(24)와 식(26)을 식(1) 하단의 Poisson방정식에 대입하면 $B(y)$ 는 다음과 같이 구해진다.

$$B(y) = \frac{\beta q n_i}{8 \epsilon_{si}} \exp [\beta \psi_c(y) - \beta V(y)]. \quad (27)$$

편의상, $\zeta(y) = (t_{si}/2)^2 B(y)$ 로 정의하면 식(25)는 다음 식으로 다시 표현된다.

$$\psi^{si}(r, y) = \psi_c(y) - \frac{2}{\beta} \ln [1 - (2r/t_{si})^2 \zeta(y)]. \quad (28)$$

2. Oxide/Si body interface 전위 표현 식

식(28)에 $r = t_{si}/2$ 을 대입하면

$$\psi_s(y) = \psi_c(y) - \frac{2}{\beta} \ln [1 - \zeta(y)], \quad (29)$$

이고, $\zeta(y)$ 에 식(28)을 대입하면 다음 식을 얻는다.

$$V(y) = \psi_s(y) - \frac{1}{\beta} \ln \zeta(y) + \frac{2}{\beta} \ln [1 - \zeta(y)] + \frac{1}{\beta} \ln \left(\frac{\beta q n_i t_{si}^2}{32 \epsilon_{si}} \right) \quad (30)$$

식(7)과 식(28)을 r 에 대하여 미분하고 $r = t_{si}/2$ 을 대입하면 다음 식을 얻게 된다.

$$\frac{\partial \psi^{ox}}{\partial r} \Big|_{r=t_{si}/2} = \frac{2}{\sigma t_{si}} [V'_{GS} - \psi_s(y)], \quad (31)$$

$$\frac{\partial \psi^{si}}{\partial r} \Big|_{r=t_{si}/2} = \frac{8}{\beta t_{si}} \frac{\zeta(y)}{1 - \zeta(y)}. \quad (32)$$

식(6)에 식(31)과 (32)를 대입하면 다음 식이 도출된다.

$$\frac{\zeta(y)}{1 - \zeta(y)} = \frac{\beta C_{ox}^{cyl}}{C_{si}^{cyl}} [V_{GS} - V_{FB}^{cyl} - \psi_s(y)]. \quad (33)$$

단, $C_{ox}^{cyl} = 2\epsilon_{ox}/(t_{si}\sigma)$, $C_{si}^{cyl} = 8\epsilon_{ox}/t_{si}$, 그리고 $V_{FB}^{cyl} = \Phi_{ms} - Q_{ss}/C_{ox}^{cyl}$ 이다. 식(30)과 (33)을 연립하여 $\zeta(y)$ 를 소거하면, 다음 식이 얻어진다.

$$V(y) = \psi_s(y) + \frac{1}{\beta} \ln \left(\frac{\beta q n_i t_{si}^2}{32 \epsilon_{si}} \right) - \frac{1}{\beta} \ln \left[\nu \beta (V_{GS} - V_{FB}^{cyl} - \psi_s(y) RIGHT) \right] - \frac{1}{\beta} \ln [1 + \nu \beta (V_{GS} - V_{FB}^{cyl} - \psi_s(y))]. \quad (34)$$

단, $\nu = C_{ox}^{cyl}/C_{si}^{cyl}$ 이다. 식(34)는 $\beta \psi_s(y)$ 가 $\beta (V_{GS} - V_{FB}^{cyl})$ 에 접근하게 되면 $\beta V(y)$ 가 ∞ 에 가까워짐을 나타내므로 큰 값의 $V(L)$ 에 대해서도 $\psi_s(L) < V_{GS} - V_{FB}^{cyl}$ 를 만족하도록 $\psi_s(L)$ 값이 포화됨을 알 수 있다. $y=0$ 과 $y=L$ 의 quasi-Fermi 준위 가정에 의해 다음의 경계 조건을 적용할 수 있다.

$$V(0) = 0, \quad V(L) = V_{DS}, \quad (35)$$

따라서 식(34)에 식(35)를 대입하면 $\psi_{s0} = \psi_s(0)$ 및 $\psi_{sL} = \psi_s(L)$ 을 결정할 수 있다.

3. Intrinsic Cylindrical Surrounding Gate SOI MOSFET의 drain 전류 표현식

식(34)를 y 에 대하여 미분하면 다음의 식을 얻을 수 있다.

$$\frac{dV}{dy} = \left\{ \begin{array}{l} 1 + \frac{1}{\beta} \frac{1}{V_{GS} - V_{FB}^{cyl} - \psi_s(y)} \\ + \frac{1}{\beta} \frac{1}{1 + \nu\beta [V_{GS} - V_{FB}^{cyl} - \psi_s(y)]} \end{array} \right\} \frac{d\psi_s}{dy}. \quad (36)$$

채널 위치 y 지점에서 전자의 drift 성분과 diffusion 성분을 합한 전류 $I_D(y)$ 는 drift diffusion approximation (DDA)과 Einstein관계식에 의해 다음과 같이 표현된다.

$$\begin{aligned} I_D(y) &= \int_0^{2\pi} \int_0^{t_{si}/2} q\mu_n n(r,y) \frac{dV}{dy} d\theta dr \\ &= \mu_n Q_n(y) \frac{dV}{dy}. \end{aligned} \quad (37)$$

단, μ_n 은 전자의 이동도이며, $Q_n(y)$ 은 채널 y 지점에서 단위 길이 당 캐리어 전하량으로서 식(1), (32), 및 (33)을 이용하여 다음과 같이 도출된다.

$$\begin{aligned} Q_n(y) &= q \int_0^{t_{si}/2} 2\pi r n(r,y) dr \\ &= 2\pi \epsilon_{si} \int_0^{t_{si}/2} r \frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \psi^{si}}{\partial r} \right) dr \\ &= \pi \epsilon_{si} t_{si} \left. \frac{\partial \psi^{si}}{\partial r} \right|_{r=t_{si}/2} \\ &= \pi t_{si} C_{ox}^{cyl} [V_{GS} - V_{FB}^{cyl} - \psi_s(y)]. \end{aligned} \quad (38)$$

식(36)과 식(38)을 식(37)에 대입한 후, 전류 연속 조건에 의해 $I_D(y)$ 가 y 에 무관함을 고려하여 y 에 대해 $y=0$ 에서 $y=L$ 까지 적분하면 (편의상 μ_n 의 y 의존성을 무시함), 드레인 전류 I_D 는 최종적으로 다음과 같이 도출된다.

$$\begin{aligned} I_D &= G_o \left[\left(V_{GS} - V_T + \frac{2}{\beta} \right) (\psi_{sL} - \psi_{s0}) \right. \\ &\quad \left. - \frac{1}{2} (\psi_{sL} - \psi_{s0})^2 \right] \\ &+ \frac{G_o}{\beta^2 \nu} \ln \left[\frac{1 + \nu\beta (V_{GS} - V_{FB}^{cyl} - \psi_{sL})}{1 + \nu\beta (V_{GS} - V_{FB}^{cyl} - \psi_{s0})} \right] \end{aligned} \quad (39)$$

단, $G_o = \pi t_{si} C_{ox}^{cyl} \mu_n / L$ 이며 V_T 는 문턱 전압으로서 다음과 같이 도출된다.

$$V_T = V_{FB}^{cyl} + \psi_{s0}. \quad (40)$$

III. 모의실험 결과 및 검토

앞서 구한 수식에 따라 $\psi_s(y)$ 및 drain 전류를 모의 실험한 결과가 그림 2에서 7까지 도시되었다. 계산을 위해 $\beta = 40 [V^{-1}]$, $\epsilon_{si} = 11.8 \times 8.85 \times 10^{-14} [F/cm]$, $\epsilon_{ox} = 3.9 \times 8.85 \times 10^{-14} [F/cm]$, $N_D = 1 \times 10^{20} [cm^{-3}]$, $n_i = 1.45 \times 10^{10} [cm^{-3}]$ 를 사용하였다. 그림 2와 3은

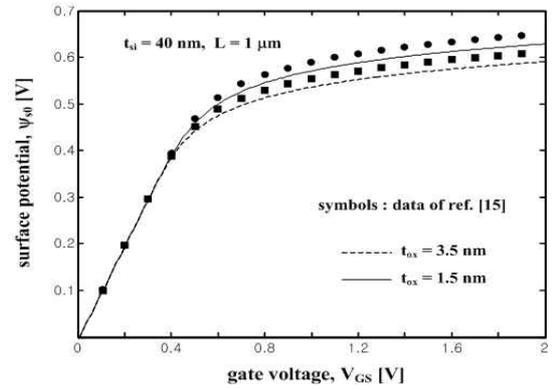


그림 2. $t_{si} = 40 \text{ nm}$ 일 때 여러 t_{ox} 에 대한 Intrinsic cylindrical surrounding gate SOI MOSFET의 gate 전압에 따른 ψ_{s0} 의 변화

Fig. 2. ψ_{s0} versus V_{GS} for $t_{si} = 40 \text{ nm}$ and various values of t_{ox} .

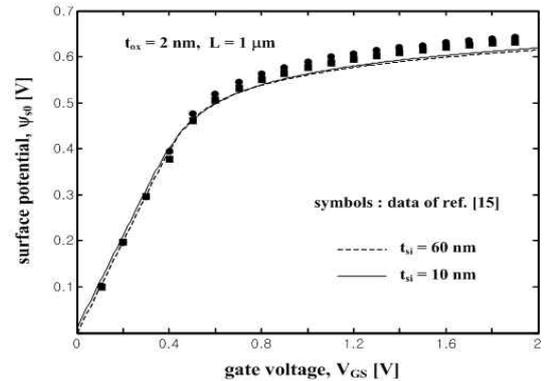


그림 3. $t_{ox} = 2 \text{ nm}$ 일 때 여러 t_{si} 에 대한 Intrinsic cylindrical surrounding gate SOI MOSFET의 gate 전압에 따른 ψ_{s0} 의 변화

Fig. 3. ψ_{s0} versus V_{GS} for $t_{ox} = 2 \text{ nm}$ and various values of t_{si} .

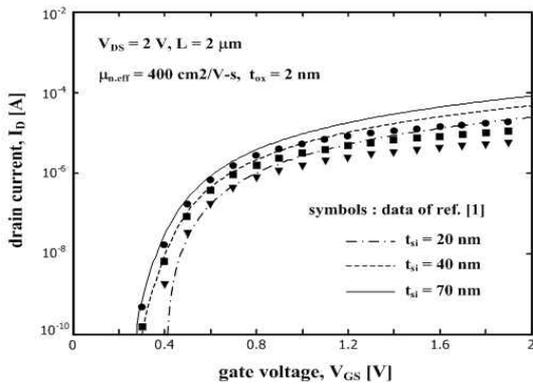


그림 4. $t_{si} = 40 \text{ nm}$, $t_{ox} = 2 \text{ nm}$ 일 때 여러 V_{DS} 에 대한 Intrinsic cylindrical surrounding gate SOI MOSFET의 gate 전압에 따른 ψ_{sL} 의 변화
Fig. 4. ψ_{sL} versus V_{GS} for various values of V_{DS} .

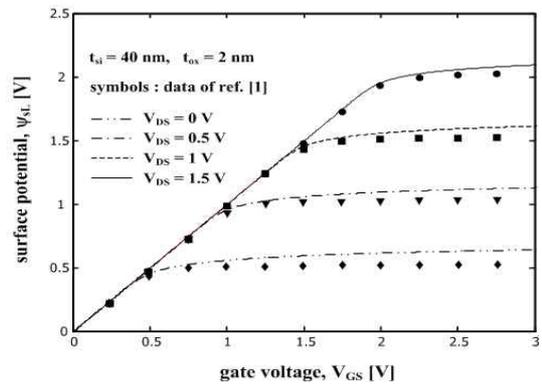


그림 6. $t_{ox} = 2 \text{ nm}$, $V_{DS} = 2 \text{ V}$ 일 때 여러 t_{si} 에 대한 Intrinsic cylindrical surrounding gate SOI MOSFET의 “gate 전압에 따른 I_D 의 변화
Fig. 6. I_D versus V_{GS} for various values of t_{si} .

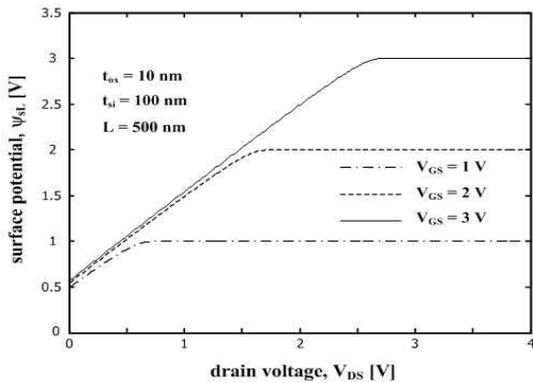


그림 5. $t_{si} = 100 \text{ nm}$, $t_{ox} = 10 \text{ nm}$ 일 때 여러 V_{GS} 에 대한 Intrinsic cylindrical surrounding gate SOI MOSFET의 drain 전압에 따른 ψ_{sL} 의 변화
Fig. 5. ψ_{sL} versus V_{DS} for various values of V_{GS} .

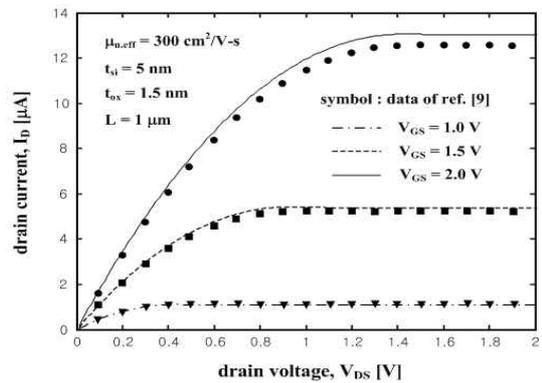


그림 7. $t_{si} = 100 \text{ nm}$, $t_{ox} = 2 \text{ nm}$ 일 때 여러 V_{DS} 에 대한 Intrinsic cylindrical surrounding gate SOI MOSFET의 “gate 전압에 따른 I_D 의 변화
Fig. 7. I_D versus V_{DS} for various values of V_{GS} .

각각 여러 가지 t_{ox} , t_{si} 값에 대한 gate 전압 증가에 따른 ψ_{s0} 의 변화를 기존의 논문^[15]과 비교하여 도시하였다. 각 그림이 기존의 논문에 비해 0.4V 이상에서의 gate 전압에서는 더 큰 값을 가지고, t_{si} 보다 t_{ox} 의 의존성이 더 큰 것을 확인할 수 있다. 그림 4는 여러 가지 V_{DS} 의 값에 대한 gate 전압 증가에 따른 ψ_{sL} 의 변화를 논문 [1]의 data와 비교하여 도시하였으며, gate 전압의 증가에 따라 saturation이 되지만 기존의 논문에 비해 약간의 증가를 보이고 있다. 그림 5는 여러 가지 V_{GS} 의 값에 대한 drain 전압 증가에 따른 drain 전류의 변화를 도시하였다. drain 전압의 증가에 따른 drain 전류의 saturation을 잘 설명하고 있다. 그림 6은 여러 가지 t_{si} 의 값에 대한 gate 전압 증가에 따른 drain 전류의 변화를 기존의 논문 [1]의 data와 비교하여 도시하였으며, 낮은 gate 전압에서는 비슷한 값을 갖다가 0.6V

이상에서 gate 전압에 따른 다소 상이한 증가율을 확인할 수 있다. 그림 7은 V_{GS} 의 변화에 대한 drain 전압의 증가에 따른 drain 전류의 변화를 도시하고 있다. 그림 7은 drain 전압 증가에 따른 drain 전류의 포화를 잘 보여주면서 기존의 이론 [9]에 비해 낮은 gate 전압에서는 비슷한 값을 갖지만 gate 전압이 증가할수록 차이가 심해짐을 확인할 수 있다.

IV. 결 론

본 논문에서는 intrinsic cylindrical surrounding gate SOI MOSFET의 I-V 특성 도출에 관한 비교적 간단하고 정확한 해석적 모델을 제안하였다. 기존의 논문들의 경우에 큰 오류를 수반하는 가정을 통해 I-V 특성의 표현식을 도출한 데 비해 본 논문에서 제안한 해석적 모

델은 간단하면서 별 다른 가정을 도입하지 않고 타당한 경계조건을 설정하여, 순조로운 논리적인 수식 전개 과정을 통해서 I-V 특성의 표현 식을 closed-form으로 도출하고 있다. 또한 구해진 I-V 특성 식으로 모의실험을 한 결과 $y = 0$ 에서의 표면 전위 ψ_{s0} 는 gate 전압이 0.4 V 이하의 범위에서는 gate 전압의 증가와 거의 같은 크기로 증가하다가 0.4 V 이상의 gate 전압에서는 증가율이 크게 둔화됨을 확인할 수 있었다. $y = L$ 에서의 표면전위 ψ_{sL} 은 비교적 낮은 gate 전압에서는 선형 증가하지만 gate 전압이 증가함에 따라 saturation되는 현상을 잘 보여주고 있다. 이는 quasi-Fermi potential assumption에 의한 표면 전위의 경계 조건이 합당함을 알 수 있었다. 이렇게 구해진 ψ_{s0} 과 ψ_{sL} 로 채널 전류 I_D 의 특성 식을 도출해냄에 따라 낮은 gate 전압에서는 채널 전류가 선형 증가하다가 gate 전압이 증가하면서 saturation되는 결과를 얻을 수 있었다. 이러한 채널 전류의 그래프는 경계조건의 타당성과 함께 silicon core내의 hole carrier를 무시하고 전자에 의한 carrier 밀도만을 고려한 것이 비교적 합리적인 가정임을 알 수 있었다. 향후 본 논문의 결과는 소자 해석에 유용한 이론적 기초를 제공할 것이라고 기대되며, 더 나아가 단 채널 소자의 해석적 모델을 구축함으로써 소자 시뮬레이션 및 설계에 있어서 보다 폭 넓은 적용이 가능할 것으로 예상된다.

참 고 문 헌

- [1] Jin He, Xing Zhang, Ganggang Zhang, Mansun Chan, Yangyuan Wang, "A carrier-based analytic DCIV model for long channel undoped cylindrical surrounding-gate MOSFETs", *Solid-State Electronics*, vol. 50, pp. 416, 2006.
- [2] F. Djeflal, M.A. Abdi, Z. Dibi, M. Chahdi, A. Benhaya, "A neural approach to study the scaling capability of the undoped Double-Gate and cylindrical Gate All Around MOSFETs", *Material Science & Engineering*, vol. 147, pp. 239, 2008.
- [3] T.K. Chiang, "A New Two-dimensional Analytical Model for Threshold Voltage in Undoped Surrounding-gate MOSFETs", *IEEE Conférences*, pp. 1234, 2006.
- [4] Palash Roy, Binit Syamal, N. Mohankumar, C. K. Sarkar, "Modeling of Threshold Voltage for Undoped Surrounding Gate MOSFET: A Gaussian Approach", *IEEE Conférences*, pp. 1, 2009.
- [5] Hamdy Abd-Elhamid, Benjamin Iñíguez, David Jiménez, Jaume Roig, Josep Pallarès, Lluís F. Marsal, "Two-dimensional analytical threshold voltage roll-off and subthreshold swing models for undoped cylindrical gate all around MOSFET", *Solid-State Electronics*, vol. 50, pp. 805, 2006.
- [6] Jin He, Yadong Tao, Feng Liu, Jie Feng, Shengqi Yang, "Analytic channel potential solution to the undoped surrounding-gate MOSFETs", *Solid-State Electronics*, vol. 51, pp. 802, 2007.
- [7] Sang-Hyun Oh, Don Monroe, J. M. Hergenrother, "Analytic Description of Short-Channel Effects in Fully-Depleted Double-Gate and Cylindrical, Surrounding-Gate MOSFETs", *IEEE ELECTRON DEVICE LETTERS*, vol. 21(9), pp. 445, 2000.
- [8] Wei Bian, Jin He, Yu Chen, Yue Fu, Rui Zhang, Lining Zhang, Mansun Chan, "Complicated Subthreshold Behavior of Undoped Cylindrical Surrounding-Gate MOSFETs" *IEEE Conférences*, pp. 589, 2007.
- [9] D. Jiménez, B. Iñíguez, J. Suñé, L. F. Marsal, J. Pallarès, J. Roig, D. Flores, "Continuous Analytic I-V Model for Surrounding-Gate MOSFETs", *IEEE ELECTRON DEVICE LETTERS*, vol. 25(8), pp. 571, 2004.
- [10] S. H. Lin, X. Zhou, G. H. See, Z. M. Zhu, G. H. Lim, C. Q. Wei, G. J. Zhu, Z. H. Yao, X. F. Wang, M. Yee, L. N. Zhao, Z. F. Hou, L. K. Ang, T. S. Lee, W. Chandra, "A Rigorous Surface-Potential-Based I-V Model for Undoped Cylindrical Nanowire MOSFETs", *IEEE Conférences*, pp. 889, 2007.
- [11] Oana Moldovana, Benjamin Iñíguez, David Jimenez, Jaume Roig, "New Explicit Charge and Capacitance Models for Undoped Surrounding Gate MOSFETs", *IEEE Conférences*, pp. 123, 2007.
- [12] Christopher P. Auth, James D. Plummer, "Scaling Theory for Cylindrical, Fully-Depleted, Surrounding-Gate MOSFET's", *IEEE ELECTRON DEVICE LETTERS*, vol. 18(2), pp. 74, 1997.
- [13] C. H. Suh, "Two-Dimensional Analytical Model for Deriving the Threshold Voltage of a Short Channel Fully Depleted Cylindrical/Surrounding Gate MOSFET", 대한전자공학회, *JOURNAL OF*

SEMICONDUCTOR TECHNOLOGY AND SCIENCE, 제11권 제2호, 111-120쪽, 2011년.

- [14] Jin He, Xing Zhang, Ganggang Zhang, Mansun Chan, Yangyuan Wang, "A Complete Carrier-Based Non-Charge-Sheet Analytic Theory for Nano-Scale Undoped Surrounding-Gate MOSFETs", *IEEE Computer Society*, vol. 6, pp. 120, 2006.
- [15] Wei Bian, Jin He, Yadong Tao, Min Fang, Jie Feng, "An Analytic Potential-Based Model for Undoped Nanoscale Surrounding-Gate MOSFETs", *IEEE Trans. Electron Devices*, vol. 54(9), pp. 2293, 2007.
- [16] 장은성, 오영해, 서정하, "Short-Channel Intrinsic-Body SDG SOI MOSFET의 문턱전압 도출을 위한 해석적 모델", 대한전자공학회 논문지, SD편, 제46권 제11호 (통권 제389호), 1-7쪽, 2009년.

저 자 소 개



우 상 수(정회원)
 2009년 홍익대학교 전자전기
 공학부 졸업(공학사).
 2011년 홍익대학교 전자정보통신
 공학과 석사과정 졸업
 (공학 석사)
 <주관심분야: MOSFET, IGBT>



이 재 빈(학생회원)
 2009년 홍익대학교 전자전기
 공학부 졸업(공학사).
 2011년 홍익대학교 전자정보통신
 공학과 석사과정 졸업
 (공학 석사)
 <주관심분야: 반도체 소자 설계,
 MOSFET

서 정 하(평생회원)
 대한전자공학회 논문지
 제41권 SD편 제3호 참조