

논문 2011-48SD-10-8

# MLC NAND 플래시 메모리의 CCI 감소를 위한 등화기 설계

(An Equalizing for CCI Canceling in MLC NAND Flash Memory)

이 관 희\*, 이 상 진\*, 김 두 환\*, 조 경 록\*\*

(Kwan-Hee Lee, Sang-Jin Lee, Doo-Hwan Kim, and Kyoung-Rok Cho)

## 요 약

본 논문에서는 MLC 낸드플래시 메모리의 CCI(cell-to-cell interference)의 제거를 통한 에러 보정 등화기(equalizer)를 제안한다. 매년 메모리의 집적도가 두 배가 되고, MLC(multi level cell) 기술의 개발 등으로 플래시 메모리 시장의 급성장이 이루어졌다. CCI는 주변 셀이 프로그램 되면서 발생하는 영향으로 에러 발생에 중요한 요소이다. 제안된 CCI의 모델을 수식화하고, CCI의 제거를 통한 등화기를 설계하였다. 이 모델은 MLC 낸드플래시의 프로그램 순서와 주변 패턴을 기반으로 프로그램 전압(program voltage)의 영향이 고려되었다. 또한 제안된 등화기는 MLC NAND 플래시 메모리 1-블록에 데이터를 읽기/쓰기 동작의 측정 결과와 Matlab을 통하여 설계 및 검증되었다. 이 등화기는 심각한 CCI를 가지고 있는 20nm 낸드플래시 메모리 채널에서 약 60%의 에러 개선율을 보였다.

## Abstract

This paper presents an equalizer reducing CCI(cell-to-cell interference) in MLC NAND flash memory. The CCI is a critical factor which affects occurring data errors in a cell, when surrounding cells are programmed. We derived a characteristic equation for CCI considering write procedure of data that is similar with signal equalizing. The model considers the floating gate capacitance coupling effect, the direct field effect, and programming methods of the MLC NAND flash memory. We verify the proposed equalizer comparing with the measured data of 1-block MLC NAND flash memory. As the simulation result, the equalizer shows an error correction ratio about 60% under 20nm NAND process.

**Keywords :** NAND flash memory, Multi level cell, Cell-to-cell interference, CCI, Equalizer.

## I. 서 론

플래시 메모리는 EEPROM의 일종으로 바이트 단위로 지우기 작업을 수행하는 기존 EEPROM과는 달리, 수십에서 수백 킬로바이트 정도의 큰 단위를 한 번에 지울 수 있는 비휘발성 메모리이다. 플래시 메모리는 데이터를 저장하는 셀의 물리적인 구조에 따라 크게 NOR형과 NAND형으로 나뉜다. MLC(multi level cell)

NAND 플래시 메모리는 쓰기 단위가 커서 쓰기 속도가 빠르며, 고 집적, 저 가격, 저 전력, 충격에 강한 특성 등으로 대용량의 칩을 만드는데 유리하여 주로 CF, SD, MMC 메모리 카드나 USB 드라이브와 같은 휴대형 저장 장치의 데이터 저장 매체로 많이 사용된다. 최근에는 노트북, UMPC (ultra mobile PC) 등의 이동 컴퓨팅 시스템에서 하드디스크를 대체하기 위한 용도로 속도가 빠르고 전력소모가 작으며 또한 부피가 작아 하이브리드 하드디스크, 플래시 메모리 SSD(solid state disk)에 사용되고 있다. 플래시 메모리 SSD는 하드디스크와 같은 기계적인 동작이 없으므로 저 전력, 저소음, 충격에 강한 특성을 갖는다<sup>1~2)</sup>.

NOR 플래시 메모리보다 나중에 개발된 NAND 플래시 메모리는 집적도를 높일 수 있는 구조적인 특성으로

\* 학생회원, \*\* 정회원, 충북대학교 정보통신공학과 (Dept. of Information and Communication Eng, Chungbuk National University.)

※ 본 연구는 지식경제부 산하 (재)충청광역경제권 선도산업지원단 New IT 차세대무선통신단말기부품소재글로벌경쟁력강화사업의 지원에 의해 수행되었습니다.

접수일자: 2011년6월30일, 수정완료일: 2011년10월10일

인해 보다 적은 비용으로 대용량의 저장장치를 구성할 수 있게 한다. 그러나 NOR 플래시 메모리와 같은 바이트 단위의 접근은 가능하지 않고 일정 영역단위로만 읽고 쓰기가 가능하다. 이런 특성으로 인해 일반적인 RAM 인터페이스를 이용할 수 없고 별도의 인터페이스 장치가 필요하며 읽기 성능 또한 NOR 플래시 메모리보다 낮다. 하지만 쓰기 및 소거 성능은 NAND 플래시 메모리가 현저하게 높다<sup>[3]</sup>.

MLC NAND 플래시 메모리는 한 셀로 1비트를 표현하는 기존의 SLC(single level cell) 플래시 메모리와는 달리 한 셀로 2비트 이상을 표현하는 구조를 가진다. 이러한 구조를 통해 MLC 플래시 메모리는 집적도를 높일 수 있기 때문에 가격대 용량 면에서 유리하지만 동작속도는 다소 낮다. 또한 하나의 메모리 셀로 네 가지 상태(state) 이상을 표현하는 구조상 비트 에러가 일어날 가능성이 크기 때문에 안정성 면에서도 불리한 면이 있다. 소거 가능 횟수도 SLC는 10만 번, MLC는 만 번으로 감소한다. 따라서 안정적인 동작을 위해서는 페이지당 최대 4비트 에러까지 보정할 수 있는 ECC 알고리즘을 사용해야하며 더욱 정교한 마모도 평균화 정책이 필요하다<sup>[4]</sup>.

공정 발달에 따라 셀 크기가 감소하면서 MLC 기법을 사용하기 위해서는  $V_{TH}$  분포의 세밀한 조절이 반드시 필요하다. 셀의 데이터는 ISPP(Incremental Step Pulse Program)를 통해 효과적으로 좁은  $V_{TH}$  분포를 갖도록 써진다. 써진 셀의  $V_{TH}$ 는 목표한  $V_{TH}$ 를 기준으로 가우시안 분포를 가지며 이상적으로는 분포 폭이 ISPP의 증가 전압폭( $\Delta V_{ISPP}$ )과 거의 같다. 그러나 실제로는 그림 1과 같은 다양한 기생적 에러요소들 noise, under program effect, background pattern dependency, cell program speed, array ground line, CCI 등이 셀의  $V_{TH}$ 의 분포 폭을 넓히고 중심 값을 이동시킨다<sup>[5-6]</sup>.

이러한  $V_{TH}$ 의 왜곡이 심해지면 서로 다른 데이터를 구분하기 위한  $V_{TH}$ 의 마진을 줄여 읽을 때 다른 데이터로 인식되는 에러율을 키운다. 이러한 현상은 공정이 발전하여 셀 크기가 줄어들수록 또는 집적도를 높이기 위해 MLC나 TLC(triple level cell)등의 기법이 적용될수록 심각해진다<sup>[7]</sup>. 이러한 왜곡을 일으키는 요소 중에 점차 심각해지는 것이 이미 설정된 셀의  $V_{TH}$ 를 주변 셀이 써지면서 키우는 셀 간 간섭인 CCI이다. 최근에 20nm 급 공정에서의 CCI가 50nm급 공정에서보다 2배 이상 커졌다는 시뮬레이션 결과도 CCI의 문제의

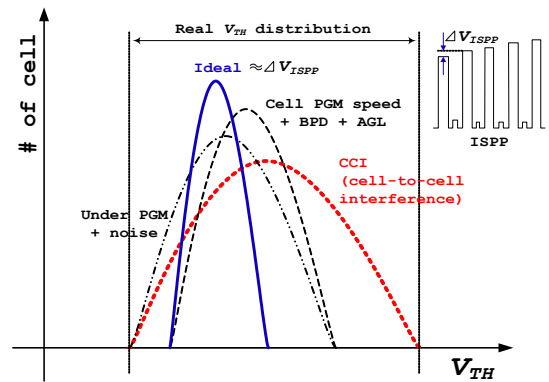


그림 1.  $V_{TH}$ 의 분포에 미치는 영향 주는 요소  
Fig. 1. Parasitic effects of  $V_{TH}$  distribution.

심각함을 나타낸다<sup>[8]</sup>.

CCI의 영향을 줄이기 위한 등화기 알고리즘이 연구되었다<sup>[9]</sup>. 기존의 등화기 알고리즘은 CCI의 영향을 분석하기 위해 3×3 NAND 플래시 메모리 셀 모델을 사용하였다. 하지만 실제의 MLC NAND 플래시 메모리에서 사용되는 프로그램 기법인 물리적 주소 매핑에 따른 영향이 고려되지 않아, 실제 메모리의 에러 보정 기법으로 적용하기 어렵다는 단점이 있다.

본 논문에서는 20nm 급 MLC NAND 플래시 메모리의 측정된 데이터를 이용하여 에러 발생의 주요 원인으로 작용하는 CCI의 문제를 분석하고 에러를 보정할 수 있는 등화기를 제안한다. 본 논문은 다음과 같이 구성된다. II장에서는 CCI에 대한 모델링과 분석을 하고, III장에서는 이러한 CCI를 보상할 수 있는 등화기의 원리와 설계에 대해 설명하여 IV장에서 결론을 맺는다.

## II. CCI 모델링 및 분석

### 1. NAND 플래시 메모리의 프로그램 기법

그림 2는 임시 LSB 데이터 저장을 통한 최근의 MLC 플래시 메모리의 프로그래밍 기법이다<sup>[10]</sup>. 프로그래밍 기법에 따라 CCI 모델에서 고려해야할 요소들이 변하게 되므로 그에 따라 CCI 해석을 다르게 해야 한다. MLC 플래시 메모리의 데이터 할당은 인접 데이터의 왜곡이 생겨도 한 비트만 에러가 발생할 수 있도록 gray code를 사용한다. MLC 플래시 메모리의 프로그래밍은 기본적으로 최하위 비트 LSB와 최상위 비트 MSB 데이터를 각각 나누어 쓴다. 이 때 프로그래밍하는 방식은 P&V(program and verify)방식을 반복하면서 펄스폭을 조금씩 키우는 ISPP 기법을 사용하므로

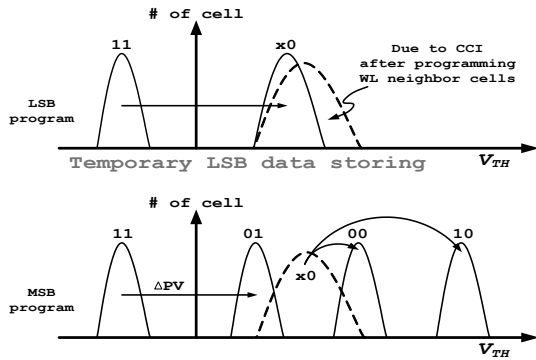


그림 2. 임시 LSB 데이터 저장을 통한 최근의 MLC 플래시 메모리의 프로그램 기법  
 Fig. 2. MLC program scheme with temporary LSB data storing.

그림 2와 같이 LSB를 프로그래밍한 후에 MSB를 프로그래밍하면서 이전의 설정된  $V_{TH}$  값은 P&V 방식을 통해 더 큰 값으로 변하기 때문에 LSB 프로그래밍 단계에서의 주변 셀과 주고받는 왜곡에 의한  $V_{TH}$  값의 정확도나 넓어진 분포 등은 무시할 수 있다.

기존의 MLC 프로그래밍 기법에서는 '11'(=erase) 상태에서 '10'의 상태로 프로그래밍 될 때의  $V_{TH}$  변화량이 가장 크기 때문에 가해자 셀에 '10' 값이 있을 경우 피해자 셀에 가장 큰  $V_{TH}$  왜곡을 일으켰다. 그러나 그림 2와 같이 임시 LSB 데이터 저장을 통한 최근의 MLC 플래시 메모리의 프로그래밍 기법을 사용하는 경우에는 가해자 셀이 '10'으로 프로그래밍 될 때의  $V_{TH}$  변화량이 '01'로 프로그래밍 될 때와 비슷하게 줄어든다. 따라서 플로팅 게이트 간섭율( $\gamma_{FG}$ )은 같아도 가해자 셀의  $\Delta V_{TH}$ 가 이전의 프로그래밍 기법보다 줄어든다.

그림 3은 일반적인 MLC 플래시 메모리의 구조와 페이지 단위의 프로그래밍 순서이다. 각 트랜지스터의 왼쪽의 숫자들이 데이터를 프로그래밍 하는 순서이고 WL의 아래쪽이 LSB, 위쪽이 MSB 데이터이다. 앞에서 살펴본 것처럼 LSB를 프로그래밍 할 때의 영향은 무시할 수 있으므로 MSB만의 프로그래밍 순서를 살펴보면 WL 순서에 따라 아래쪽부터 위쪽으로 순차적으로 됨을 알 수 있다. 그리고 각 열 비트라인의 프로그래밍 순서를 살펴보면 짝수 페이지와 홀수 페이지의 순서로 이루어짐을 알 수 있다.  $BL_e$ 와  $BL_o$ 는 각각 짝수 페이지와 홀수 페이지를 나타낸다. 따라서 X축의 BL에서의 CCI만을 살펴보면 나중에 프로그래밍 되는  $BL_o$ 가 가해자 셀 그룹이 되고  $BL_e$ 가 피해자 셀 그룹이 됨을 알 수 있다. 따라서 짝수 페이지와 홀수 페이지를 각각 다른 모

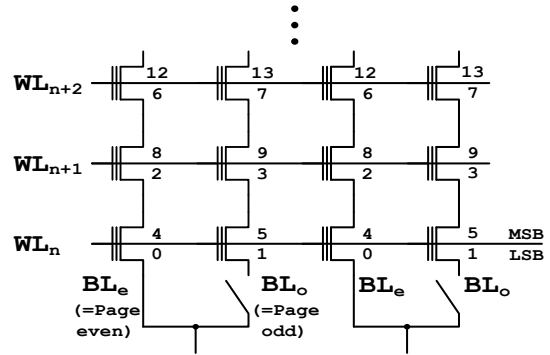


그림 3. 일반적인 MLC 플래시 메모리의 구조와 프로그래밍 순서  
 Fig. 3 Conventional core architecture and page assignment.

델을 기반으로 CCI를 해석할 수 있음을 알 수 있다.  
 MLC NAND 플래시 메모리의 물리적인 CCI 모델만을 고려하면 직접 전계효과로 인해 X 축 간섭율이 Y축 간섭율보다 크지만, 심각해지는 X 축 간섭율을 방지하기 위한 다양한 프로그래밍 방법의 발전으로 인하여 다시금 X축 간섭율이 Y축 간섭율보다 작아졌다. 본 논문에서는 물리적인 모델과 프로그래밍 방법을 고려하여 보다 발전된 모델의 CCI 해석을 기반으로 에러를 보정하기 위한 등화기 구조를 제안한다.

2. CCI 모델링

CCI는 NAND 플래시 메모리의 각 플로팅 게이트 (FG, floating gate) 사이의 기생 커패시턴스의 커플링으로 인한 간섭을 기반으로 추가 요소들을 더 고려하여 모델링된다. 가운데 셀의  $V_{TH}$ 가 이미 설정된 후 주변의 셀들의  $V_{TH}$ 가 프로그램될 때 가운데 셀이 피해를 받기 때문에 가운데 셀을 피해자로 판단하고 주변의 셀들을 가해자로 정의한다. 일반적으로 피해자 셀이 받는 영향은 플로팅 게이트 간섭율( $\gamma_{FG}$ )과 셀에 쓰인 데이터에 따른  $V_{TH}$ 의 변화량으로 정의 될 수 있다. 기존의 연구에서 제안된 3x3 모델 그림 4에 나타내었다. 피해자 셀에 대한 CCI의 영향은 식(1) 같이 정의되었다<sup>[9]</sup>.  $\Delta V_{TH,FG,err}$ 는 피해자 셀이 받은 CCI의 영향의 양을,  $\Delta V_{TH,n}$ 는 3 x 3 모델에서의 셀의 위치를 나타낸다.

$$\begin{aligned} \Delta V_{TH,FG,err} = & \gamma_{FGX} \cdot (\Delta V_{TH,4} + \Delta V_{TH,6}) \\ & + \gamma_{FGY} \cdot (\Delta V_{TH,2} + \Delta V_{TH,8}) \\ & + \gamma_{FGXY} \cdot (\Delta V_{TH,1} + \Delta V_{TH,3} + \Delta V_{TH,7} + \Delta V_{TH,9}) \end{aligned} \quad (1)$$

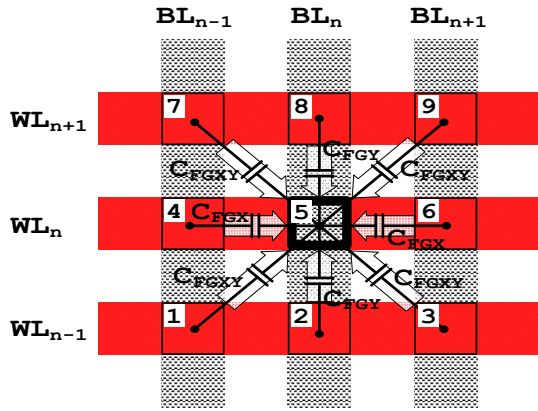


그림 4. NAND 플래시 배열에서 주변 셀과의 기생 커패시터의 배치도  
 Fig. 4. Schematic drawing of parasitic capacitances between neighbour cells in a NAND Flash array.

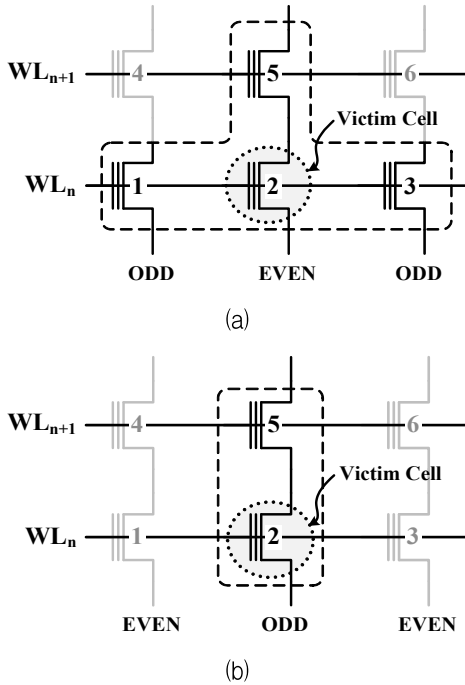


그림 5. 홀수 및 짝수 페이지의 CCI 영향에 따른 피해자 및 가해자 셀 모델  
 Fig. 5. Victim and aggressor cell model with CCI effect for even and odd pages.

CCI 모델링을 위한 NAND 플래시 메모리의 셀 배열은 기존의 연구에서 사용된 3×3 배열로부터 앞서 기술된 프로그램 기법을 고려하여 그림 5와 같이 수정되었다. 제안된 모델은 피해자 셀의 위치(짝수 페이지 또는 홀수 페이지)에 따라 서로 다른 모델을 사용한다. 짝수 페이지(그림 5.(a))의 피해자 셀이 받는 CCI의 영향을 다음과 같이 나타낼 수 있다.

$$\Delta V_{TH,FG\_err} = \gamma_{FGX} \cdot (\Delta V_{TH1} + \Delta V_{TH3}) + \gamma_{FGY} \cdot \Delta V_{TH5} \quad (2)$$

또한 홀수 페이지(그림 5.(b))의 피해자 셀이 받는 CCI의 영향을 다음과 같이 나타낼 수 있다.

$$\Delta V_{TH,FG\_err} = \gamma_{FGY} \cdot \Delta V_{TH,5} \quad (3)$$

이러한 간섭율( $\gamma_{FG}$ )을 기생 커패시턴스 커플링 비율만으로 결정하는 데는 한계가 있다. TCAD 시뮬레이션을 통해 직접적으로 가해자 셀의  $V_{TH}$  변화량( $\Delta V_{TH,aggressor}$ )에 대한 피해자 셀의  $V_{TH}$  변화량( $\Delta V_{TH,victim}$ )을 측정하여 간섭율을 결정하는  $\Delta V_{TH}$  비율 모델도 발표되었다<sup>[8]</sup>. 이러한  $\Delta V_{TH}$  비율 모델을 통한 간섭율 결정 방법은 발생할 수 있는 다양한 간섭 요소들을 대부분 포함시킬 수 있으므로 매우 유용하다. 이는 실제로 CCI를 통해  $V_{TH}$ 를 왜곡시킬 수 있는 다른 기생성분을 모두 포함한 해석이 가능하게 한다. 실제 비중은 작지만 CCI에 영향을 미칠 수 있는 기타 기생성분으로는 단채널 효과나 소스/드레인과 플로팅 게이트사이의 기생 커플링 커패시턴스인 CFS, CFD등이 있다<sup>[11]</sup>.

### 3. CCI 영향 분석

CCI에 의한 피해 셀이 받는 영향을 알아보기 위해 20nm 급의 MLC NAND 플래시 메모리 1-블록(16Mbit)에 데이터를 쓴 후, 각 셀의  $V_{TH}$ 를 측정하였다. 그림 6에 결과를 나타내었다. PV0 ('11', erase) 상태에 해당하는 영역의 셀들은 마이너스 값의  $V_{TH}$ 를 갖기 때문에 측정이 불가하였다. PV1, 2, 3에 해당하는 셀들의

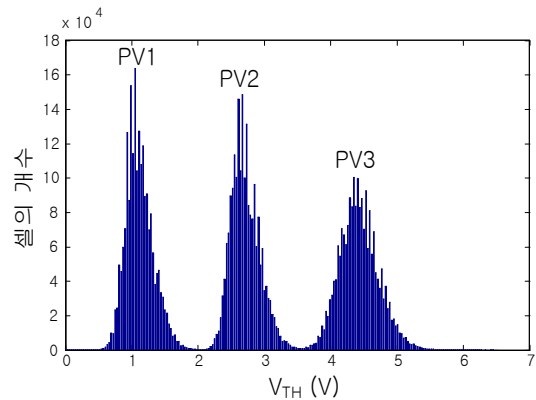


그림 6. MLC NAND 플래시 메모리 1-블록의  $V_{TH}$  분포도  
 Fig. 6. Diagram of  $V_{TH}$  distribution of 1-block MLC NAND flash memory.

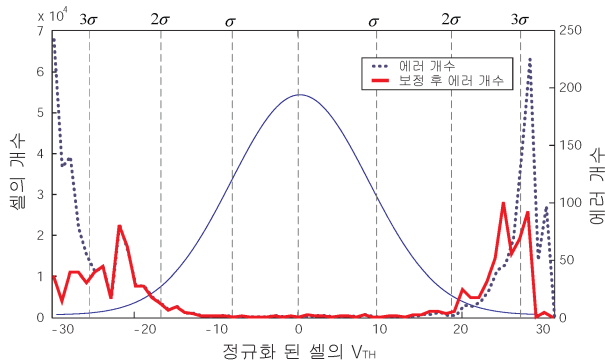


그림 7. 정규화 된 셀의  $V_{TH}$  분포와 보정 전/후의 에러 개수

Fig. 7. Normalized distribution of cells and comparison with error count before/after error correction.

$V_{TH}$ 가 가우시안 분포로 나타났다.

MLC NAND 플래시 메모리는 각 PV 분포의 사이에 읽기 전압을 가하여, 셀 트랜지스터의 응답이 ON 또는 OFF 임을 가지고 2 bit의 데이터를 판단한다. 이때에 각 PV 분포 사이 즉, 읽기 전압 가까이에 분포하는 셀은 읽기 동작 후에 에러로 판정되기 쉽다. 그렇지만 이 영역의 셀들은 CCI의 영향으로 인해 기준 PV 보다 높은  $V_{TH}$ 를 가지는 셀이 분포할 확률이 높기 때문에 CCI 제거가 가능한 등화기를 통과시킴으로써 높은 확률로 에러율을 감소시킬 수 있다.

각각의 PV 분포를 정규 분포를 가진다고 가정하였을 때, 3 시그마( $\sigma$ , sigma)를 벗어나는 영역에  $V_{TH}$ 가 분포하는 셀들을 에러 보정을 하였을 때 가장 효과적인 결과를 얻었다. 그림 7은 PV1, 2, 3 분포를 정규화된  $V_{TH}$ 로 겹쳐서 나타냈을 때, 읽기 동작을 통한 에러의 개수와 제안된 등화기를 통한 에러 보정 후의 에러 개수를 함께 나타내었다. 3 시그마를 벗어나는 영역에 대해 등화기를 적용하여 약 60%의 에러 개선율을 보였다.

### III. 등화기 설계

본 논문에서 고려한 CCI로 인한  $V_{TH}$ 의 왜곡은 대부분  $V_{TH}$ 의 증가로 이루어진다. 반대로  $V_{TH}$ 의 감소로 이루어지는  $V_{TH}$ 의 왜곡요소로는 시간에 지남에 따라 발생하는 상태유지와 관련된 문제가 있다. NAND 플래시 메모리의 플로팅 게이트에 데이터를 저장해놓고 오랜 시간이 지나면 전하 누설로 인해 설정해놓은  $V_{TH}$  값이 점점 감소하여 기준전압 이하가 되면 다른 데이터로 인식되는 에러가 발생하는데 이러한 문제를 리텐션

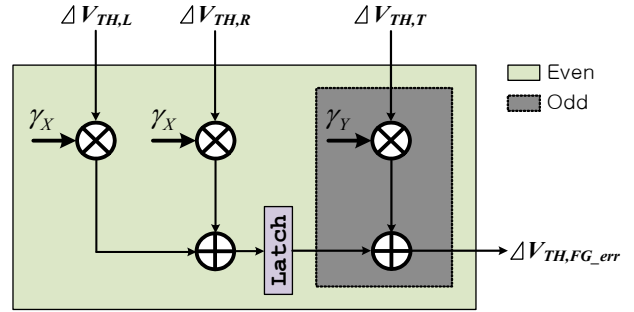


그림 8. 제안된 등화기의 구조

Fig. 8. Diagram of the equalizer.

(retention) 문제라고 한다. 모든 데이터에 따른 설정된  $V_{TH}$ 에 공통적으로 발생하는 문제이므로 시간에 따른  $V_{TH}$  감소량을 예측하여 읽을 때의 모든 기준전압을 약간 낮춰서 읽는 이동읽기(moving read) 기법을 통해 이러한 문제는 보정할 수 있다<sup>[12]</sup>.

CCI에 의해 발생한  $V_{TH}$  왜곡에 의한 에러 보정방법으로는 주변 가해자 셀에 영향을 받아  $V_{TH}$ 가 변화했다고 판단되는 짝수 열(page)피해자 셀 그룹의 읽기 동작에서만 모든 기준전압을 약간 높여서 읽는 플로팅 게이트 커플링 소거 가능한 짝수 열 프로그램 전압 읽기 기법이 있다<sup>[12]</sup>.

앞서 살펴본 두 가지 방법 모두  $V_{TH}$ 의 왜곡에 대한 보상을 읽을 때의 기준전압을 조정하여 전체적으로 적용되도록 한 경관정기반의 보정방법이다. 반면에 본 논문에서 제시되는 보정방법은 각각의 셀의 주변 데이터를 기반으로 에러 보정여부를 판별하는 연판정기반의 보정방법이다. 또한 CCI에 의한 영향뿐만 아니라 전하 공유에 의한  $V_{TH}$ 가 감소되는 현상이 고려되어 보다 높은 에러 보정율을 가진다.

제안된 MLC NAND 플래시 메모리의 에러 보정을 위한 CCI 모델에 적합한 등화기의 구조는 그림 8과 같다. 적용되는 페이지에 따라 적용되는 필터가 달라진다.

한 개의 WL은 두 개의 페이지로 구성되어있고 물리적 주소매핑기법을 통해 프로그래밍 된다. 따라서 짝수 페이지와 홀수 페이지의 프로그래밍 순서에 따른 특성을 기반으로 모델링 하였다. WL을 프로그래밍 할 때 짝수 페이지가 먼저 프로그래밍 되고 홀수 페이지가 나중에 프로그래밍 된다. 이러한 프로그래밍 순서에 때문에 짝수 페이지와 홀수 페이지의 주변에서 영향을 받는 셀의 위치가 달라진다. 짝수 페이지의 경우 피해자 셀이 프로그래밍 된 후 좌측과 우측에 위치한 홀수 페이지가 프로그래밍 되고, 다음 WL의 하측의 짝수 페이지

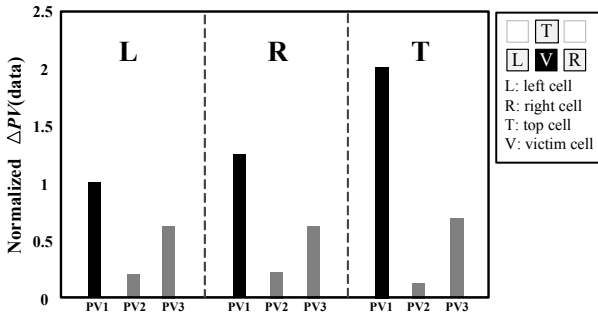


그림 9. 가해자 셀의 위치와 프로그램 되는 데이터에 따른 확률과 프로그램 전압(PV) 변화량의 관계  
 Fig. 9. The relationship of location of cells, programmed data, and program voltage(PV) changes.

가 프로그래밍 된다. 이로 인해 짝수 페이지가 프로그래밍 되는 과정에서 좌측, 우측, 상측 셀에서 영향을 받는다. 홀수 페이지의 경우 피해자 셀이 프로그래밍 된 후 다음 WL의 홀수 페이지가 프로그래밍 된다. 이로 인해 홀수 페이지가 프로그래밍 되는 과정에서 상측 셀에서 영향을 받는다. 대각선에 놓여있는 셀들은 영향력이 크지 않아 모델링에서 배제하였다.

가해자 셀의 데이터에 따른  $\Delta V_{TH}$ 를 알면 CCI에 의해 피해자 셀이 받은 영향의 정량화를 통해 변한 크기의 합  $\Delta V_{TH,FG, err}$ 이 등화기의 출력 값으로 얻어진다. 이 출력 값은 주변 셀들의 영향으로 피해자 셀의  $V_{TH}$ 가 변화했을 양을 추측하는데 사용된다. 추측된  $V_{TH}$ 의 변화량이 보정 조건에 들어갈 경우, 셀에 저장된 데이터가 에러라고 판단하여 이를 보정한다.

이 수식은 최근의 MLC 플래시 메모리에서 사용되는 임시 LSB 데이터 저장을 통한 프로그래밍 기법을 사용하는데 이때 프로그램 전압의 변화량이 피해자 셀에 미치는 영향을 고려한 알고리즘이다. 피해자 셀이 받은 영향( $\gamma_{FG}$ )의 값을 결정하기 위해 좌측, 우측, 상측에 위치하는 가해자 셀의 데이터의 확률(P(data))과 데이터에 따른 프로그램 전압의 변화량( $\Delta PV(\text{data})$ )의 관계를 그림 9에 나타내었다.

주변 값의 패턴에 따라 피해자 셀의  $V_{TH}$ 의 변화량에 가장 영향을 많이 주는 PV1 과의 관계로부터 간섭율( $\gamma_{FG}$ )을 결정할 수 있다. 제안된 등화기는 다음과 같은 짝수 페이지 보정식 (4)와 홀수 페이지 보정식 (5)로 나타낼 수 있다.

$$\Delta V_{TH,FG, err, even} = 0.09 \cdot \Delta V_{TH,1} + 0.12 \cdot \Delta V_{TH,3} + 0.19 \cdot \Delta V_{TH,5} \quad (4)$$

$$\Delta V_{TH,FG, err, odd} = 0.19 \cdot \Delta V_{TH,5} \quad (5)$$

수식화된  $\Delta V_{TH,FG, err}$ 의 값에 따른 보정 기준을 결정하기 위해  $V_{TH}$  분포와 읽기 전압의 관계를 그림 10에 나타내었다. CCI의 영향으로 주변 셀이 피해자 셀에 영향을 준 크기( $\Delta V_{TH,FG, err}$ )가 원래 셀의 '기준전압'과 읽기 전압(RV)의 차이보다 크면 식(6)과 같이 현재 프로그래밍 된 값이 CCI로 인해  $V_{TH}$ 가 변화로 에러난 것으로 판단한다.

$$\Delta V_{TH,FG, err} > |PV_n - RV_n| : \text{에러} \quad (6)$$

$$\Delta V_{TH,FG, err} \leq |PV_n - RV_n| : \text{정상} \quad (7)$$

제안된 등화기를 실제 MLC NAND 플래시 메모리 1-블록에 적용하였을 때의 에러 개선율을 표 1에 나타내었다. Matlab을 통해 설계된 등화기를 구현하고 실제 메모리의 측정값에 적용하여 시뮬레이션 하였다. 이 등화기를 적용 하였을 때, 짝수 및 홀수 페이지에 대한 에러 개선율은 각각 57.2% 와 72.22%를 보였고, 전체에 대해서 59.93%를 보였다.

이러한 알고리즘은 통신에서 채널의 왜곡 특성을 파악하고 등화기를 통하여 역으로 보정하는 방법과 유사하다. 제안된 CCI 에러 보정 알고리즘도 CCI 에러를 유발하는 메모리의 주변 셀들의 간섭 상황을 채널처럼 인

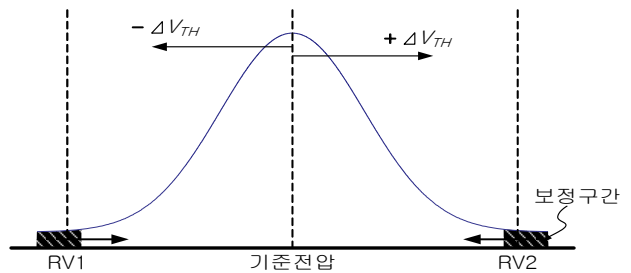


그림 10. 등화기의 에러 보정 기준  
 Fig. 10. Standard of error correction of the equalizer.

표 1. 제안된 등화기의 에러 개선율  
 Table 1. Error correction ratio of the equalizer.

		짝수 페이지	홀수 페이지	전체
에러 개수	보정 전	1716	378	2094
	보정 후	734	105	839
개선율(%)		57.2	72.22	59.93

식하고 에러가 발생했다고 판단하여 보정할 셀을 결정하는  $\Delta V_{TH,FG,err}$ 의 수식적 계산을 필터로 모델링하였다. 그리하여 이 등화기의 출력을 확인하여 기준 이상의  $V_{TH}$  변동이 예상되면 데이터를 낮은  $V_{TH}$  값으로 설정된 이전 값(PV)으로 보정한다.

시뮬레이션 결과는 CCI가 발생해있는 메모리 채널에서 약 60%의 에러 보정율을 보였다. 하지만 등화기를 사용해도 모든 셀 데이터 에러를 완벽하게 정정할 수는 없다. 하지만 MLC NAND 플래시 메모리의 전체적인 관점에서, 등화기는 확률적으로 높은 에러 정정율을 갖는다. 이것을 증명하기 위하여 본 논문에서는 20nm급 NAND 플래시 메모리 1-블럭(16Mbit)의 쓰기, 읽기 동작을 통해 얻은 데이터를 IDEC에서 지원된 Matlab을 통하여 알고리즘을 검증하였다.

MLC NAND 플래시 메모리에 실장되는 에러 정정 부호화에는 한계가 있다. 제안하는 등화기는 MLC NAND 플래시 메모리의 에러 발생률이 에러 정정 부호화기의 한계치보다 높아지는 것을 방지할 수 있다. 따라서 공정 미세화에 따라 높아지는 MLC NAND 플래시 메모리의 에러 발생률을 억제하기 위하여 제안한 등화기의 필요성이 증대된다.

#### IV. 결 론

본 논문에서는 NAND 플래시 메모리의 CCI의 감소를 위한 등화기 알고리즘을 제안했다. 플래시 메모리 공정이 20nm급으로 발달하여 셀 크기가 점차 감소하고, 동일 면적에 최대한의 많은 데이터를 저장하기 위해 MLC, TLC등으로 기술이 발전함에 따라 CCI가 셀에 쓰인 데이터의 에러발생에 가장 큰 영향을 미치는 요소가 되었다. 따라서 이러한 CCI에 따른 영향을 수식화하고 CCI를 줄이기 위해 등화기 알고리즘을 적용하였다. CCI 모델링에는 플로팅 게이트 커패시터 커플링 효과, 직접 전계효과, NAND 플래시 메모리의 프로그램 기법의 영향 등이 고려되었다. 제안된 등화기는 Matlab을 통해 설계 및 검증되었다. 결과로 20nm급의 심각한 CCI가 있는 메모리로 모델링된 채널에서 약 60%의 에러 보정율을 보였다.

#### 참 고 문 헌

[1] K. Yim, "A novel memory hierarchy for flash

memory based storage systems," IEEK J. Semiconductor Technology and Science, vol.5, no.4, pp.262-269, Dec. 2005.

- [2] K. Takeuchi, "Novel co-design of NAND flash memory and NAND flash controller circuits for sub-30nm low-power high-speed solid-state drives (SSD)," IEEE J. Solid-State Circuits, vol.44, no.4, pp.1227-1234, Apr. 2009.
- [3] C. Lee, S. Baek, and K. Park, "A hybrid flash file system based on NOR and NAND flash memories for embedded devices," IEEE Trans. on Computers, vol.57, no.7, pp.1002-1008, Jul. 2008.
- [4] Y. Maeda, H. Kaneko, "Error control coding for multilevel cell flash memories using nonbinary low-density parity-check codes," in Proc. ISDFT in VLSI Systems, pp.367-375, 2009.
- [5] 김영일, 이학수, 김태원, 김동현, 윤한섭, 광계달, "빠른 MLC(Multi-Level Cell) 프로그램 속도를 위한 ISPP (Incremental Step Pulse Program) 알고리즘 및 회로," 대한전자공학회 하계종합학술대회, pp.530-531, 2009.
- [6] 이수관, 민상렬, 조유근, "플래시 메모리 관련 최근 기술 동향," 정보과학회지, no.24, vol.12, pp.99-106, Dec. 2006.
- [7] T.K. Kim, S.N. Chang, and J.H. Choi, "Floating gate technology for high performance 8-level 3-bit NAND flash memory," Elsevier Solid-State Electronics, vol.53, no.7, pp.792-797, July 2009.
- [8] A. Ghetti, L. Bortesi, and L. Vendrame, "3D simulation study of gate coupling and gate cross-interference in advanced floating gate non-volatile memories," Elsevier Solid-State Electronics, vol.49, no.11, pp.1805-1812, Nov. 2005.
- [9] 김두환, 이상진, 남기훈, 김시호, 조경록, "MLC NAND 플래시 메모리의 셀간 간섭현상 감소를 위한 등화기 알고리즘," 전기학회논문지 59권 6호 pp. 1095-1102, June. 2010.
- [10] K.T. Park, M.G. Kang, D.G. Kim, S.W. Hwang, B.Y. Choi, Y.T. Lee, C.H. Kim, and K.N. Kim, "A zeroing cell-to-cell interference page architecture with temporary LSB storing and parallel MSB program scheme for MLC NAND flash memories," IEEE J. Solid-State Circuits, vol.43, no.4, pp.919-928, April 2008.
- [11] S.G. Jung, K.W. Lee, K.S. Kim, S.W. Shin, S.S. Lee, J.C. Om, G.H. Bae, and J.H. Lee, "Modeling of  $V_{TH}$  shift in NAND flash-memory cell device considering crosstalk and short-channel effects," IEEE Trans. on Electron

Devices, vol.55, no.4, pp.1020-1026, April 2008.

[12] C.H. Lee, S.K. Lee, S.H. Ahn, J.H. Lee, W.S. Park, Y.D. Cho, C.K. Jang, C.W. Yang, S.H. Chung, I.S. Yun, B.G. Joo, B.K. Jeong, J.Y. Kim, J.K. Kwon, H.J. Jin, Y.J. Noh, J.Y. Ha, M.S. Sung, D.I. Choi, S.H. Kim, J.W. Choi, T.H. Jeon, J.S. Yang, and Y.H. Koh, "A 32Gb MLC NAND-flash memory with Vth-endurance-enhancing schemes in 32nm CMOS," in Proc. ISSCC, pp.446-447, 2010.

저 자 소 개



이 관 희(학생회원)  
 2011년 충북대학교 정보통신공학과 학사 졸업.  
 2011년 3월~현재 충북대학교 정보통신공학과 석사과정.  
 <주관심분야 : 낸드플래시, PLA>



이 상 진(학생회원)  
 2008년 충북대학교 화학공학과 학사졸업.  
 2010년 충북대학교 정보통신공학과석사 졸업.  
 2010년 3월~현재 충북대학교 정보통신공학과 박사과정.  
 <주관심분야 : 3-D IC, CMOS image sensor, 암호회로설계>



김 두 환(학생회원)  
 2003년 충북대학교 정보통신공학과 학사 졸업.  
 2005년 충북대학교 정보통신공학과 석사 졸업.  
 2005년 3월~현재충북대학교 정보통신공학과박사과정

<주관심분야 : 고속 인터페이스회로 LVDS, MIPI, OTA-C 필터설계>



조 경 록(정회원)  
 1977년 경북대학교 전자공학과 학사졸업  
 1989년 일본 동경대학교 전자공학과 석사졸업  
 1992년 일본 동경대학교 전자공학과 박사졸업

1979년~1986년 (주)금성사TV연구소 선임연구원  
 1999년~2005년 Oregon State University 객원교수  
 1992년~현재 충북대학교 전기전자공학부 교수  
 2008년~현재 World Class University program (충북대학교) 책임  
 2010년~현재 IDEC 충북대지역센터장  
 <주관심분야 : 통신시스템LSI설계 저전력고속 회로설계 Platform 기반의SoC 설계>