

논문 2011-48SD-10-6

온 칩 통신을 위한 저 전력 동기화 기술

(Low-Power Synchronization Technique for On-Chip Communication)

이 정 현*, 김 동 철*, 어 영 선**

(Junghyun Lee, Dongchul Kim, and Yungseon Eo)

요 약

본 논문에서는 로컬에서의 동기화를 위한 새로운 저 전력 동기화 기술을 제안하였다. 본 논문에서 제안하고 있는 저 전력 동기화 기술은 현재 널리 이용되고 있는 소스 동기화 방법과 비교하여 클록을 전송하는 대신 인에이블 신호를 전송하여 동기화를 함으로써 소스 동기화 방법의 장점과 데이터 전송속도는 그대로 유지하면서 동기화를 위한 회로와 배선에서 소모되는 전력을 50%이상 감소시킨다.

Abstract

A novel low-power synchronization technique is presented for the local synchronization. Since the proposed technique transmits an enable signal instead of a clock signal which consumes large power, it can considerably reduce the power consumption. The source-synchronization scheme which is widely adopted for the local synchronization is compared with the proposed technique. It is shown that the proposed low-power synchronization technique provides approximately 50% power saving.

Keywords : source-synchronization, low-power synchronization, power consumption

I. 개 요

최근의 시스템 온 칩 (SoC : System On a Chip) 설계는 점점 더 고성능화 되어가는 소비자의 요구에 따라 다수의 IP 블록과 프로세싱 유닛 (PU)들을 하나의 칩에 직접하고 있으며^[1] 미세가공기술은 물리적 한계에 다다를 만큼 눈부시게 발전하고 있다. 이러한 상황에서 SoC 설계의 어려움은 배선에서의 속도제한, 전력소모 그리고 동기화 문제에 있다^[2]. 이러한 문제를 해결하기 위하여 저전압 차등 신호 (low-voltage differential signaling, LVDS) 방법과 소스 동기화 클록킹

(source-synchronous clocking) 방법이 제안되었다^[1~4]. 그림 1 은 [3]에서 사용한 소스 동기화 클록킹 방법이다. 소스 동기화 클록킹 방법은 송신기에서 사용된 로컬 클록을 복사하여 데이터와 함께 전송함으로써 배선의 변화에 쉽게 대응할 수 있고^[2], 다른 동기화 방법에 비하여 동기화를 위한 전력소모가 적다^[5~9]. 하지만 풀 스윙하는 로컬 클록을 전송하기 위하여 주변회로와 배선에서 여전히 많은 양의 전력을 소모하고 있다. 본

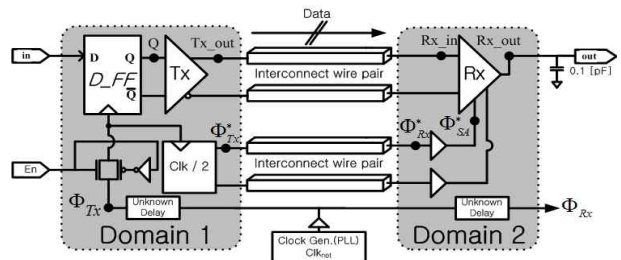


그림 1. [3]에서 제안된 소스 동기화 클록킹 방법
Fig. 1. Source-synchronous clocking scheme proposed by [3].

* 학생회원 ** 정회원, 한양대학교 통신공학과 (Department of Electrical and Computer Engineering, Hanyang University)

※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 2009-0075375).

접수일자: 2011년6월30일, 수정완료일: 2011년10월10일

논문에서는 제안하는 동기화 방법은 로컬 클럭 대신 타이밍 기준을 갖는 인에이블 신호를 전송하고 수신된 인에이블 신호와 수신기 쪽의 로컬 클럭을 이용하여 동기화를 함으로써 동기화에 소모되는 전력을 50%정도 감소시킨다.

II. 저 전력 동기화 기술

1. 저 전력 동기화 방법의 전체적인 구조

본 논문에서 제안하는 동기화 방법의 전체적인 구조가 그림 2에 나타나 있다. 제안된 동기화 방법은 도메인 1에서 인에이블 신호와 데이터 간의 타이밍 기준을 위한 플립플롭을 가지며, 도메인 2에서 수신된 인에이블 신호와 도메인 2의 로컬 클럭 (Φ_{Rx})을 이용하여 동기화를 완성하기 위한 클럭선택회로 (clock select circuit, CSC)를 갖는다.

도메인 2의 CSC는 Φ_{Rx} 의 주파수를 반으로 줄이는 동시에 서로 다른 위상을 갖는 4개의 클럭을 생성하기 위한 클럭분할기*, 수신된 인에이블 신호를 복원하기

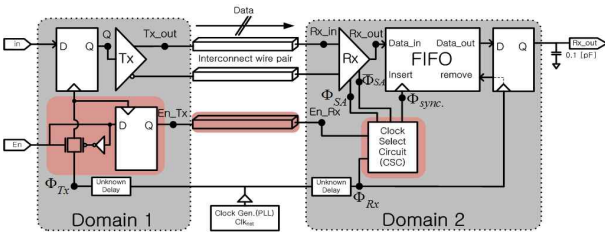


그림 2. 제안된 저 전력 동기화 방법의 전체적인 구조
Fig. 2. Overall structure of the proposed synchronization scheme.

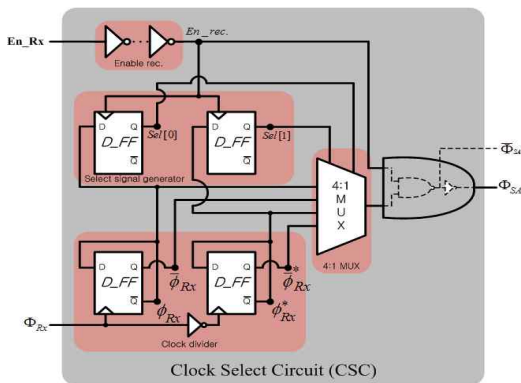


그림 3. 클럭선택회로의 구조
Fig. 3. The Clock Select Circuit structure.

* 제안하고 있는 저 전력 동기화 방법의 클럭분할기는 그림 1의 [3]에서 제안된 소스 동기화 방법에 사용된 클럭분할기와 같은 구조를 갖는다.

위한 인에이블 신호 복원기, 인에이블 신호가 수신된 시점을 기준으로 어떤 위상을 갖는 클럭을 사용하여 동기화를 할 것인지를 결정하는 4:1MUX, 그리고 2개의 플립플롭으로 구성된 선택신호생성기로 구성된다. 그림 3에 위에서 언급한 CSC를 구성하고 있는 각 회로들을 상세하게 나타내었다.

2. 저 전력 동기화 방법의 동작

그림 4는 그림 2에서 나타난 전체 구조에서 시간 도메인 신호 천이와 각 신호들 사이의 지연시간을 나타낸다. 도메인 1의 2개의 플립플롭에서 입력 신호 (in)와 인에이블 신호 (En)은 충분한 셋업 타임 (setup time)을 갖는다고 가정한다.

데이터의 펄스 위스와 도메인 1의 로컬 클럭 Φ_{Tx} 의 클럭 주기는 T이다. t_{En} 은 인에이블 신호가 인가된 뒤부터 클럭의 첫 번째 상승 에지까지의 시간이며, t_{FF} , t_{Tx} , t_{En_rec} 는 각각 플립플롭, 송신기, 신호복원기의 지연시간을 나타낸다. t_{tof} 는 배선에서의 지연시간을 나타낸다.

도메인 1의 플립플롭의 출력 Q와 En_Tx는 A를 기준으로 t_{FF} 만큼 뒤에 동시에 생성된다. Q는 송신기를 거쳐 저전압 차등 신호 (Tx_out)로 변환되어 배선을 통하여 송신된다. Tx_out과 En_Tx는 같은 배선지연시간을 겪고 도메인 2에서 수신된다.

도메인 2에서 수신된 En_Rx는 클럭선택회로 내부의 인에이블 신호 복원기를 통하여 En_rec로 복원되며 선택신호생성기는 En_rec의 상승 에지가 위치한 구간을

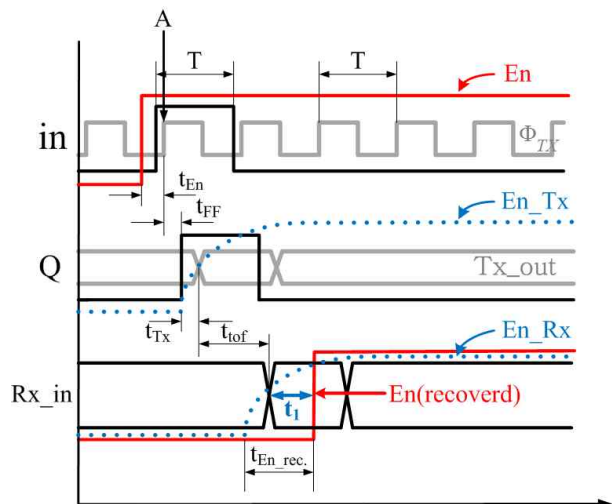


그림 4. 시간 도메인에서 각 신호들의 변화
Fig. 4. Time domain wave transient.

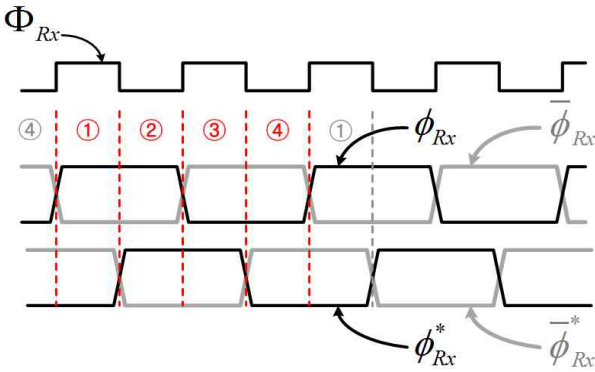


그림 5. 클럭분할기에서 ϕ_{Rx} 로부터 생성된 클럭들과 En_rec 신호의 상승 에지가 위치 가능한 구간
 Fig. 5. 4-phase clocks generated from Φ_{Rx} using clock divider and 4-zones that the rising edge of En_rec can be placed.

기준으로 선택신호를 생성한다. 선택신호생성기 내부의 4:1MUX의 입력은 클럭분할기에서 생성된 서로 다른 위상을 갖는 4개의 클럭이며, 선택신호를 기준으로 MUX의 출력을 결정하여 도메인 2에서 동기화를 가능하게 한다. 그림 5는 90° 위상 차이를 갖는 4개의 클럭 (ϕ_{Rx} , ϕ_{Rx}^* , $\bar{\phi}_{Rx}$, $\bar{\phi}_{Rx}^*$)과 En_rec 의 상승 에지가 위치 가능한 구간(①, ②, ③, ④)을 나타낸다.

선택신호생성기는 En_rec 의 상승 에지에서 ϕ_{Rx} , ϕ_{Rx}^* 의 값을 샘플 하여 4:1MUX의 선택신호를 출력하고, 이때 4:1MUX의 입력은 ϕ_{Rx} , ϕ_{Rx}^* , $\bar{\phi}_{Rx}$, $\bar{\phi}_{Rx}^*$ 이 된다. 선택신호에 따라 결정되는 4:1MUX의 출력은 수신기의 구조와 동작에 따라 선택된다. 구간에 따라 생성된 선택신호와 본 논문에서 사용된 수신기의 구조와 동작에 따른 MUX의 출력을 표 1에 정리하였다.

수신기의 올바른 동작을 위하여 도메인 2에서 최종적으로 사용되는 클럭, ϕ_{SA} ,은 4:1MUX와 En_rec 를 AND시킨 출력이며 위에서 설명한 과정을 그림 6에 나타내었다.

표 1. 4:1MUX의 선택신호와 그에 따른 출력
 Table 1. 4:1MUX select signal and outputs.

Sel[0]	Sel[1]	Zone	OUT
0	0	④	$\bar{\phi}_{Rx}^*$
0	1	①	ϕ_{Rx}
1	0	③	$\bar{\phi}_{Rx}$
1	1	②	ϕ_{Rx}^*

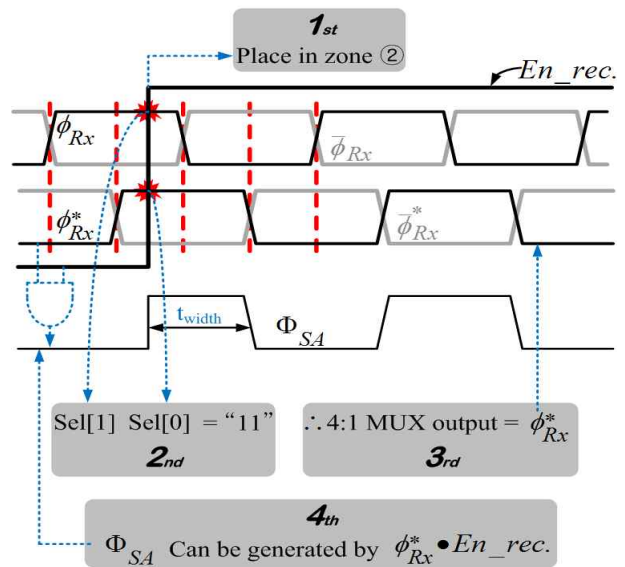


그림 6. 도메인2에서 동기화를 위한 최종 클럭, ϕ_{SA} 를 생성하는 과정
 Fig. 6. Schematic flow that how to generate the final clock, ϕ_{SA} , for the synchronization in domain 2.

III. 회로 성능 검증

본 논문에서 제안하는 동기화 방법의 검증을 위하여 [3]에서 사용된 소스 동기화 방법과 동작속도, 지연시간을 해석적으로 비교하였고, 각 경우에서의 전력소모를 SPICE 시뮬레이션을 통하여 비교, 분석하였다. SPICE 시뮬레이션은 130nm공정을 이용하였으며, 배선의 매개변수는 Q2D를 이용하여 추출하였다. 시뮬레이션에 사용한 배선의 구조는 그림 7과 같다.

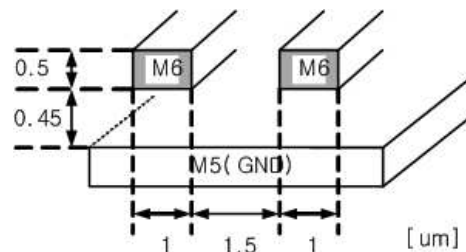


그림 7. 배선 구조
 Fig. 7. Line dimension.

3-1. SPICE 시뮬레이션

가. 소스 동기화 방법

그림 8은 [3]에서 사용된 소스 동기화 방법을 시뮬레이션 하기 위하여 설계한 회로의 전체적인 도식이며 송

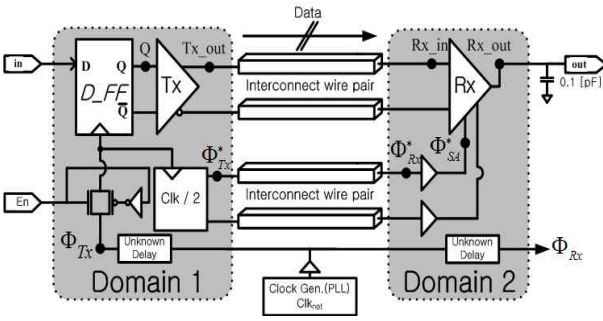


그림 8. 소스 동기화 시뮬레이션을 위한 회로의 도식
Fig. 8. Schematic circuit overview for source-synchronization simulation.

/수신기의 구조는 [3]에서 제안된 것과 같다.

나. 새로운 저 전력 동기화 방법

그림 9는 본 논문에서 제안하는 동기화 방법을 시뮬레이션 하기 위한 회로이다. CSC의 구조는 그림 3에서 언급한 바와 같으며 송/수신기 구조는 그림 8과 같다.

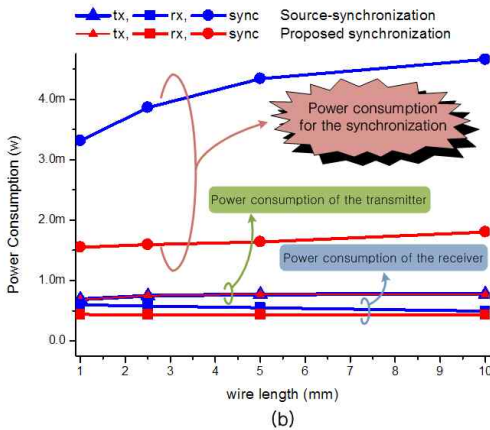
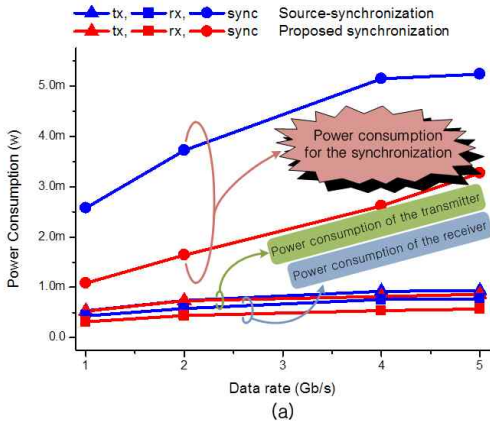


그림 10. (a)데이터 전송속도 변화에 따른 전력소모
(b)배선길이의 변화에 따른 전력소모
Fig. 10. (a) Power dissipation for data-rate variation.
(b) Power dissipation for wire length variation.

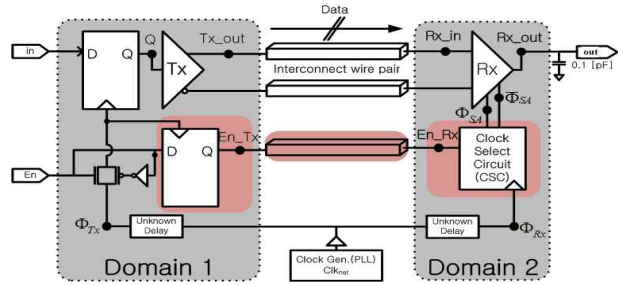


그림 9. 저 전력 동기화 시뮬레이션을 위한 회로의 도식
Fig. 9. Schematic circuit overview for proposed low power synchronization simulation.

3-2. 회로 성능 분석

가. 데이터 전송속도

그림 8과 9의 동기화 방법은 모두 같은 송신기와 수신기 구조를 가지고 있으며 각각이 동작하는 방법과 속도 또한 동일하다. 그러므로 두 경우에서 이용 가능한 데이터 전송속도는 동일하다.

나. 지연시간

소스 동기화 방법에서 인에이블 신호가 인가된 순간부터 수신기의 출력 (Rx_out)이 나오기 까지 걸리는 시간 t_{d_source} 는

$$t_{d_source} = t_{En} + t_{divider} + t_{tof} + t_{dk_rec} + t_{Rx}, \quad (1)$$

이며, $t_{divider}$ 는 클록분할기, t_{dk_rec} 는 클록복원회로, 그리고 t_{Rx} 는 수신기의 지연시간을 각각 나타낸다. 제안하고 있는 동기화 방법에서 인에이블 신호가 인가된 순간부터 Rx_out이 나오기 까지 걸리는 시간 t_{d_prop} 는

$$t_{d_prop} = t_{En} + t_{FF} + t_{tof} + t_{En_rec} + t_{sel} + t_{MUX} + t_{Rx}, \quad (2)$$

이며, t_{sel} 은 선택신호가 생성되기까지 걸리는 시간을 t_{MUX} 는 4:1MUX의 지연시간을 각각 나타낸다.

그러므로 $t_{dk_rec} \cong t_{En_rec}$ 라면

$$t_{d_prop} - t_{d_source} = t_{FF} + t_{sel} + t_{MUX} - t_{divider}, \quad (3)$$

가 된다. 이때 식(2)와 (3)에서

$$t_{select} = t_{FF}, \quad t_{divider} = t_{FF}, \quad (4)$$

이므로, 식(3)은 다음과 같이 나타낼 수 있다.

$$t_{d_prop.} - t_{d_source} = t_{FF} + t_{MUX} \quad (5)$$

다. 전력소모

그림 10은 각각 배선의 길이변화와 데이터 전송속도 변화에 따른 송신기, 수신기, 그리고 동기화를 위한 회로와 배선에서 소모되는 전력의 변화를 나타낸다. 그림 10에서 보이는 것과 같이 본 논문에서 제안한 동기화 방법을 사용한 경우 동기화를 위한 회로와 배선에서 소모되는 전력이 상당히 감소함을 확인 할 수 있다.

IV. 결 론

다수의 클록 도메인에서 동작하는 SoC의 동기화 문제를 해결하기 위하여 널리 이용되고 있는 소스 동기화 클록킹은 플립플롭을 삽입하는 방법에 비해 전력소모가 적으며 배선의 변화에 쉽게 대응할 수 있다는 장점이 있다. 하지만 로컬 클록을 전송함에 있어 여전히 상당한 양의 전력이 소모된다는 단점이 있다. 본 논문에서는 소스 동기화 방법이 가지고 있는 장점을 그대로 유지하면서, 로컬 클록을 대신하여 인에이블 신호를 전송하여 동기화를 수행하는 새로운 방법을 제시하였다.

본 논문에서 제시하는 동기화 방법은 소스 동기화 방법을 사용하였을 경우와 비교하여 추가로 사용된 플립플롭과 MUX의 지연시간만큼 데이터가 늦게 전송되는 단점이 있으나, 소스 동기화 방법의 장점과 데이터의 전송속도는 그대로 유지하면서 동기화를 위한 전력소모는 50%정도 감소시키는 장점이 있다.

참 고 문 헌

- [1] K. Lee, S. Lee, and H. Yoo, "Low-power networks-on-chip for high-performance SoC design," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 14, no. 2, pp. 148 - 160, Feb. 2006.
- [2] M. Ghoneima, Y. Ismail, M. Khellah, and V. De, "SSMCB : Low-power variation-tolerant source-synchronous multicycle bus," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 56, no. 2, pp. 384 - 394, Feb. 2009.
- [3] D. Schinkel, E. Mensink, E. Klumperink, E. van Tuijl, and B. Nauta, "Low-power, high-speed transceivers for network-on-chip

- communication," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 17, no.1, pp. 12 - 21, Jan. 2009.
- [4] K. Lee, S. Lee, and H. Yoo, "A 51mW 1.6GHz on-chip network for low-power heterogeneous SoC platform," in *Proc. ISSCC*, pp. 152 - 518, San Francisco, CA, Feb. 2004.
- [5] L. P. Carloni, K. L. McMillan, and A. L. Sangiovanni-Vincentelli, "Theory of latency-insensitive design," *IEEE Trans. Comput.-Aided Des. Integr. Syst.*, vol. 20, no. 9, pp. 1059 - 1076, Sep. 2001.
- [6] L. Scheffer, "Methodologies and tools for pipelined on-chip interconnect," in *Proc. IEEE ICCD*, pp. 152 - 157, Freiburg, Germany, Sep. 2002.
- [7] R. Lu, G. Zhong, C.-K. Koh, and K.-Y. Chao, "Flip-flop and repeater insertion for early interconnect planning," in *Proc. DATE*, pp. 690 - 695. Paris, France, Mar. 2002.
- [8] P. Cocchini, "Concurrent flip-flop and repeater insertion for high performance integrated circuits," in *Proc. ICCAD*, pp. 268 - 273, San Jose, CA, Nov. 2002.
- [9] M. Ghoneima and Y. Ismail, "Optimum positioning of interleaved repeaters in bidirectional buses," *IEEE Trans. Comput.-Aided Des. Integr. Syst.*, vol. 24, no. 3, pp. 461 - 469, Mar. 2005.

— 저 자 소 개 —



이 정 현(학생회원)
 2011년 한양대학교 전자통신공과
 학사 졸업.
 2011년~현재 한양대학교 전자
 전기제어계측공학과
 석·박사 통합 과정
 <주관심분야 : 고속 회로 설계>



어 영 선(정회원)
 한양대학교 전자통신공학과
 정교수



김 동 철(학생회원)
 2007년 한양대학교 전자컴퓨터
 공학과 학사 졸업.
 2009년 한양대학교 전자전기제어
 계측공학과 석사 졸업
 2009년~현재 한양대학교
 전자전기제어계측공학과
 박사 과정

<주관심분야 : 고속 회로 설계>