

논문 2011-48SD-9-5

CNT 센서 어레이를 위한 신호 검출 시스템

(A Signal Readout System for CNT Sensor Arrays)

신 영 산*, 위 재 경**, 송 인 채***

(Young-San Shin, Jae-Kyung Wee, and Inchaee Song)

요 약

본 논문에서는 Carbon Nanotube(CNT) 센서 어레이를 위한 저 전력, 소 면적의 신호 검출 시스템을 제안한다. 제안된 시스템은 신호 검출회로, 디지털 제어기, UART I/O로 구성된다. 신호 검출회로는 VGA를 공유하는 64개의 transimpedance amplifier(TIA)와 11비트 해상도의 successive approximation register-ADC(SAR-ADC)를 사용하였다. TIA는 센서의 전압 바이어스 및 전류를 증폭하기 위한 active input current mirror(AICM)와 증폭된 전류를 전압으로 변환하는 저항 피드백 방식의 VGA(Variable Gain Amplifier)로 구성되어있다. 이러한 구조는 큰 면적과 많은 전력을 필요로 하는 VGA를 공유하기 때문에 다수의 센서 어레이에 대해 검출 속도의 저하 없이 저 전력, 소 면적으로 신호 검출이 가능하게 한다. SAR-ADC는 저 전력을 위하여 입력 전압 level에 따라 하위 bit의 동작을 생략하는 수정된 알고리즘을 사용하였다. ADC 및 센서의 선택은 UART Protocol 기반의 디지털 제어기에 의해 선택되며, ADC의 data는 UART I/O를 통해 컴퓨터와 같은 단말기를 통해 모니터링 할 수 있다. 신호 검출회로는 0.13 μm CMOS 공정으로 설계되었으며 면적은 0.173 mm²이며 640 sample/s의 속도에서 77.06 μW 의 전력을 소모한다. 측정 결과 10nA - 10 μA 의 전류 범위에서 5.3%의 선형성 오차를 가진다. 또한 UART I/O, 디지털 제어기는 0.18 μm CMOS 공정을 이용하여 제작하였으며 총면적은 0.251 mm² 이다.

Abstract

In this paper, we propose a signal readout system with small area and low power consumption for CNT sensor arrays. The proposed system consists of signal readout circuitry, a digital controller, and UART I/O. The key components of the signal readout circuitry are 64 transimpedance amplifiers (TIA) and SAR-ADC with 11-bit resolution. The TIA adopts an active input current mirror (AICM) for voltage biasing and current amplification of a sensor. The proposed architecture can reduce area and power without sampling rate degradation because the 64 TIAs share a variable gain amplifier (VGA) which needs large area and high power due to resistive feedback. In addition, the SAR-ADC is designed for low power with modified algorithm where the operation of the lower bits can be skipped according to an input voltage level. The operation of ADC is controlled by a digital controller based on UART protocol. The data of ADC can be monitored on a computer terminal. The signal readout circuitry was designed with 0.13 μm CMOS technology. It occupies the area of 0.173 mm² and consumes 77.06 μW at the conversion rate of 640 samples/s. According to measurement, the linearity error is under 5.3% in the input sensing current range of 10nA - 10 μA . The UART I/O and the digital controller were designed with 0.18 μm CMOS technology and their area is 0.251 mm².

Keywords : CNT, sensor array, readout circuit, current detecting, UART, SAR-ADC.

* 학생회원, 숭실대학교 전자공학과

(School of Electronic Engineering, Soongsil University)

** 정회원-교신저자, *** 정회원, 숭실대학교 정보통신전자공학부

(School of Electronic Engineering, Soongsil University)

※ 본 논문은 2011년도 정부(교육 과학 기술부)의 재원으로 한국 연구 재단의 지원을 받아 수행된 연구임 (2009-0086631)

접수일자: 2011년5월18일, 수정완료일: 2011년8월18일

I. 서론

건강과 환경에 대한 관심이 높아짐에 따라 실시간으로 생체 신호나 유해한 환경 물질들을 검출할 수 있는 휴대용 센서 시스템에 대한 수요가 늘어나고 있다. 이러한 시스템을 구현하기 위해서는 고집적이 가능한 센서 어레이는 물론 센서 신호를 검출하는 저 전력, 고성능의 회로를 요구된다. 최근 수년간 연구되고 있는 CNT 센서는 CMOS기반의 회로 위에 제작이 가능하며 상온에서 비교적 빠른 속도로 FET 검출하면서도 높은 신뢰성을 갖는 특성으로 인해 이러한 휴대용 센서 시스템에 적합한 센서로 주목받고 있다^[1].

CNT 센서는 특정 물질과의 반응에 의한 전도도 변화를 통해 특정 물질을 검출 한다. 아주 작은 농도의 물질에 대해서도 검출이 가능하지만 CNT 센서 제작 공정이 아직까지 안정적이지 않으며 FET 또는 저항성의 특성을 무작위하게 갖는다^[2]. 게다가 전도도 또한 수백 배 이상의 변화폭을 갖으며 이를 저항값으로 환산하면

대부분 10kΩ - 10MΩ의 분포를 갖는다^[3].

이러한 CNT 센서의 신호를 검출하기 위한 기존의 검출회로의 방식은 크게 C-T 변환(Current to Time Conversion)방식과 C-V 변환(Current to Voltage Conversion)방식으로 나뉜다. 먼저 C-T 변환 방식은 그림 1과 같이 적분기를 이용하여 센서의 전류를 캐패시터에 충전하고 이에 따라 생성되는 펄스파의 주파수를 카운터 등의 회로를 통해서 디지털 방식으로 변환하는 방식이다. 이와 같은 방식은 별도의 ADC 회로 없이 바로 디지털 값으로 변환할 수 있다는 장점이 있다. 하지만 CNT 센서의 전류는 매우 작은 값이기 때문에 디지털 값으로 변환하는데 있어서 큰 시간을 필요할뿐더러 각기 다른 전류 값으로 인해 검출 속도 또한 제각각이다. 이러한 이유로 센서의 수를 확장할 경우 채널 변환 등에 있어서 제한 요소로 작용한다. 이를 해결하기 위해서는 고속의 클럭과 전류 증폭기를 필요로 하며 이는 면적 및 전력 소모의 증가를 가져온다^[4~7].

C-V 변환 방식은 그림 2와 같이 저항을 이용한 피드백 방식을 사용하여 센서의 전류를 전압으로 변환한다. 증폭기의 대역폭에 따라 상당히 빠른 시간 내에 CNT 센서의 신호를 검출할 수 있다는 장점을 가진다. 하지만 CNT 센서의 작은 전류 값을 ADC를 통해 디지털 값으로 변환하기 위해서는 수 MΩ 이상의 큰 저항 값을 필요로 하며 이 역시 센서의 수가 많을 경우 칩 구현에 있어 상당히 큰 면적을 필요로 한다^[8,9].

본 논문에서는 이러한 문제점을 해결하기 위해 AICM, VGA, SAR-ADC로 구성된 새로운 검출 회로 구조를 제안한다. 본 논문의 II 장에서는 제안하는 신호 검출 시스템의 구조 및 UART(Universal Asynchronous Receiver / Transmitter) 프로토콜 기반의 디지털 제어 방식에 대해 설명하고 III 장에서는 제안된 신호 검출 시스템에서 아날로그 회로부분인 신호 검출회로의 구현에 대하여 설명한다. IV장은 제안된 신호 검출 회로의 시뮬레이션 및 측정 결과 및 성능 요약을 보여준 후, V장에서 결론을 맺는다.

II. 제안하는 신호 검출 시스템

1. 신호 검출 시스템 전체 구조

그림 3은 제안된 신호 검출 시스템의 전체 구조이다. 제안된 회로는 크게 아날로그 회로인 신호 검출회로와 디지털 회로인 제어기, UART I/O로 구성되어있다. 우

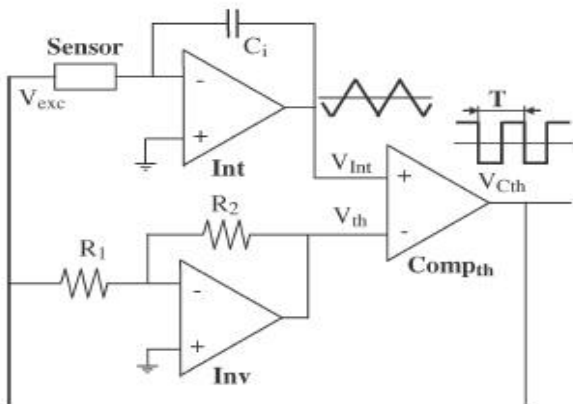


그림 1. 기존의 C-T 변환 방식
Fig. 1. The conventional conversion method of C-T^[4].

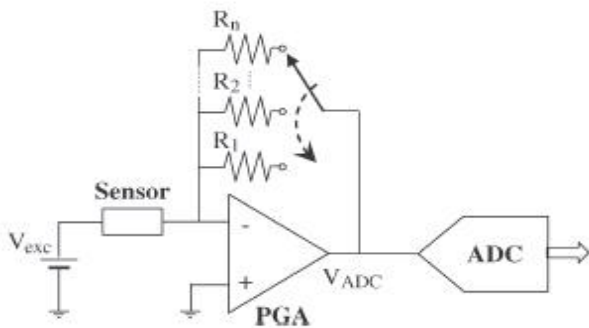


그림 2. 기존의 C-V 변환 방식
Fig. 2. The conventional conversion method of C-V^[4].

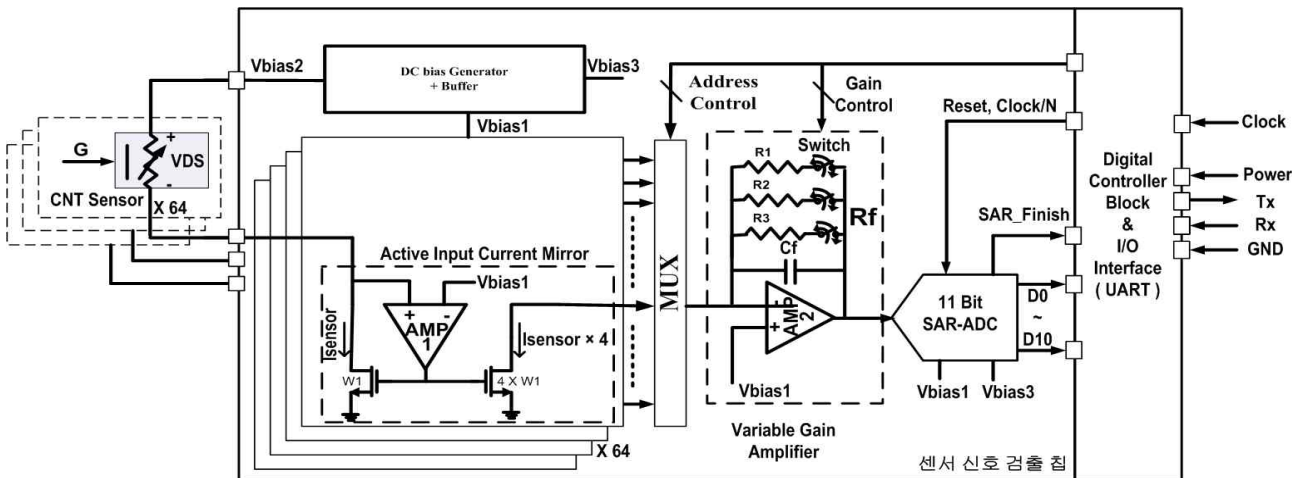


그림 3. 제안하는 신호 검출 시스템의 구조
 Fig. 3. The architecture of the proposed signal readout system.

선 신호 검출회로는 64개의 CNT 센서 어레이의 신호 검출을 목표로 설계 되었으며 AICM, DC 바이어스 회로, VGA, SAR-ADC로 구성되어있다. AICM은 DC 바이어스 회로와 함께 CNT 센서의 소스, 드레인 전압을 바이어싱 하며 동시에 전류를 증폭한다. 이때, CNT 센서는 패드를 통해 외부에서 연결된다. 센서의 증폭된 전류 신호는 VGA의 피드백 저항 R_f 를 통해 전압으로 변환된다. ADC에서 디지털로 변환하기 위한 충분한 크기의 전압으로 만들어 주기 위해서는 VGA의 피드백 저항은 큰 값을 필요로 하며 이것은 많은 면적을 차지한다. 제안된 구조는 면적을 최소화하기 위하여 MUX를 이용하여 1개의 VGA를 공유하는 형태로 사용하였다. VGA는 단일 저항으로 넓은 입력 동작 범위를 구현하는 경우 매우 높은 해상도의 ADC를 필요로 하기 때문에 전류가 10배 증가할 때 마다 다른 값의 저항으로 스위치를 통해 변경된다. ADC는 선택된 저항에서 10배의 입력 범위에 대해 0.5%의 정확도로 검출을 하는 것을 목표로 하기 위해 11비트의 해상도로 구현하였다. ADC의 초기화나 MUX의 주소는 디지털 제어기를 통해 제어된다. ADC에서 변환된 디지털 데이터는 UART를 통해 컴퓨터와 통신한다. UART의 클럭 주파수는 10MHz이며 ADC의 SAR 제어기 등은 이를 64 분주한 156kHz의 클럭을 사용한다.

그림 4는 신호검출 회로의 동작을 표시한 다이어그램을 보여준다. 센서 신호의 검출은 디지털 회로부분의 제어신호에 의하여 결정된다. 타이밍 마진과 피크 전류 감소를 위해 UART와 디지털 제어기는 상승 에지에서 ADC는 하강 에지에 동기화 되어있다. 우선 reset 신호

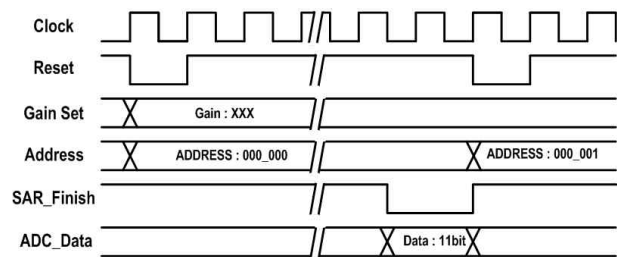


그림 4. 디지털 제어기의 타이밍도
 Fig. 4. Timing diagram of the digital controller.

가 'low'일 때 신호 검출 회로가 초기화 되고 'high'일 때 센서 신호의 검출이 시작된다. 이와 동시에 첫 번째 CNT 센서의 데이터를 얻기 위해 주소와 증폭 도를 설정한다. ADC에서 SAR과정이 끝나면 SAR_Finish 신호가 'low'로 된다. 이때 ADC의 데이터 값이 레지스터에 저장되고 순차적으로 해당되는 검출회로의 동작을 위하여 각 회로부분이 초기화되고 재 동작하게 된다.

저장된 ADC의 값은 UART I/O를 이용하여 컴퓨터와 같은 단말기에 전달된다. UART 통신은 8비트의 데이터 형식을 사용하였으며 지원하는 보드 레이트 (baud rate)는 19200으로 고정되고 정지 비트는 '1'로 사용하였다. 내부 레지스터 설정 및 ADC의 데이터를 읽어오는 동작을 위하여 그림 5와 같이 데이터 형식을 정의 하였다. Configuration format은 내부 레지스터를 설정하기 위한 형식으로 ADS는 내부 레지스터의 주소와 데이터를 선택하며 B_Counter는 Burst Size를 R/W 는 쓰기 동작인지 읽기 동작인지를 나타낸다. Sensor Lower/Upper data format은 ADC의 데이터를 읽어오기 위한 형식으로 2개의 형식에는 1개의 CNT 센서에

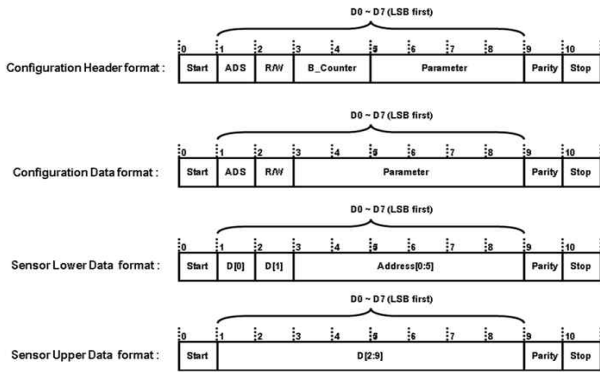


그림 5. 내부 레지스터 설정 및 ADC 값을 읽어오기 위한 데이터 형식
 Fig. 5. The internal register set up and the data format for read ADC data.

대한 주소 값과 ADC의 데이터가 저장된다. 이러한 데이터 형식은 ADC의 해상도나 센서 어레이의 개수에 따라 조절해서 사용 한다.

III. 회로 구현

1. 신호 검출 회로 구조의 최적화

검출 회로는 다수의 센서 어레이를 위해서 면적의 최소화가 필요하다. 제안된 구조는 동일한 출력 전압일 때, AICM의 전류 미러(Current Mirror)면적과 Rf의 면적은 전류 미러 비(CMR, Current Mirror Ratio)에 의해 트레이드오프 관계가 있으며 이에 대한 수식은 식(1)과 같다.

$$A_{Total} = 64 \cdot (CMR+1) \cdot A_{mirror} + A_{Resistor}/CMR \quad (1)$$

여기서 A_{total}은 전체 면적이며, A_{mirror}은 AICM에서 전류 미러를 구성하는 MOSFET의 active 면적이고, A_{resistor}은 CMR이 1일 때 필요한 VGA의 피드백 저항의 면적이다. 증폭기의 면적은 비에 상관없으므로 식에서 제외하였다. 식(1)에 따른 계산 결과는 그림 6과 같으며



그림 6. CMR에 따른 전체 면적 변화
 Fig. 6. Variations of total area according to CMR.

본 설계에서는 최소한의 면적으로 구현하기 위해 CMR 값을 4로 결정 하였다.

2. 비이상적 요소 고려사항

센서 시스템에서 특정 물질을 정확히 검출하는 것은 중요하다. 제안된 구조에서의 비이상적 요소들을 고려해야한다. 입력력 관계에 있어 VGA의 출력 전압 V_{out}과 센서 전류 I_{sensor}와의 관계는 식(2)와 같다.

$$V_{out} = I_{sensor} (R + \Delta R)(M + \Delta M) + V_{offset} \quad (2)$$

여기서 ΔR은 공정 변화, 스위치 및 MUX의 저항 성분을 말하며 ΔM은 AICM에서의 레이아웃 불일치 등에 의한 성분이며 V_{offset}은 증폭기의 오프셋 전압 및 MUX의 누설 전류에 의해 발생된다. 이러한 비이상적인 요소들은 데이터 신뢰성에 문제를 야기하나 실질적인 데이터는 전류 변화량이며 이에 대한 수식은 아래와 같다.

$$\frac{\Delta V_{out}}{V_{out}} = \frac{\Delta I_{sensor2} (R + \Delta R)(M + \Delta M)}{I_{sensor1} (R + \Delta R)(M + \Delta M) + V_{offset}} \quad (3)$$

$(I_{sensor2} = I_{sensor1} + \Delta I_{sensor2})$

여기서, V_{offset} 값은 입력이 없는 상태에서의 ADC 출력 값을 통해 알 수 있기 때문에 제거할 수 있으며 제안된 구조에서는 ADC의 비이상적인 요소를 제외하고는 데이터 신뢰성에 영향을 미치지 않는다. 따라서 제안된 구조는 별도의 보정 회로를 필요치 않는다.

3. Active Input Current Mirror

그림 7은 AICM의 회로도이다. M1-M4는 일반적인 차동 증폭기이며 M5, M6을 통해 센서의 입력 전류 신

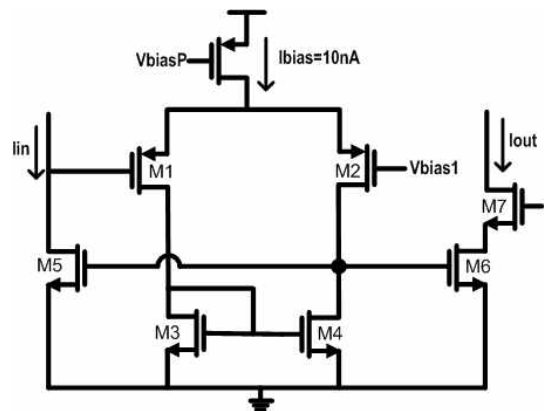


그림 7. AICM의 회로도
 Fig. 7. The AICM circuit.

호 I_{in} 이 들어오면 CMR에 따라 전류가 증폭됨과 동시에 I_{in} 노드의 전압은 차동 증폭기에 의해 V_{bias1} 전압으로 고정된다. 넓은 입력 범위를 갖도록 설계하기 위해서 전류 미러를 구성하는 M5, M6은 weak inversion 영역에서 동작한다. M7은 디코더와 함께 MUX로 작동한다. M7의 저항 성분에 의해 큰 전류가 흐를 경우 선형성이 감소하기 때문에 채널 폭을 크게 설계하였다. 또한 AICM은 센서의 전류가 낮을 경우 발진 할 수 있으며 발진하지 않을 조건은 식(4)와 같다^[10].

$$C_{gd5}(g_{m5} - g_{ma}) > \frac{g_{m5} \cdot g_{ma}}{\omega_a} \quad (4)$$

여기서 C_{gd5} 은 M5의 게이트와 드레인간의 캐패시턴스, g_{m5} 은 M5의 g_{ma} 는 amp의 transconductance, ω_a 는 amp의 -3dB pole을 의미한다. 사용된 AICM은 안정성을 위해 C_c 를 삽입하였고 AICM의 바이어스 전류는 10nA를 사용함으로써 매우 작은 g_{ma} 를 갖도록 설계함으로써 안정성 문제를 회피하였다.

4. 가변 증폭기

그림 8은 VGA에서의 비선형 성분들을 나타낸다. VGA에서의 비선형 성분은 R1 - R3간에 레이아웃 불일치, 공정 변화, 스위치의 기생 저항성분 등에 의해 나타난다^[8]. 우선 오프셋 오차로 인한 비연속성 문제는 두 저항 간에 입출력 구간을 겹치도록 설계함으로써 문제를 막았다. 증폭도 오차의 경우 저항을 선택하는 스위치 기생 저항과 각 저항 간에 레이아웃 불일치에 의해 발생한다. 스위치의 기생 저항 값은 스위치를 구성하는 MOSFET의 채널 폭을 크게 함과 동시에 그 비를 저항비와 반비례하게 설계하여 비선형성을 감소시켰으며 더미 셀, 대칭적 배치 등의 레이아웃 기법 등을 통해 감소

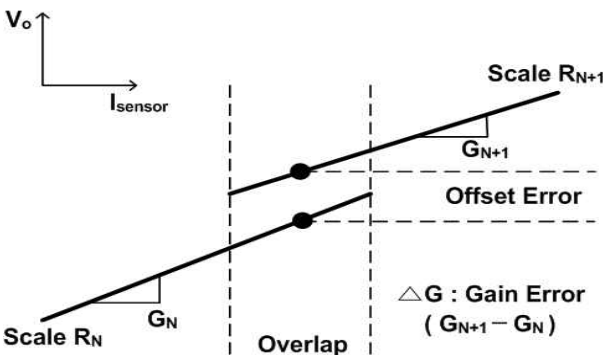


그림 8. VGA에서의 비선형 특성
Fig. 8. The nonlinear characteristic of a VGA.

표 1. Rf의 저항 값, 전류 범위, 스위치의 크기

Table 1. Resistor values, current range, and switch size for Rf.

Rf	입력전류 범위(A)	저항값	Switch Size(W/L)
R1	10n - 110n	1500kΩ	1μ/0.13μ
R2	100n - 1100n	150kΩ	10μ/0.13μ
R3	1000n - 10000n	15kΩ	100μ/0.13μ

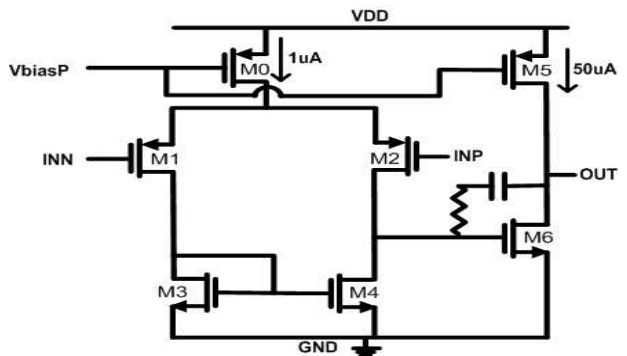


그림 9. VGA에 사용된 연산증폭기
Fig. 9. The OPAMP used in the VGA.

시켰다. 이에 대한 값은 표 1에 정리하였다.

그림 9는 VGA에서 사용된 연산증폭기이다. 증폭기는 일반적인 밀러 보정 2단 연산증폭기를 사용하였다. 출력 단은 worst case, 즉 센서의 입력이 가장 클 때의 전류를 구동하기 위해 M5, M6은 넓은 채널 폭으로 설계하였다.

5. 수정된 SAR-ADC

그림 10의 (a)는 11비트 SAR-ADC를 보여준다. 입력

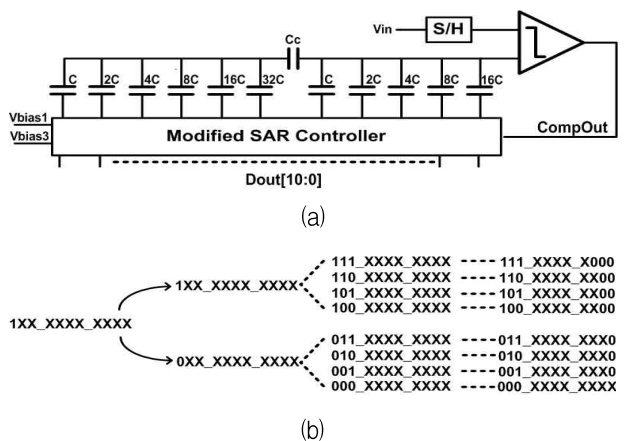


그림 10. (a) 제안된 SAR-ADC의 블록도, (b) 수정된 SAR 제어기의 동작 방법
Fig. 10. (a) Block diagram of the proposed SAR-ADC, (b) The modified operation method of SAR-controller.

과 비교시 기준 전압은 'Vbias1'을 사용함으로써 VGA의 DC 전압을 상쇄시켰다. ADC는 초기 값의 기준으로 8비트의 해상도를 필요로 한다. 따라서 높은 입력 전압 범위에서는 높은 해상도가 필요 없어 하위 비트를 필요로 하지 않는다. 따라서 SAR-ADC의 제어기의 동작은 그림 10의 (b)와 같이 변형하였다. 변형된 제어기의 동작은 상위 3비트의 값에 비례하여 ADC 동작을 하지 않는 하위 비트 수를 증가시킴으로써 전력 소모를 감소하게 한다.

4. DC 바이어스 전압 생성

그림 11은 DC 바이어스 전압 생성 회로를 보여준다. 일반적으로 DC 바이어스 회로는 PVT(Process, Voltage, Temperature) 변화에 둔감해야 한다. 변화가 클 경우 제안된 구조의 VGA에서 출력 전압이 포화될 가능성이 있다. 하지만 제안된 검출회로의 경우 바이오 물질이 온도에 민감하기 때문에 온도 변화가 매우 작은 환경에서 동작이 되어야 하며 낮은 전력 소모로 회로가 동작함에 따른 발열 또한 낮다. 따라서 제안된 검출회로에서는 공정 변화와 공급 전압 변화에 둔감해야 한다. 전압 변화는 공급전압에 독립적인 바이어스 회로(M0-M3)를 통해 둔감하게 설계 하였으며 공정 변화를 각기 다른 문턱전압 V_{th} 를 가지는 M6-M9, M11-M13을 이용하여 둔감하게 설계하였다^[11].

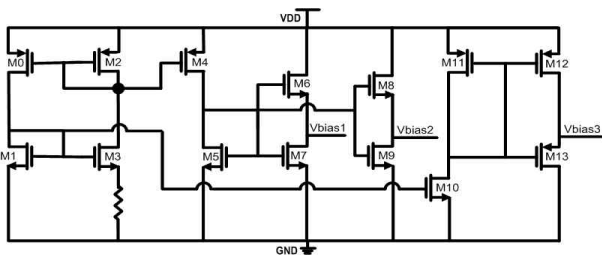


그림 11. DC 바이어스 전압 생성 회로
Fig. 11. The DC bias voltage generation circuit.

IV. 측정 및 시뮬레이션 결과

그림 12는 제안된 검출회로에서 worst case인 $R_f=1.5M\Omega$ 이고 입력이 10nA일 때의 입력 기준 전류 잡음 시뮬레이션 결과이다. 시뮬레이션 결과 입력 기준 전류 잡음은 10Hz-6kHz의 범위에서 0.2pA의 RMS (root mean square)값을 가진다. 이는 입력 기준으로

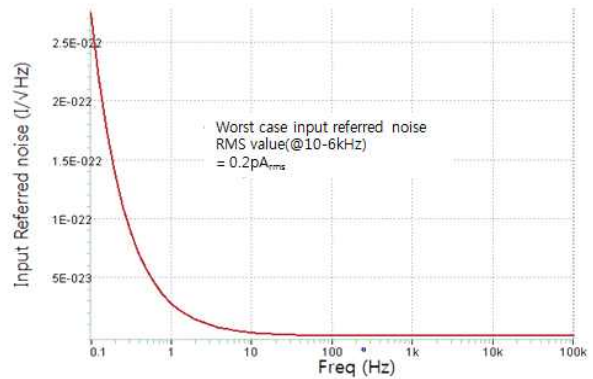


그림 12. Worst case 에서의 입력 기준 전류 잡음 시뮬레이션 결과(@ $R_f=1.5M\Omega$)
Fig. 12. The simulated result of input referred current noises in the worst case(@ $R_f=1.5M\Omega$).

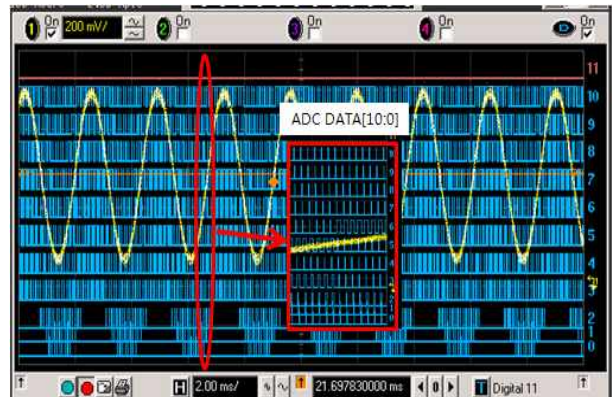


그림 13. 100nA-1000nA의 전류 범위에서 사인파 형태의 입력에 대한 ADC의 출력 측정 결과
Fig. 13. The measurement result of sinewave input versus ADC output at the 100nA-1000nA current range.

0.5% 이하의 잡음 성분으로 ADC 과정에서 영향을 주지 않음을 의미한다.

그림 13은 제안한 검출회로에서 100nA-1000nA의 입력 범위에서 사인파 형태의 입력에 대한 ADC의 출력에 대한 측정 결과이다. 입력 전류는 CNT 센서 대신 저항을 연결하고 외부에서 전압을 사인파 형태로 인가하여 저항 양단에 걸리는 전압을 변화시키는 방법으로 전류를 변화시켰다. 사인파의 잡음을 고려하여 10회 반복하여 측정하였으며 이러한 ADC의 출력 디지털 데이터를 입출력 식(2)에 의해 전류 값으로 변환할 수 있다. 이러한 방법으로 10nA-10μA까지 신호 검출 회로의 전체 입력 범위에 대해 입력에 따른 출력 결과를 그림 14에 나타내었다.

제안된 신호 검출회로는 III장에서 언급한 것처럼

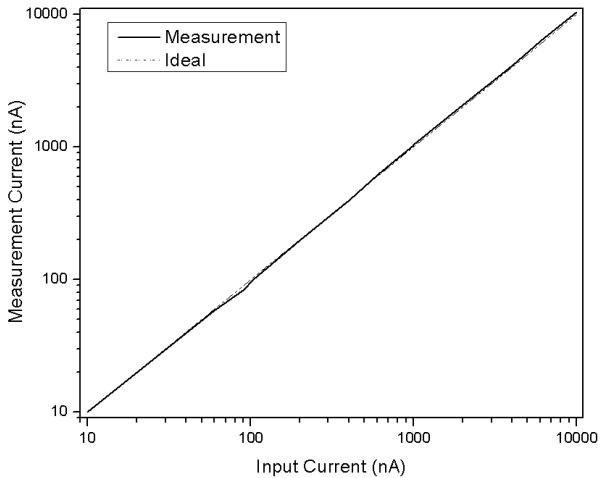


그림 14. 전체 입력 범위에 대한 출력 측정 결과
 Fig. 14. The measurement result of overall input range versus output.

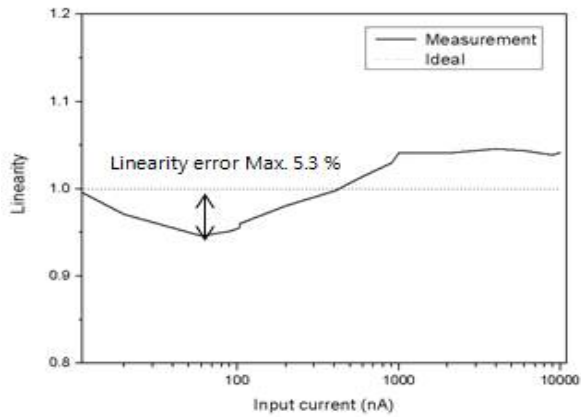


그림 15. 전체 입력 범위에 대한 선형성 오차 측정 결과
 Fig. 15. The measured result of the whole input current range versus linearity errors.

CNT 센서의 값 자체보다는 변화량이 중요하기 때문에 회로의 선형성이 중요하다. 그림 15는 전체 입력 범위에 대한 검출회로의 선형성을 나타낸다. 여기서 선형성이란 그림 14의 측정 결과의 기울기를 의미한다. 이상적인 경우 1의 기울기 값을 가지며 측정 결과 전체 범위에서 최대 5.3% 이내의 선형성 오차를 갖으며 저항이 스위칭 되는 구간에서 가장 큰 오차를 발생시킨다. 이는 제안된 검출 회로의 worst case에서 예를 들면 10%의 전류 변화에 대해 9.47%로 판별하는 오차를 가져오는 것을 의미한다. 이것은 변화량을 통한 검출 물질의 농도 판별에 있어서 오차로 반영된다.

그림 16은 디지털 제어기 및 UART I/O에 대한 테스트 결과이다. 컴퓨터와 UART 케이블로 연결하여 시리

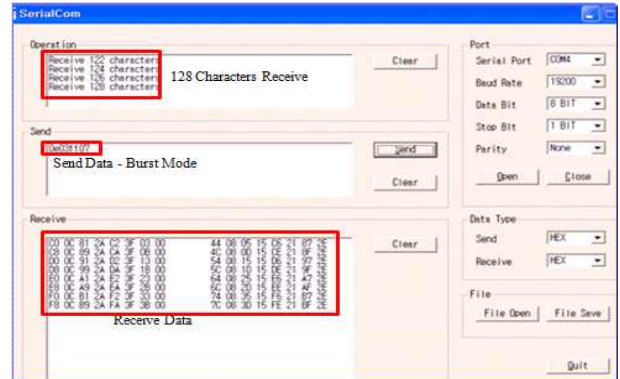


그림 16. 디지털 제어기 및 UART I/O 테스트 결과
 Fig. 16. The test result of the digital controller and the UART I/O.

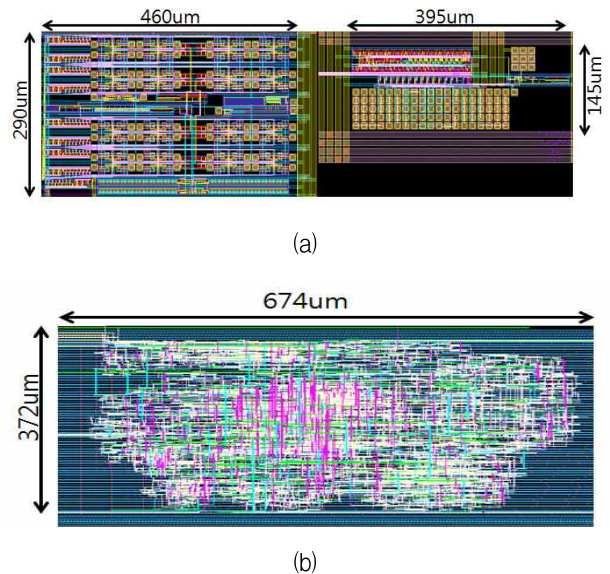


그림 17. 제안된 센서 신호검출 시스템의 레이아웃,
 (a) 신호검출 회로,
 (b) UART I/O & 디지털 제어기
 Fig. 17. The layout of the proposed sensor signal readout system, (a) signal readout circuit, (b) UART I/O & Digital controller.

얼 통신 프로그램을 이용하여 테스트 하였으며 보드레이트는 19200에 데이터 형식은 8비트이다. 신호 검출회로 부분은 내부 디지털 더미 블록을 이용하여 생성하였다. 총 64개의 가상적 센서 데이터에 대해 테스트를 하였으며 그 결과 총 128개의 문자를 읽어왔다. 2 개의 문자는 1개의 센서에 한 주소 및 데이터를 나타낸다.

그림 17의 (a)는 0.13μm CMOS 공정으로 구현된 신호검출 회로의 레이아웃이다. 총면적은 0.173 mm²이다. 그림 17의 (b)는 0.18μm CMOS 공정으로 구현된 디지털 제어기 및 UART I/O로 면적은 0.251 mm²이다.

표 2. 보고된 칩들과 본 작업의 성능 비교

Table 2. Comparisons of performances of the reported chips and this work.

항목	[3]	[5]	[6]	[8]	This Work (Analog only)
Process(μm)	0.18	Off-chip	0.35	0.35	0.13
Channel	24	2	1	4	64
Area(mm^2)	0.721	X	0.42	3.1	0.173
Area/Channel	0.0300	X	0.42	0.7750	0.0027
Resistance Range	10k-9M	10k-10G	1k-1G	100-20M	10k-10M
Current Range(@0.1 bias)					10nA - 10 μ A
Min. Detecting Resolution(%)	< 1.32	< 0.5	< 0.8	< 0.1	< 5.3(linearity)
Supply Voltage(V)	1.2(analog) 0.5(digital)	+/-5	3.3	3.3	1
Power Consumption(W)	32 μ	600m	15m	6m	77.06 μ
Power/Channel(W/C)	1.33 μ	300m	15m	1.5m	1.20 μ
Sampling Rate(S/s)	1.83k	Depends on Res.	Depends on Res.	100	640

테스트를 위해 Full custom 방식의 아날로그 회로와 cell based 방식의 디지털 회로를 각각 다른 공정으로 제작하였다.

표 2는 제안된 신호검출 회로의 아날로그부분에 대한 성능을 기존의 다른 논문과 비교한 표이다. 전력 소모의 경우 측정 장비를 이용하여 640 sample/s의 동작 속도에서 평균 전력 소모를 측정하였다. 전력 소모 및 면적에 있어서 다른 공정으로 제작된 UART I/O 및 디지털 제어 회로 부분은 제외 하였다. 입력 범위의 경우 바이어스 전압을 전류를 나누어서 저항으로 변환하였다. 기존 방식에 비해 해상도나 입력 범위에 대한 성능은 부족하나 채널당 소모하는 전력 및 면적은 최고의 성능을 갖는다. 따라서 다수의 어레이로 구현시 소비 전력이나 면적 측면에서 제안된 신호 검출 시스템은 상당한 장점을 가진다.

V. 결 론

본 논문은 CNT 센서 어레이를 위한 신호검출 회로, UART I/O와 이를 기반으로 하는 제어 방법을 제안하였다. 제안된 신호검출 회로는 64개의 CNT 센서 어레이의 신호 검출을 위해 0.13 μm 공정으로 구현되었다. 신호 검출회로는 1V의 공급 전압과 640 sample/s의 속도에서 77.06 μW 의 전력을 소모한다. 또한 10nA - 10 μA 의 전류 범위에 대해 5.3% 이하의 선형성 오차를 가

지고 검출한다. 제안된 신호검출 회로는 다수의 센서 어레이에 대해서 저 전력, 소 면적을 가지는 구조로서 다양한 물질을 검출하기 위한 다중 어레이의 휴대용 센서시스템의 응용에 활용될 수 있다.

참 고 문 헌

- [1] Vinay Agarwal, Chia-Ling Chen, Mehmet R. Dokmeci, and Sameer Sonkusale, "A CMOS integrated thermal sensor based on Single-Walled Carbon Nanotubes," IEEE Sensors, pp. 748-751, Oct. 2008.
- [2] 정인영, "CNT 배열을 이용한 bio-sensor SoC 설계," 전자공학회논문지, 제45권, 제12호, SD편, 8-14쪽, 2008.12.
- [3] Taeg Sang Cho, Kyeong-Jae Lee, Jing Kong, and Anantha P. Chandrakasan, "A 32- μW 1.83-kS/s Carbon Nanotub Chemical Sensor System," IEEE Journal of Solid-State Circuits, Vol. 44, pp. 659-669, 2009.
- [4] Alessandro Depari, Alessandra Flammini, Daniele Marioli, Emiliano Sisinni, Andrea De Marcellis, Giuseppe Ferri, and Vincenzo Stornelli, "A New and Fast-Readout Interface for Resistive Chemical Sensors," IEEE Transaction on Instrumentation and Measurement, Vol. 29, pp. 1-8, 2009.
- [5] A. Flammini, D. Marioli, and A. Taroni, "A low-cost interface to high-value resistive

sensors varying over a wide range,” IEEE Transactions on Instrumentation and Measurement, Vol. 53, no. 4, pp. 1052- 1056, Aug. 2004.

[6] M. Grassi, P. Malcovati, and A. Baschiroto, “A 141-dB Dynamic Range CMOS Gas-Sensor Interface Circuit Without Calibration With 16-Bit Digital Output Word,” IEEE Journal of Solid-State Circuits, Vol. 42, no. 7, pp. 1543-1554, Jul. 2007.

[7] P.M. Levine, Ping Gong, R. Levicky, and K.L. Shepard, “Active CMOS Sensor Array for Electrochemical Biomolecular Detection,” IEEE Journal of Solid-State Circuits, Vol. 43, no. 8, pp. 1859-1871, Aug. 2008.

[8] M. Grassi, P. Malcovati, and A. Baschiroto, “A 160 dB Equivalent Dynamic Range Auto-Scaling Interface for Resistive Gas Sensors Arrays,” IEEE Journal of Solid-State Circuits, Vol. 42, no. 3, pp. 518-528, Mar. 2007.

[9] H.-T. Chueh and J.V. Hatfield, “A Real-Time Data Acquisition System for a Hand-Held Electronic Nose (H2EN),” Sens. Actuators B, Vol. 83, no. 1-3, pp. 262-269, Mar. 2002.

[10] T. Serrano-Gotarredona, B. Linares-Barranco, and A.G. Andreou, “Very wide range tunable CMOS/bipolar current mirrors with voltage clamped input,” IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, Vol. 46, no. 11, pp. 1398-1407, Nov. 1999.

[11] S.R. Tiyyagura and S. Katare, “Low power voltage reference architectures,” International Symposium on Signals, Circuits and Systems, pp. 1-4, Jul. 2009.

저 자 소 개



신 영 산(학생회원)
2009년 숭실대학교 정보통신 전자공학부 학사 졸업.
2009년~숭실대학교 전자공학과 석박사 통합과정

<주관심분야 : Biomedical System, Mixed Mode 설계 >



송 인 채(정회원)
1981년 서울대학교 전자공학과 학사 졸업.
1984년 U.C.L.A Electrical Engineering 석사 졸업.
1991년 U.C.L.A Electrical Engineering 박사 졸업.

1985년~1992년 Hughes Aircraft Company, Staff Engineer
1992년~현재 숭실대학교 정보통신전자공학부 교수

<주관심분야 : 반도체 소자 Modeling, 집적회로 설계>



위 재 경(정회원)-교신저자
1998년 연세대학교 물리학과 학사 졸업.
1990년 서울대학교 물리학과 석사 졸업.
1998년 서울대학교 전자공학과 박사 졸업.

1990년~2002년 하이닉스 메모리 연구소 근무
2002년~2004년 한림대학교 정보통신공학부 조교수
2004년~2007년 숭실대학교 정보통신전자공학부 조교수
2008년~현재 숭실대학교 정보통신전자공학부 부교수

<주관심분야 : System-in-Package 설계 및 고속 SoC, high speed I/O interface, DLL/PLL, Mixed Mode 설계>