

논문 2011-48SD-7-10

비아 절단 구조를 사용한 DRAM 패키지 기판

(DRAM Package Substrate Using Via Cutting Structure)

김 문 정*

(Moonjung Kim)

요 약

본 논문에서는 비아 절단 구조를 제안하고 2층 구조의 DRAM 패키지 기판 설계에 적용하여 낮은 임피던스를 가지는 파워 분배망(Power Distribution Network)을 구현하였다. 제안한 신규 비아 구조는 비아의 일부가 절단된 형태이고 본딩 패드와 결합하여 넓은 배선 면적을 필요로 하지 않는 장점을 가진다. 또한 비아 절단 구조를 적용한 설계에서는 본딩 패드에서 VSSQ까지의 배선 경로를 효과적으로 단축시킴으로써 PDN 임피던스를 개선시킬 수 있다. DRAM 패키지 기판 상의 윈도우 영역 형성과 동시에 비아의 일부 영역이 제거되므로 비아 절단 구조 제작을 위한 추가적인 공정은 없다. 또한 비아 홀 내부를 솔더 레지스트로 채움으로써 버(Burr) 발생을 최소화하였으며, 이를 패키지 기판 단면 촬영을 통해 검증하였다. 비아 절단 구조의 적용 및 VDDQ/VSSQ 배치에 의한 PDN 임피던스 변화를 검증하기 위해서 3차원 전자기장 시뮬레이션 및 네트워크 분석기 측정을 통해 기존 방식을 적용한 패키지 기판과 비교 검증을 진행하였다. 신규 DRAM 패키지 기판은 대부분의 주파수 범위에서 보다 우수한 PDN 임피던스를 가졌으며, 이는 제안한 비아 절단 구조와 파워/그라운드 설계 배치가 PDN 임피던스 감소에 효과적임을 증명한다.

Abstract

A new via cutting structure in 2-layer DRAM package substrate has been fabricated to lower its power distribution network(PDN) impedance. In new structure, part of the via is cut off vertically and its remaining part is designed to connect directly with the bonding pad on the package substrate. These via structure and substrate design not only provide high routing density but also improve the PDN impedance by shortening effectively the path from bonding pad to VSSQ plane. An additional process is not necessary to fabricate the via cutting structure because its structure is completed at the same time during a process of window area formation. Also, burr occurrence is minimized by filling the via-hole inside with a solder resist. 3-dimensional electromagnetic field simulation and S-parameter measurement are carried out in order to validate the effects of via cutting structure and VDDQ/VSSQ placement on the PDN impedance. New DRAM package substrate has a superior PDN impedance with a wide frequency range. This result shows that via cutting structure and power/ground placement are effective in reducing the PDN impedance.

Keywords : Via Cutting Structure, Power Distribution Network Impedance, S-Parameter, Package Substrate

I. 서 론

CMOS(Complementary Metal-oxide-semiconductor)

* 평생회원, 공주대학교 전기전자제어공학부
(Division of Electrical Electronics and Control
Engineering, Kongju National University)

※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로
한국연구재단의 기초연구사업 지원을 받아 수행
된 것임(KRF-2009-0064946).

접수일자: 2011년1월4일, 수정완료일: 2011년6월28일

기술의 진보는 스위칭 속도가 향상된 트랜지스터의 고 집적화를 가능케 하였다. 이로 인해 최근 개인컴퓨터용 고용량 DRAM(Dynamic Random Access Memory) 메모리는 1 Gbps 이상에서 동작하고 있다. 특히 일부 그래픽 메모리의 경우, 5 Gbps 이상의 동작속도를 구현하고 있다.

DRAM 메모리의 동작속도 증가로 인해 다수의 출력 구동기(Output Driver)가 동시에 스위칭 하는 현상이 빈번해지면서 급격한 전류 변화가 발생할 수 있다. 이러한

전류 변화는 Switching Simultaneously Noise(SSN)를 유발하는 것으로 알려져 있다^[1-2]. SSN은 지터(Jitter) 및 전원 노이즈를 생성함으로써, 신호 전송을 저해하고 종종 논리적 오류(Malfunction)를 유발할 수 있다. 따라서 SSN 문제를 해결하기 위해 낮은 임피던스를 갖는 파워 분배망(Power Distribution Network: PDN)에 관한 다수의 연구가 진행되어 왔다^[3-4]. 이러한 목적의 일환으로 최근 DRAM 패키지 기판은 2층 이상의 구조를 적용하고 있다^[5-6]. 또한 다층 PCB 구조에서 SSN 감소를 위한 방안으로 높은 유전체 손실을 갖는 기판 소재의 적용, 디커플링 커패시터(Decoupling Capacitor)의 사용, 전자파 저지대(Electromagnetic Band Gap) 설계 등이 제시되었다^[7-9]. 패키지 기판에서도 디커플링 커패시터를 적용할 수 있으나, 제한된 면적 내에서의 커패시터 배치 제약, 커패시터 자체의 기생 저항 및 기생 인덕턴스, 커패시터 용량 선택의 제한 등으로 PDN 임피던스 향상에 한계가 있다. 본 논문에서는 2층 구조의 DRAM 패키지 기판을 대상으로 하여 비아 절단 구조의 적용과 전원/접지면(Power/Ground Plane) 배치 설계를 통한 PDN 임피던스 향상 방안에 대해 기술하였다.

최근 DRAM 메모리 제품의 소형화, 고성능화 및 고속 동작의 요구가 증가하고 있다. 이러한 연구개발 동향에 대응할 수 있는 보드 온 칩(Board on Chip: BOC)

구조가 DRAM 패키지에 적용되고 있다. BOC 패키지는 짧은 신호 경로 및 높은 배선 밀도를 제공할 수 있어서, 패키지의 소형화 및 고속 동작의 구현이 용이한 것으로 알려져 있다. 그림 1(a)는 BOC 패키지 단면 구조를 보여주고 있다. DRAM 칩은 중앙에 2열(Dual-in-line) 본딩 패드로 설계되어 있다. 따라서 BOC 패키지의 신호 배선 길이를 최소화하기 위해서 패키지 기판의 가운데 영역을 제거하여 윈도우(Window)를 형성하고 이를 와이어 본딩(Wire Bonding) 시에 활용한다. DRAM 제품의 다기능화, 고성능화 및 고속 동작으로 인해 메모리칩의 입출력 패드(I/O Pad) 및 파워/그라운드 패드(Power/Ground Pad)의 수가 증가하였다. 이로 인해 패키지 기판 상의 배선 가능성(Routing Feasibility) 향상 및 배선 설계 자유도 개선을 목적으로 2층 이상의 패키지 기판이 사용되고 있는 추세이다. 그림 1(b)는 2층 패키지 기판의 단면 구조를 보여주고 있다. Copper Clad Laminate(CCL)의 위층과 아래층에 각각 Photo-Sensitive Resist(PSR)가 접촉되어 있는 구조이며, 위아래 구리층간 연결은 비아(Via)를 통해 형성된다.

II. 비아 절단 구조 제안

DRAM 공정기술의 발전으로 메모리칩 크기는 점차 축소되고 있으며, 이에 대응하기 위해 BOC 패키지의 본딩 패드(Bonding Pad)의 폭과 간격 역시 줄여야 한다. 윈도우 영역에 인접한 볼(Ball)과 본딩 패드 사이의 배선 영역(그림 1(a)의 원형 점선 표시)은 모든 신호 배선과 파워/그라운드가 배치되어 있어 배선 밀도가 가장 높게 된다. 일반적인 패키지 기판 설계에서는 상기 영역에 파워 및 그라운드 비아를 배치한다. 그러나 관통형 비아는 드릴링(Drilling) 공정을 통해 구현되므로 신호 배선보다 넓은 배선 면적을 필요로 한다. 따라서 기존 설계에서는 배선 밀도가 매우 높은 영역에다 넓은 배선 면적을 필요로 하는 비아를 배치함으로써 인해 파워 또는 그라운드 배선 폭이 감소하고 전체적인 배선 면적 또한 줄어들어서 결과적으로 PDN 임피던스가 증가하게 된다. 이로 인해 SSN 유발, 전압 마진(Voltage Margin) 감소 등의 전원 노이즈에 취약해지고 결국은 안정적인 전원 공급을 어렵게 한다.

본 논문에서는 PDN 임피던스를 개선하고자 비아

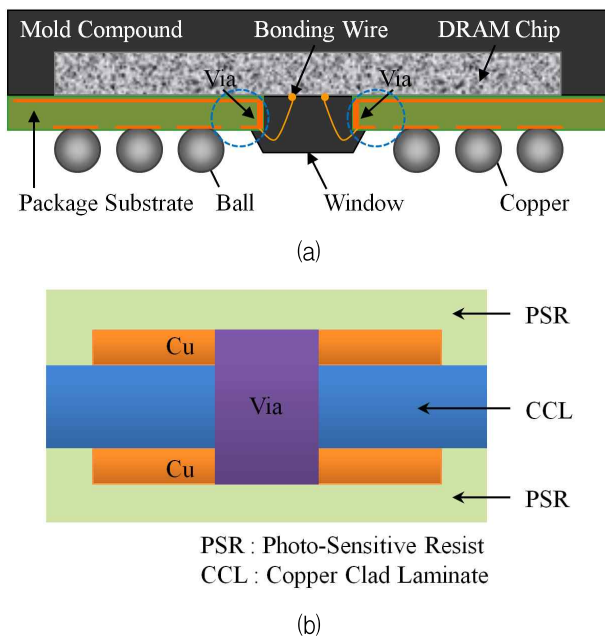


그림 1. DRAM 패키지 단면 구조 (a) 및 2층 패키지 기판 단면 구조 (b)

Fig. 1. Cross-sectional view of DRAM package (a) and 2-metal layer package substrate (b).

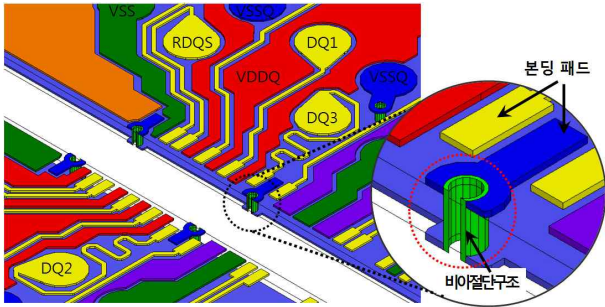


그림 2. 신규 비아 절단 구조를 적용한 2층 DRAM 패키지 기판(우측 원 내부는 확대한 비아 절단 구조임)

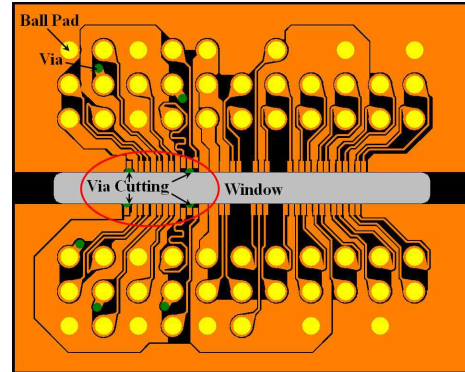
Fig. 2. 2-metal layer DRAM package substrate using new via cutting structure.

절단 구조(Via Cutting Structure)를 BOC 패키지 기판 설계(60 Ball DDR2 DRAM)에 적용하였다. 그림 2는 비아 절단 구조를 보여주고 있으며, 윈도우 영역에 바로 인접하여 위치하고 있다. 윈도우 영역 형성 시에 비아의 일부가 같이 제거되지만, 남아 있는 비아 구조에 의해 전원 연결에는 문제가 발생하지 않는다. 그림 2에서 보듯이, 절단된 비아는 본딩 패드와 서로 인접하여 연결되어 있다. 제안한 구조는 비아의 일부가 절단되고 본딩 패드와 통합된 설계이어서 넓은 배선 면적을 필요로 하지 않는 장점을 가진다. 본딩 패드에서 좁은 배선 경로를 지나 비아를 경유하여 아래층의 전원/접지면에 이르는 경로를 가진 기존 설계와는 달리, 본딩 패드와 통합된 비아 절단 구조를 적용할 경우 비아를 통해 바로 전원/접지면에 연결된다. 이로 인해 제안한 구조 및 설계에서는 보다 낮은 PDN 임피던스를 구현할 수 있다.

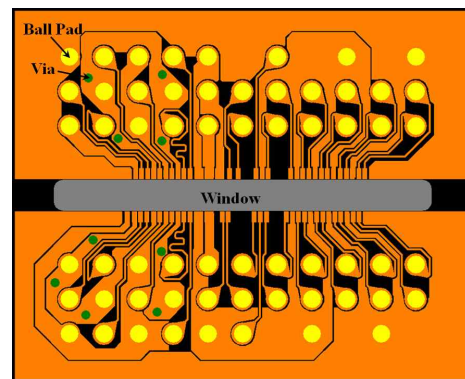
III. 패키지 기판 설계 및 분석

PDN 임피던스 특성을 비교 및 분석하기 위해서 신규 비아 절단 구조와 기존 비아 구조를 적용한 각각의 DRAM 패키지 기판을 설계하고 제작하였다. 비아 구조 및 배치 그리고 VDDQ/VSSQ(데이터용 전원/접지) 설계를 제외하고, 두 패키지 기판은 동일하게 설계 제작되었다. 비아 배치는 두 설계 모두 VSSQ에만 적용하였다. 각 층마다 VDDQ/VSSQ를 혼용하여 사용하는 설계 방식과는 달리, 본 연구에서는 위층에 신호 배선과 VDDQ를 배치하고 아래층은 VSSQ로 설계하였다.

1층 구조의 패키지 기판은 적층 구조의 제약으로



(a)



(b)

그림 3. 신규 비아 절단 구조 (a)와 기존 비아 구조 (b)를 적용한 DRAM 패키지 기판 설계

Fig. 3. DRAM package substrate design using new via cutting structure (a) and conventional via structure (b)

인해 신호 배선을 전송선 구조로 설계하는 것이 어려워져서 일반적으로 기생성분 절감 설계 기법이 적용되었다. 반면에 본 논문에서는 2층 구조의 패키지 기판을 적용하므로 모든 신호 배선은 Microstrip 또는 Coplanar Waveguide 구조로 설계되었으며, 특성 임피던스(Z_0)는 $50 \pm 10\%$ 를 기준으로 설계하였다. 데이터 신호간의 배선 길이 차이에 의한 신호 지연 차이(Skew)를 방지하기 위해서 데이터 신호 배선 간의 길이를 최대 10% 이내의 변동 범위 내에서 설계하였다. 패키지 크기는 $11 \times 9 \text{ mm}^2$ 이며, 신호 배선의 폭/간격은 $40/40 \mu\text{m}$ 로 설계하였다. 또한 비아의 드릴 및 패드 직경은 각각 $100 \mu\text{m}$ 와 $200 \mu\text{m}$ 로 설정하였다.

그림 3은 신규 비아 절단 구조와 기존 비아 구조를 적용한 DRAM 패키지 기판의 설계를 보여주고 있다. 그림 3(a)에서 보듯이, 9개의 비아 중 4개가 비아 절단 구조를 적용하였으며, 본딩 패드와 결합되어 배치되었다. 이러한 구조 및 배치로 인해 본딩 패

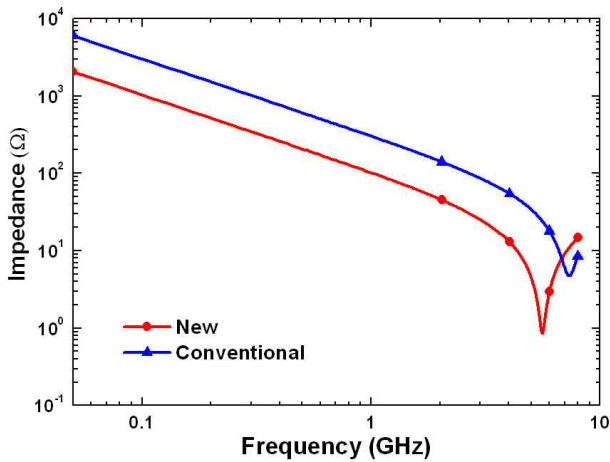


그림 4. 신규 비아 절단 구조 (a) 및 기존 비아 구조 (b)를 적용한 DRAM 패키지 기판의 파워 분배망 임피던스 (Z_{11}) 시뮬레이션 결과
 Fig. 4. Calculated power distribution network impedance of DRAM package substrate using new via cutting structure (a) and conventional structure (b)

드에서 패키지 기판 아래층의 VSSQ까지의 배선 경로를 효과적으로 단축시킬 수 있다. 그림 3(b)에서는 비아 절단 구조적용 없이 9개의 기존 구조 비아가 배치되었다. 그러나 비아가 배선밀도가 높은 영역에 배치된 제약으로 인해서 비아를 본딩 패드 가까이에 배치할 수 없다. 이로 인해 본딩 패드에서 좁은 배선 경로를 지나 비아를 경유하여 아래층의 VSSQ에 연결된다.

비아 구조 및 VDDQ/VSSQ 배치 차이에 의한 PDN 임피던스 변화를 분석하기 위해서 3차원 전자장 시뮬레이션(Ansoft HFSS)을 수행하였다. 일반적으로 DRAM 패키지 기판 상에는 다수의 VDDQ와 VSSQ 본딩 패드가 배치된다. 따라서 시뮬레이션 과정에서는 VDDQ 및 VSSQ의 본딩 패드를 PEC(Perfect Electric Conductor)로 연결하여 통합한 후, S_{11} 파라미터를 시뮬레이션하고 이를 Z_{11} 파라미터로 변환하였다. 그림 4는 DRAM 패키지 기판에서 VDDQ/VSSQ의 PDN 임피던스(Z_{11}) 시뮬레이션 결과를 보여주고 있다. 비아 절단 구조를 적용한 DRAM 패키지 기판은 대부분의 주파수 범위에서 기존 비아 구조에 비해 대략 65% 정도 낮은 PDN 임피던스 값을 가진다. 따라서 비아 절단 구조의 적용과 배치 그리고 VDDQ/VSSQ 배치 설계에 의해 PDN 임피던스가 효과적으로 감소함을 확인하였다.

IV. 패키지 기판 제작

DRAM 패키지 기판은 일반적인 DRAM 패키지 기판용 PCB 공정을 사용하여 제작되었다. 그림 5는 신규 비아 절단 구조와 기존 비아 구조를 적용하여 제작 완료한 DRAM 패키지 기판을 보여주고 있다. 일반적으로 배선 회로 및 비아 형성 이후에 DRAM 패키지 기판의 중앙 영역을 제거하여 윈도우 영역을 정의한다. 신규 비아 절단 구조의 경우, 윈도우 영역에 비아의 일부분을 포함시켜서 배치 설계하였다. 따라서 윈도우 영역 형성과 동시에 비아의 일부 영역이 제거됨으로써 비아 절단 구조를 완성하게 된다. 이로 인해 비아 절단 구조 제작을 위한 별도의 공정이 추가되지 않는다. 그러나 윈도우 형성 과정에 사

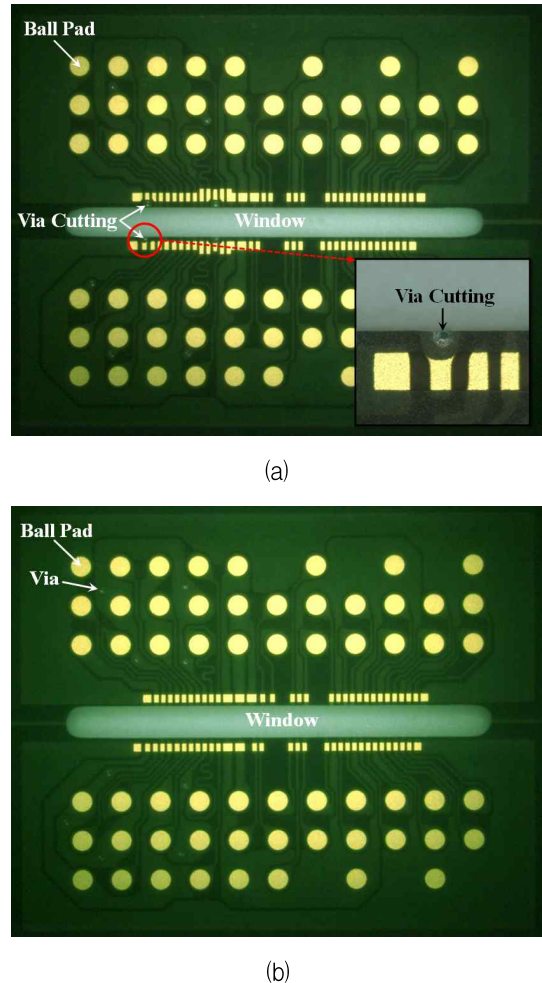


그림 5. 신규 비아 절단 구조 (a)와 기존 비아 구조 (b)를 적용하여 제작 완료한 DRAM 패키지 기판
 Fig. 5. Fabricated DRAM package substrate using new via cutting structure (a) and conventional via structure (b)

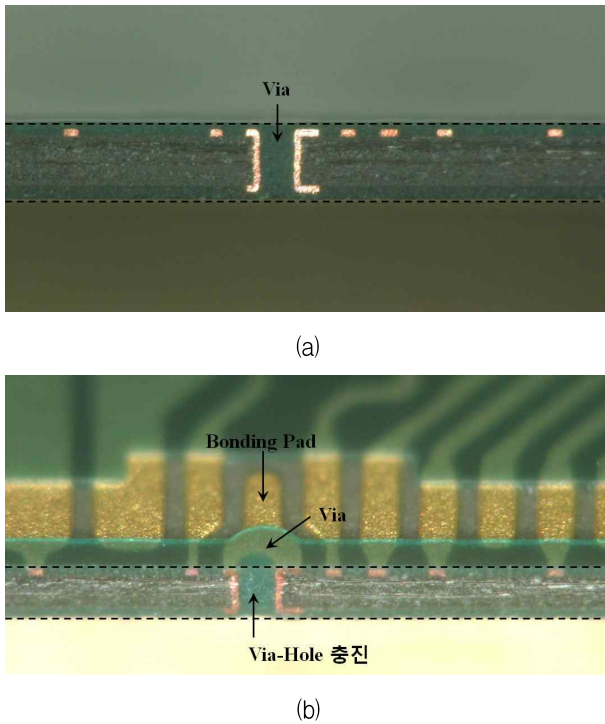


그림 6. DRAM 패키지 기판 단면 구조 사진 (a) 및 내부 충전된 비아 절단 구조 (b)

Fig. 6. Photographs of cross-sectional DRAM package substrate (a) and fully filled via cutting structure inside.

용하는 드릴 비트(Drill Bit)의 고속 회전으로 인해 비아 절단 부위에 버(Burr)가 발생하여 인접한 배선 회로 또는 금 와이어(Au Wire)와의 단락을 유발할 수 있다. 본 연구에서는 별도의 비아 홀 채움 공정 없이 PSR 공정에서 Roll Coating 방식을 적용하여 비아 홀을 채움으로써 버 발생을 최소화하였다. 그림 6(a)와 (b)는 각각 제작 완료한 DRAM 패키지 기판의 단면 구조와 내부 충전된 비아 절단 구조의 사진을 보여주고 있다. Via cutting 영역을 기울여서 촬영한 그림 6(b)의 사진에서 보듯이, 비아 내부가 완전히 충전된 상태이고 버 발생이 없음을 확인할 수 있다. 제작된 DRAM 패키지 기판 및 구리는 각각 $220\ \mu\text{m}$ 와 $18\ \mu\text{m}$ 의 두께를 가진다.

V. 패키지 기판 측정 및 분석

DRAM 패키지 기판 제작 완료 후, 네트워크 분석기를 사용하여 1-port S-파라미터 측정을 하였다. DRAM 패키지 기판 상에는 여러 개의 VDDQ와 VSSQ 배선이 있으므로 이를 상호 연결하기 위해서 서로 인접해 있는

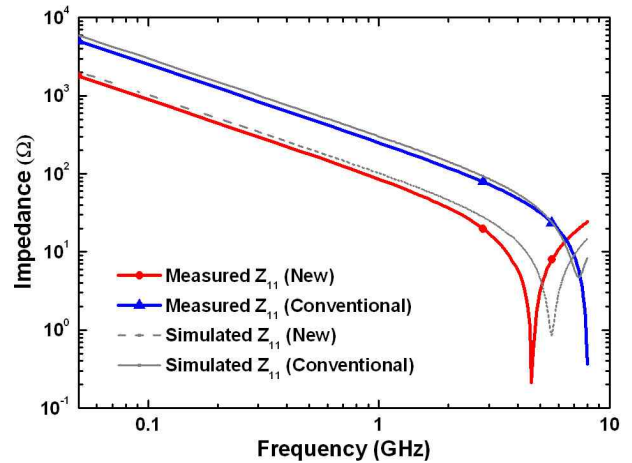


그림 7. 신규 비아 절단 구조 (a) 및 기존 비아 구조 (b)를 적용한 DRAM 패키지 기판의 파워 분배망 임피던스 (Z_{11}) 측정 결과

Fig. 7. Measured power distribution network impedance of DRAM package substrate using new cutted-via structure (a) and conventional structure (b)

본딩 패드(Pad Pitch = $40\ \mu\text{m}$)에 금 와이어를 사용하였다. 그림 7은 제작 완료된 DRAM 패키지 기판에서 VDDQ/VSSQ의 PDN 임피던스 측정 결과를 보여주고 있다. 그림 7의 측정 결과에서 보듯이, 비아 절단 구조를 적용한 DRAM 패키지 기판은 대부분의 주파수 범위에서 보다 우수한 PDN 임피던스를 가진다. 즉 3 GHz 이하에서 기존 경우보다 약 65 ~ 70 % 향상된 임피던스 결과를 보여주고 있다. 따라서 비아 절단 구조의 적용과 배치 그리고 VDDQ/VSSQ의 층별 배치 설계에 의해 PDN 임피던스가 효과적으로 감소함을 검증하였다. 또한 3차원 전자장 시뮬레이션에 의한 PDN 임피던스 시뮬레이션 결과는 측정 결과와 유사한 경향을 보여주고 있다.

VI. 결론

본 논문에서는 비아 절단 구조를 제안하고, 이를 DRAM 패키지 기판의 VSSQ 배선 설계에 적용하여 낮은 PDN 임피던스를 확보하였다. 설계 과정에서 비아 절단 구조와 본딩 패드를 통합하고, VDDQ/VSSQ Plane을 층별로 배치하였다. 이러한 비아 절단 구조의 적용과 본딩 패드와의 통합 설계는 본딩 패드에서 VSSQ까지의 배선 경로를 단축하여 PDN 임피던스를 줄일 수 있다. DRAM 패키지 기판의 윈도우 영역

형성 과정에서 비아 절단 구조가 동시에 구현되므로 신규 비아 구조 제작을 위한 추가적인 공정이 필요 없는 장점을 가진다. 또한 PSR 공정에서 Roll Coating 방식을 적용하여 비아 홀을 채움으로써 버 발생을 최소화하였다. 비아 절단 구조의 적용 및 배치 그리고 VDDQ/VSSQ 층별 배치가 PDN 임피던스에 미치는 영향을 분석하기 위해서 3차원 전자장 시뮬레이션과 네트워크 분석기 측정을 진행하여 상기 인사들에 의해 PDN 임피던스가 효과적으로 감소함을 확인하였다.

참 고 문 헌

- [1] M. Swaminathan, J. Kim, I. Novak, and J. P. Libous "Power Distribution Networks for System-on-Package: Status and Challenges," IEEE Trans. Advanced Packaging, Vol. 27, No. 2, pp. 286-230, 2004.
- [2] Ralf Schmitt, Joong-Ho Kim, Dan Oh, and Chuck Yuan, "Power Delivery Design for 800MHz DDR2 Memory Systems in Low-Cost Wire-Bond Packages," Electronic Components and Technology Conference, pp. 222-228, 2006.
- [3] Jun So Pak, Chunghyun Ryu, Jaemin Kim, Yujeong Shim, Gawon Kim, and Joungho Kim, "Wideband low power distribution network impedance of high chip density package using 3-D stacked through silicon vias," Asia-Pacific Symposium on Electromagnetic Compatibility, pp. 351-354, 2008.
- [4] Jun Chen and Lei He, "Efficient In-Package Decoupling Capacitor Optimization for I/O Power Integrity," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 26, No. 4, pp. 734-738, 2007.
- [5] Jongjoo Lee, Taejoo Hwang, Sungho Mun, Soonyong Hur, Tae-Gyeong Chung, and Younghee Song, "High-performance Substrate Design for DRAM Flip-chip Interconnection using Etch-back Process," Electronic Components and Technology Conference, pp. 323-328, 2007.
- [6] Chong Chin Hui, "2-Metal-Layer Interposer for High-Speed Devices," Electronics Packaging Technology Conference, pp. 311-316, 2009.
- [7] J. Fang, D. Xue, and Y. Chen, "Effects of losses in power planes in the simulation of simultaneous switching noise," Electrical

Performance of Electronic Packaging, pp. 110-112, 1994.

- [8] 류순걸, 어영선, 심종인, "고속/고밀도 VLSI 회로의 공진현상을 감소시키기 위한 효율적인 파워/그라운드 네트워크 설계," 전자공학회논문지-SD, 제 43권 제7호, 29-37쪽, 2006년.
- [9] 권중화, 곽상일, 심동욱, 윤재훈 "고속 시스템의 다층 PCB 구조에서 광대역 SSN 억제를 위한 삼각형태의 EBG 단위셀 구조 설계," 대한전자공학회 하계종합학술대회, 163-164쪽, 2009년.

저 자 소 개



김 문 정(평생회원)

1997년 경북대학교 전자공학과
학사졸업

1999년 한국과학기술원 전기 및
전자공학과 석사졸업

2003년 한국과학기술원 전기 및
전자공학과 박사졸업

2003년~2006년 삼성전자 메모리사업부
책임연구원

2006년~현재 공주대학교 전기전자제어공학부
조교수

<주관심분야 : DRAM package, system in
package, signal integrity>