

논문 2011-48SD-7-5

3차원 메모리의 수율 증진을 위해 접합 공정에서 발생하는 추가 고장을 고려한 다이 매칭 방법

(A Die-matching Method for 3D Memory Yield Enhancement
considering Additional Faults during Bonding)

이 주 환*, 박 기 현*, 강 성 호**

(JooHwan Lee, KiHyun Park, and Sungho Kang)

요 약

많은 반도체 회사들이 메모리 층 사이에서 수직 버스의 역할을 하는 TSV를 사용한 3차원 메모리를 개발하고 있다. 3차원 메모리는 KGD로 이루어지며, 만약 추가 고장이 접합 공정 중에 발생한다면, 반드시 수리되어야 한다. 공유 예비 셀을 가지는 3차원 메모리의 수율을 증진시키기 위해서, 3차원 메모리 내의 메모리 다이를 효과적으로 적층하는 다이 매칭 방법이 필요하다. 본 논문에서는 공유 예비 셀을 가지는 3차원 메모리의 수율 증진을 위해 접합 공정에서 추가 고장이 발생하는 경우를 고려한 다이 매칭 방법을 제안한다. 세 가지 경계 제한 조건이 제안하는 다이 매칭 방법에서 사용된다. 이 조건은 3차원 메모리를 제작하기 위해 선택하는 메모리 다이의 검색 범위를 제한한다. 시뮬레이션 결과는 제안하는 다이 매칭 방법이 3차원 메모리의 수율을 크게 향상시킬 수 있음을 보여 준다.

Abstract

Three-dimensional (3D) memories using through-silicon vias (TSVs) as vertical bus across memory layers are implemented by many semiconductor companies. 3D memories are composed of known-good-dies (KGDs). If additional faults are arisen during bonding, they should be repaired. In order to enhance the yield of 3D memories with inter-die redundancies, a die-matching method is needed to effectively stack memory dies in a 3D memory. In this paper, a new die-matching method is proposed for 3D memory yield enhancement with inter-die redundancies considering additional faults arisen during bonding. Three boundary-limited conditions are used in the proposed die-matching method; they set bounds to the search spaces for selecting memory dies to manufacture a 3D memory. Simulation results show that the proposed die-matching method can greatly enhance the 3D memory yield.

Keywords : Yield enhancement, Die-matching method, 3D memory, Inter-die redundancy

I. 서 론

Through-silicon via (TSV)를 사용한 3차원 (3D) 집적 회로 기술이 인터커넥트 (interconnect)와 같은 2차

원 집적 회로에서 발생하는 문제를 해결^[1]할 수 있는 대안으로 떠오르고 있다. 나날이 증가하는 대용량 메모리에 대한 수요를 만족시키기 위해서 3차원 집적 회로 기술을 이용한 메모리 제작이 이루어지고 있으며, 멀지 않은 미래에 상업적 대량 생산^[2~3]이 이루어질 것이다.

3차원 메모리의 대용량, 고집적 특성으로 인하여, 기존 2차원 메모리에 비해서 3차원 메모리에는 결함이 쉽게 발생한다. 또한, 3차원 메모리는 메모리 다이의 접합 (bonding)을 통해 제작되기 때문에, 제작과정 중에 추가로 결함이 발생할 확률도 크다. 이러한 결함은 수율을

* 학생회원, ** 평생회원, 연세대학교 전기전자공학과 (Department of Electrical and Electronic Engineering, Yonsei University)

※ 이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. 2010-0024707).

접수일자: 2011년4월4일, 수정완료일: 2011년6월27일

감소시키며, 메모리 품질의 저하를 초래^[4~5]하게 된다. 메모리 수리는 적절한 수율을 얻기 위한 가장 효과적인 방법이다. 일반적으로 3차원 메모리는 자체적으로 내장한 예비 셀을 통해 수리된 고장이 없는 것으로 알려진 다이 (known good die: KGD)의 집합으로 만들어진다. KGD를 얻기 위해서, 행 예비 셀 (spare row)과 열 예비 셀 (spare column)을 이용하는 여러 가지 메모리 수리 방법^[6~9]들이 사용되어져 왔다.

자체 내장 예비 셀만을 사용하는 대부분의 메모리 수리 방법들을 이용하여 3차원 메모리를 제작한다면 예비 셀들의 낭비를 피할 수 없다. 왜냐하면, 메모리를 수리했을 때에, 사용하지 않는 예비 셀들이 남는 경우가 발생하기 때문이다. 이제까지 제작되던 방식으로 3차원 메모리를 제작한다면, 미사용 여분 셀은 집합 공정 중에 발생한 결함을 수리하는 것에 쓰일 수 있지만, 3차원 메모리를 구성하는 KGD에 추가로 발생한 고장을 수리한 이후에도 남는 여분 셀이 있을 수 있다. 만약, 남겨진 미사용 여분 셀을 자체 내장 여분 셀 이외에 추가의 여분 셀을 사용해야만 수리할 수 있는 메모리 다이를 위해 사용할 수 있다면, 보다 많은 KGD를 확보할 수 있어 3차원 메모리의 수율을 증가시킬 수 있을 것이다. 이 때, 수율 증가 정도는 미사용 여분 셀을 가지고 있는 메모리 다이와 추가의 여분 셀을 필요로 하는 메모리 다이의 매칭 방식에 의해 결정될 것이다.

최근에, 3차원 메모리 제작을 위해 두 개의 메모리 다이 간에 예비 셀을 공유하여 수율을 높이는 연구^[10~11]가 활발히 진행되고 있다. 이분 그래프 (bipartite graph)를 이용하여 메모리 다이를 매칭시키는 방법^[10]은 3차원 메모리의 수율을 끌어올릴 수 있다. 하지만, 3차원 메모리가 KGD로 올바르게 구성되었는지를 판별하기 위한 연산의 양이 많고, 각각의 메모리 다이에 대해서 독립적인 고장 비트맵 (fault bitmap)을 필요로 하기 때문에, 비용을 고려했을 경우에 효율이 떨어지게 된다. 또한, 집합 공정 중에 발생한 추가 결함을 처리할 수 없어 3차원 메모리의 최종 수율을 보장할 수 없다. 다른 한편으로, 미사용 여분 셀과 추가로 필요한 여분 셀의 개수가 같은 메모리 다이끼리 매칭하는 방법^[11]이 연구되었다. 이 방법은 3차원 메모리의 적합성 여부 판별을 위한 과도한 연산이 필요치 않고, 이분 그래프를 사용하는 방법과는 다르게 고장 비트맵을 사용하지 않기 때문에, 비용 측면에서 효율적이다. 그렇지만, 메모리 고장의 특성 및 집합 공정에서 발생하는 추가 결함

을 고려하지 않아 수율 증가 효과가 떨어진다.

본 논문은 두 개의 메모리 다이 간에 예비 셀을 공유하여 3차원 메모리의 수율을 증가시키기 위해 세 가지 경계 제한 조건을 사용하는 다이 매칭 방법을 제안한다. 제안하는 다이 매칭 방법은 첫 번째와 두 번째 경계 조건을 이용하는 간단한 연산을 통하여 3차원 메모리를 제작하기 위하여 짝이 되는 메모리 다이의 검색 범위를 크게 줄일 수 있으며, 세 번째 경계 조건을 이용하여 정확한 매칭이 가능하다. 또한, 각 메모리 다이에 대해 독립적인 고장 비트맵을 사용하지 않아 효율적이고 메모리 고장의 특성과 집합 공정에서 발생하는 추가 결함을 고려하여 수율 증가 효과가 뛰어나다.

본 논문이 다루고 있는 내용은 다음과 같다. II 장에서 제안하는 세 가지 경계 제한 조건을 사용하는 다이 매칭 방법에 대해 자세히 기술한다. 제안하는 방법의 효율성을 III 장에서 실험 결과를 통해 분석한다. 마지막으로, IV 장에서 결론을 맺는다.

II. 제안하는 다이 매칭 방법

1. 제안하는 방법을 위한 메모리 다이 분류

3차원 메모리의 제작을 위해 사용하는 메모리 다이는 공유 예비 셀을 사용하기 때문에 집합 공정 전 테스트 및 수리 (pre-bond test & repair) 과정 후에 무고장 다이 (fault-free die), 자체 수리 가능 다이 (self-repairable die), 공유 예비 셀 이용 수리 가능 다이 (inter-repairable die), 수리 불가능 다이 (irreparable die)로 분류할 수 있다. 무고장 다이는 다이에 고장이 없으며 공유 셀을 전혀 사용하지 않는다. 자체 수리 가능 다이는 다이 내의 고장을 자체 내장 예비 셀을 이용하여 모두 수리할 수 있지만, 공유 예비 셀 이용 수리 가능 다이는 자체 내장 예비 셀만을 이용해서는 다이의 수리가 불가능하며 이웃하는 다이의 예비 셀을 추가로 사용해야 한다. 한편, 수리 불가능 다이는 자체 내장 예비 셀뿐만 아니라 이웃 다이의 예비 셀까지 공유하여 사용해도 수리할 수 없는 다이이다. 이렇게 분류된 다이는 집합 공정에서 발생할 수 있는 추가 결함을 예상하여 매칭된다. 매칭이 완료된 3차원 메모리는 집합 공정 후 테스트 및 수리 (post-bond test & repair) 과정을 거친 후에 사용 가능 여부가 결정된다.

2. 제안하는 방법에서 사용하는 메모리 고장의 특성

대부분의 최신 메모리 수리 방법들은 행 예비 셀과 열 예비 셀로 구성된 2차원 수리 구조를 사용^[6-9]한다. 2차원 수리 구조를 사용하는 메모리는 메모리 내의 어떠한 고장이라도 행 또는 열 예비 셀 하나를 온전히 사용하여 수리^[7]해야 한다. 즉, 같은 행이나 열에 고장이 여러 개 존재할 때 하나의 예비 셀을 사용하여 수리할 수 있지만, 단 하나의 고장만이 존재할 때에도 예비 셀 하나를 반드시 사용해야 한다. 접합 공정 전 테스트 및 수리 과정에서 발견된 고장 중 같은 행에 고장이 여러 개 있는 행 고장은 행 예비 셀로 같은 열에 고장이 여러 개 있는 열 고장은 열 예비 셀로 대체된다. 그런데 같은 행 및 같은 열에 또 다른 고장이 존재하지 않는 독립 고장의 경우에는 행 예비 셀 혹은 열 예비 셀을 이용하여 수리할 수 있다. 기존의 다이 매칭 방법은 독립 고장을 수리할 예비 셀을 미리 결정한 후에 수행되지만, 제안하는 다이 매칭 방법은 독립 고장을 수리할 예비 셀의 종류를 마지막에 결정한다. 따라서 제안하는 방법은 기존 방법에 비해 훨씬 유연하게 수리 해 (repair solution)를 구할 수 있다.

3. 경계 제한 조건을 사용하는 다이 매칭 방법

접합 공정 전 테스트 및 수리 과정 후에 분류된 메모리 다이는 최대한 빠른 시간 내에 3차원 메모리를 만들기 위해 짝이 되는 메모리 다이를 찾기 위해 메모리 다이 분류 맵에 저장된다. 그림 1에 한 개의 행 예비 셀과 두 개의 열 예비 셀을 가지는 메모리 다이를 위한 메모리 다이 분류 맵을 나타내었다. 여기서 RSR (requirable spare row)은 해당 메모리 다이를 수리하기 위해 요구되는 행 예비 셀의 수를 의미하며, 같은 방법으로 RSC (requirable spare column)는 요구되는 열 예비 셀의 수를 표시한다. 두 개의 메모리 다이 간에 예비 셀을 공유

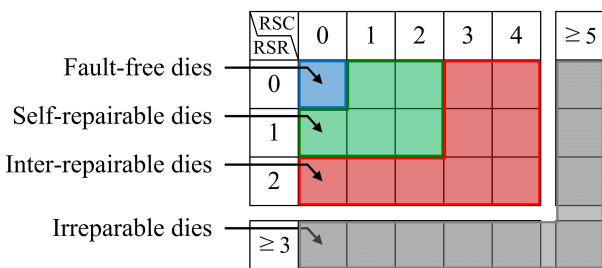


그림 1. 메모리 다이 분류 맵 (RS=1, CS=2)
Fig. 1. A memory die classification map (RS=1 and CS=2).

하기 때문에 RSR은 0에서 2까지, RSC는 0에서 4까지로 제한된다. 이 이상의 값이 필요하다면, 메모리 다이는 수리 불가능 다이에 해당된다. 독립 고장의 수리를 생각하지 않았을 경우에, 무고장 다이와 자체 수리 가능 다이 및 공유 예비 셀 이용 수리 가능 다이는 그림 1에서와 같은 위치에 저장된다.

3차원 메모리를 제작하기 위해 메모리 다이를 매칭하는 과정은 다음의 5 단계로 이루어져 있다.

- (1) 메모리 다이 분류 맵 내에서 수리하기 가장 어려운 메모리 다이를 선택한다.
- (2) 선택된 다이를 메모리 다이 분류 맵에서 제거한다.
- (3) 제안하는 다이 매칭 알고리즘을 사용하여 선택된 다이와 짝이 되는 메모리 다이를 찾는다.
- (4) 짝이 되는 메모리 다이를 찾았다면, 해당 메모리 다이를 메모리 다이 분류 맵에서 제거한다.
- (5) 모든 메모리 다이에 대해 (1)~(4)의 과정을 반복한다.

메모리 다이 매칭 과정의 3 단계에서 사용되는 제안하는 다이 매칭 알고리즘의 의사 코드를 그림 2에 나타내었다. 그림 2의 MATCH_DIES는 이미 선택된 메모리 다이 (t_die)를 입력으로 받아서 짝이 되는 메모리 다이 (c_die)를 출력으로 내보낸다. 제안하는 알고리즘은 경계 제한 조건 (1)과 (2)에 의해 크게 줄어든 검색 범위 내에서 경계 제한 조건 (3)을 이용하여 c_die 를 결정한다. 이 때, 가능한 c_die 가 여러 개 존재한다면 예비 셀을 낭비하지 않기 위해서 가장 많은 예비 셀을 사용하는 c_die 를 t_die 에 대한 짝으로 결정한다. 하지만, 짝이 되는 c_die 를 찾을 수 없다면, 메모리 다이 번호 대신에 INVALID 신호를 출력으로 내보낸다.

```

MATCH_DIES ( $t\_die$ ) {
     $c\_die$  = INVALID;
    for dies within the boundary using (1) and (2) {
        if (equation (3) is satisfied) {
            select  $c\_die$  which has the maximum sum of spares }
        return  $c\_die$ ;
    }
}
    
```

그림 2. 제안하는 다이 매칭 알고리즘의 의사 코드
Fig. 2. Pseudo-code of the proposed die-matching algorithm.

제안하는 다이 매칭 알고리즘에서 사용하는 세 가지 경계 제한 조건은 다음의 수식 (1)~(3)과 같다. 이 때, R_S 와 C_S 는 메모리 다이에 존재하는 행 예비 셀과 열 예비 셀의 수를 의미하고, R_T , C_T , S_T 는 각각 t_{die} 의 수리를 위해 필요한 행 예비 셀의 수, 열 예비 셀의 수, 독립 고장의 수를 나타낸다. 즉, R_T 와 C_T 는 메모리 다이 분류 맵의 RSR과 RSC의 값과 같다. 유사하게, R_C , C_C , S_C 는 c_{die} 의 값을 나타낸다. 그리고 수식 (3)에서 사용된 δ 는 집합 공정 후 추가로 발생할 수 있는 고장의 수를 의미한다.

$$R_T + R_C \leq 2R_S \tag{1}$$

$$C_T + C_C \leq 2C_S \tag{2}$$

$$(R_T + C_T + S_T) + (R_C + C_C + S_C) \leq 2(R_S + C_S) - \delta \tag{3}$$

경계 제한 조건 (1)은 선택된 다이와 짝이 되는 메모리 다이에서 필요로 하는 행 예비 셀의 수는 두 개의 메모리 다이 내의 행 예비 셀을 합한 수보다 작거나 같아야 한다는 의미이며, 경계 제한 조건 (2)는 열 예비 셀에 대한 조건을 나타낸다. 경계 제한 조건 (1)과 (2)를 이용하면 다이 매칭을 위해 선택된 다이와 짝이 될 수 있는 다이의 후보를 메모리 다이 분류 맵 내에서 즉시 구분하여 경계 지어 줄 수 있다. 줄어든 후보들 중 미리 선택되었던 다이와 함께 독립 고장에 대한 영향을 고려한 경계 제한 조건 (3)을 만족시키는 메모리 다이만이 성공적으로 3차원 메모리로 제작될 수 있다. 집합 공정 후 추가로 발생할 수 있는 고장의 수는 3차원 메모리의 제작 공정이 안정화됨에 따라 예측이 가능하다. 따라서 예상되는 추가 고장의 수에 따라 δ 값을 정해 주면 추가 고장에 따른 수율 하락을 방지할 수 있다.

그림 3은 한 개의 행 예비 셀과 두 개의 열 예비 셀을 가지는 4개의 메모리 다이에 대한 다양한 다이 매칭 방법의 예제이다. 그림 3에서 다이 A를 수리하기 위해 행 예비 셀은 필요 없지만 ($RSR=0$), 두 개의 열 예비 셀이 필요 ($RSC=2$)하고 다이 A는 독립 고장을 가지고 있지 않다. 이를 A_0 라고 표기하였으며, 다른 다이 세 개도 같은 방법으로 표기하였다. 그림 3(a), (b) 예제는 독립 고장을 고려하지 않기 때문에, 모든 다이의 아래 첨자가 0 값을 가지지만, 그림 3(c), (d) 예제는 독립 고장을 고려했기 때문에, 다이 A를 제외한 나머지 세 다

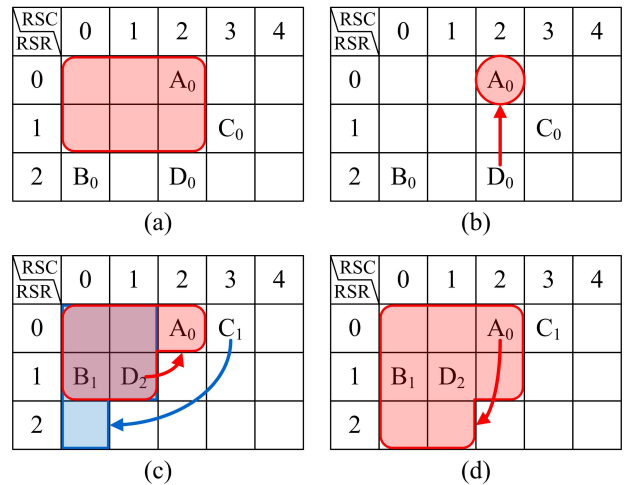


그림 3. 다양한 다이 매칭 방법의 예제
(a) 일반 예비 셀 사용을 사용한 방법, (b) 공유 예비 셀을 사용한 기존[11]의 방법, (c) 공유 예비 셀을 사용한 제안하는 방법 ($\delta=0$), (d) 공유 예비 셀을 사용한 제안하는 방법 ($\delta=1$)

Fig. 3. Examples of various die-matching methods.
(a) The method with conventional redundancies, (b) The previous method[11] with inter-die redundancies, (c) The proposed method with inter-die redundancies ($\delta=0$), and (d) The proposed method with inter-die redundancies ($\delta=1$).

이는 각각의 독립 고장의 수에 해당하는 수를 아래 첨자로 가진다. 한편, 그림 3의 각 예제 별로 음영 처리된 부분은 3차원 메모리를 구성하기 위한 후보 메모리 다이의 영역을 나타낸다.

이웃하는 메모리 다이 간에 예비 셀을 공유하지 않는 일반 예비 셀을 사용한 다이 매칭 방법이 그림 3(a)에 제시되었다. 일반 예비 셀을 사용하는 방법은 자체 내장 예비 셀만을 사용하기 때문에, 그림 3(a)에 음영으로 처리된 부분에 해당하는 무고장 다이 혹은 자체 수리 가능 다이의 조합만이 3차원 메모리가 될 수 있다. 이에 해당하는 다이 A는 A_0 하나이다. 따라서 일반 예비 셀을 사용한 방법으로는 3차원 메모리를 만들 수 없다. 그림 3(b)에는 공유 예비 셀을 사용하는 기존의 방법을 나타내었다. 기존 방법은 행 예비 셀과 열 예비 셀 각각에 대해서 남은 예비 셀의 수와 추가로 필요한 예비 셀의 수가 같아야 하기 때문에, D_0-A_0 의 조합으로 3차원 메모리를 만들 수 있다. 기존의 방법과는 다르게 그림 3(c)에서와 같이 공유 예비 셀을 사용하는 제안하는 방법은 집합 공정에서 추가로 발생하는 고장이 없다 ($\delta=0$)고 가정하였을 경우에 경계 제한 조건을 이용

표 1. 일반 예비 셀과 공유 예비 셀을 사용한 기존 방법^[11]과 제안하는 방법 ($\delta=0$) 간의 3차원 메모리 수율 비교 : (a) 저밀도 고장 분포, (b) 고밀도 고장 분포

Table 1. Comparison of yields for 3D memories between the previous method^[11] and the proposed method ($\delta=0$) with conventional redundancies or with inter-die redundancies : (a) low fault density), (b) high fault density.

(a) Low fault density

Low	일반 예비 셀		공유 예비 셀	
	[11]	제안 방법	[11]	제안 방법
2R/2C	24.33 %	24.51 %	37.65 %	41.36 %
2R/3C	29.51 %	29.77 %	47.41 %	51.07 %
2R/4C	34.93 %	35.13 %	47.67 %	61.21 %
3R/2C	29.57 %	29.77 %	47.40 %	51.07 %
3R/3C	34.93 %	35.13 %	57.17 %	61.22 %
3R/4C	40.15 %	40.57 %	67.40 %	71.33 %
4R/2C	34.97 %	35.13 %	47.67 %	61.21 %
4R/3C	40.18 %	40.57 %	67.39 %	71.33 %
4R/4C	45.67 %	45.95 %	77.25 %	81.03 %

(b) High fault density

High	일반 예비 셀		공유 예비 셀	
	[11]	제안 방법	[11]	제안 방법
2R/2C	26.26 %	26.93 %	40.46 %	46.27 %
2R/3C	32.75 %	33.67 %	52.73 %	59.10 %
2R/4C	39.78 %	40.79 %	52.75 %	73.30 %
3R/2C	32.71 %	33.68 %	52.60 %	59.15 %
3R/3C	39.80 %	40.92 %	65.21 %	72.06 %
3R/4C	46.95 %	48.36 %	78.34 %	84.08 %
4R/2C	39.72 %	40.76 %	52.61 %	73.33 %
4R/3C	46.84 %	48.32 %	78.30 %	84.05 %
4R/4C	54.73 %	56.39 %	88.83 %	92.27 %

하여 C_1-B_1 , D_2-A_0 의 조합으로 모든 메모리 다이를 3차원 메모리로 제작할 수 있다. 제안하는 방법은 기존의 방법과 다르게 짝이 될 수 있는 후보 메모리 다이를 넓은 범위에서 선택할 수 있기 때문에, 높은 수율 증진 효과를 기대할 수 있다. 마지막으로, 접합 공정에서 추가 고장이 하나 더 발생하였을 경우에도 수리할 수 있음을 보장하기 위해 경계 제한 조건 (3)의 δ 값을 1로 지정한다면, 그림 3(d)와 같이 A_0-B_1 의 조합을 3차원 메모리로 만들 수 있다. 추가로 발생하는 고장을 고려하지 않았을 경우에 그림 3(c)에서 만들어진 3차원 메모리는 추가 고장이 단 1개만 발생하여도 수리가 안된 고장이 남게 되어 모두 사용이 불가능해지지만, 추가 고장을 미리 고려한다면 이러한 사태를 미연에 방지할 수 있다.

III. 실험 결과

제안하는 다이 매칭 방법을 통한 수율 증진 효과를 측정하기 위해서 C 언어를 이용하여 시뮬레이터를 제작하였다. 제작된 시뮬레이터를 통해 일반 예비 셀과 공유 예비 셀 구조를 이용하여 기존 방법과 제안하는 방법의 수율을 측정할 수 있다. 메모리 수리를 위해 기존 방법^[11]은 LRM^[6]를 이용하였고, 제안하는 방법은 BRANCH^[8]를 3차원 메모리 제작에 맞게 변경하여 사용하였다. 제안하는 방법에서 BRANCH 방법을 선택한 이유는 이 방법이 독립 고장을 고려하여 메모리 수리를 진행하기 때문이다.

다양한 조건에서 각 방법에 따른 수율을 비교하기 위해, 2개에서 4개의 행 예비 셀과 2개에서 4개의 열 예비 셀을 가지는 9가지 경우의 메모리 다이에 대해 실험을 진행하였다. 메모리 다이의 크기는 1,024 x 1,024이며,

표 2. 추가 발생 고장의 고려 유무에 따른 공유 예비 셀을 사용한 제안하는 방법의 3차원 메모리 수율 비교 ($\delta=1\sim 2$) : (a) 저밀도 고장 분포, (b) 고밀도 고장 분포

Table 3. Comparison of yields for 3D memories using the proposed method with inter-die redundancies according to existence of considering additional faults during bonding ($\delta=1\sim 2$) : (a) low fault density, (b) high fault density.

(a) Low fault density

Low	추가 고장 1개		추가 고장 2개	
	고려 없음	고려 있음	고려 없음	고려 있음
2R/2C	8.52 %	36.24 %	5.99 %	31.63 %
2R/3C	11.72 %	45.95 %	8.32 %	41.36 %
2R/4C	14.91 %	56.01 %	11.30 %	51.07 %
3R/2C	11.72 %	45.95 %	8.32 %	41.36 %
3R/3C	14.91 %	56.01 %	11.30 %	51.07 %
3R/4C	19.06 %	66.01 %	15.51 %	61.20 %
4R/2C	14.91 %	56.01 %	11.30 %	51.07 %
4R/3C	19.06 %	66.01 %	15.51 %	61.20 %
4R/4C	24.18 %	76.07 %	19.65 %	71.30 %

(b) High fault density

	추가 고장 1개		추가 고장 2개	
	고려 없음	고려 있음	고려 없음	고려 있음
2R/2C	10.21 %	39.87 %	5.41 %	34.37 %
2R/3C	14.76 %	52.36 %	7.83 %	46.41 %
2R/4C	20.17 %	66.18 %	12.71 %	59.79 %
3R/2C	14.61 %	52.39 %	7.57 %	46.39 %
3R/3C	19.21 %	65.07 %	11.97 %	58.84 %
3R/4C	24.39 %	77.97 %	17.12 %	71.64 %
4R/2C	19.49 %	66.20 %	12.55 %	59.81 %
4R/3C	24.44 %	77.96 %	17.15 %	71.63 %
4R/4C	33.25 %	88.13 %	26.42 %	83.61 %

저밀도와 고밀도의 고장 분포를 가지는 두 가지 형태의 무작위 고장이 삽입 되었다. 저밀도 고장은 8.96%의 행 고장, 9.06%의 열 고장, 81.98%의 독립 고장을 가지며, 고밀도 고장은 26.83%의 행 고장, 26.55%의 열 고장, 46.62%의 독립 고장을 가진다. 무작위로 삽입된 고장은 각 메모리 다이 당 0에서 20개 중 임의의 수로 결정하였다. 통계적 신뢰성을 높이기 위해 각각의 조건에 대해 10,000번씩의 실험을 수행하였다.

표 1(a), (b)에 각각 저밀도와 고밀도의 고장 분포를 가지는 경우에 대해 일반 예비 셀과 공유 예비 셀을 사용한 기존 방법과 제안하는 방법 간의 3차원 메모리의 수율을 비교한 결과를 9가지 경우의 메모리 다이에 대해 나타내었다. 표 1(a), (b)에서 일반 예비 셀을 사용한 경우에 대해서는 기존의 방법과 제안하는 방법의 수율 차이가 크지 않다. 즉, 사용한 메모리 수리 기법은 3차원 메모리의 수율에 큰 영향을 미치지 않는다. 하지만, 공유 예비 셀을 사용한 경우에 기존 방법과 제안하는 방법의 수율 차이가 보다 크게 나타나는 것을 알 수 있다. 이는 기존 방법에 비해 제안하는 방법을 통해 3차원 메모리를 보다 효과적으로 제조할 수 있다는 것을 나타낸다. 또한, 서로 다른 수의 예비 셀을 가지는 메모리 다이나 서로 다른 고장 분포에 대해서도 일관되게 공유 예비 셀을 사용하는 제안하는 방법이 높은 수율을 가짐을 확인할 수 있다.

표 2(a), (b)에 저밀도와 고밀도의 고장 분포 각각에 대해 추가 발생 고장의 고려 유무에 따른 공유 예비 셀을 사용한 제안하는 방법의 3차원 메모리 수율의 결과를 비교하였다. 표 2(a), (b)에서 추가 고장이 1~2개인 모든 경우의 메모리 다이에 대해 추가 고장을 고려하지 않은 경우보다 추가 고장을 고려했을 때 훨씬 높은 수율을 가짐을 확인할 수 있다. 즉, 추가 고장을 고려한 다이 매칭을 이용하여 3차원 메모리를 제작하는 것이 그렇지 않은 경우에 비해 약간의 수율 감소는 피할 수 없지만, 추가 고장이 실제로 발생하였을 경우엔 확실하게 적정 수율을 보장할 수 있다.

표 1, 2의 실험 결과에서 알 수 있듯이, 제안하는 세 가지 경계 제한 조건을 이용한 다이 매칭 방법은 독립 고장을 고려하였기 때문에 기존의 방법에 비해 3차원 메모리 수율 증가 효과가 매우 높고 또한, 집합 공정에서 발생할 수 있는 추가 고장을 고려하였기 때문에 미리 결정한 일정한 숫자의 추가 고장에 대한 수리를 보장할 수 있다.

IV. 결 론

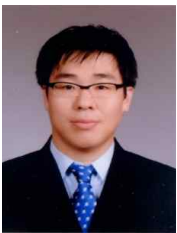
본 논문에서는 두 개의 메모리 다이 간에 예비 셀을 공유하는 구조의 3차원 메모리의 수율을 증가시키기 위해 세 가지 경계 제한 조건을 사용하는 다이 매칭 방법을 제안하였다. 제안하는 다이 매칭 방법은 다이 수리를 위해 필요한 행 예비 셀과 열 예비 셀의 수를 이용하여 매칭을 위한 다이 탐색 범위를 크게 줄일 수 있는 첫 번째와 두 번째 경계 제한 조건을 통해 빠른 매칭이 가능하며, 독립 고장의 특성을 함께 이용하는 세 번째 경계 제한 조건을 통해 정확한 매칭이 이루어진다. 또한, 제안하는 다이 매칭 방법은 집합 공정에서 추가로 발생할 수 있는 고장을 예상하여 대비할 수 있기 때문에 추가 고장이 실제로 발생하여도 높은 수율 증진 효과를 유지할 수 있다. 따라서 높은 수율을 가지는 3차원 메모리를 제작할 수 있다. 실험은 저밀도와 고밀도의 고장 분포를 가지는 2가지 형태의 무작위 고장에 대해 서로 다른 수의 예비 셀을 가지는 9가지 형태의 메모리 다이에 대해 이루어졌다. 실험 결과를 통해 기존의 방법에 비해 제안하는 방법이 수율을 더욱 효과적으로 증진시키는 것을 확인할 수 있었으며, 제안하는 방법이 집합 공정에서 고장이 추가로 발생하여도 높은 수율을 보장함을 증명하였다.

참 고 문 헌

- [1] V.F. Pavlidis and E.G. Friedman, "Interconnect-based design methodologies for three-dimensional integrated circuits," *Proceedings of the IEEE*, vol. 97, no. 1, pp. 123-140, Jan. 2009.
- [2] S.S. Iyer, T. Kirihata, M.R. Wordeman, J. Barth, R.H. Hannon, and R. Malik, "Process-design considerations for three dimensional memory integration," in *Proc. Symp. VLSI Tech.*, pp. 60-63, Honolulu, HI, Jun. 2009.
- [3] H. Sun, J. Liu, R.S. Anigundi, N. Zheng, J.-Q. Lu, K. Rose, and T. Zhang, "3D DRAM design and application to 3D multicore systems," *IEEE Design Test Comput.*, vol. 26, no. 5, pp. 36-47, Sep. 2009.
- [4] H.-H.S. Lee and K. Chakrabarty, "Test challenges for 3D integrated circuits," *IEEE Design Test Comput.*, vol. 26, no. 5, pp. 26-35, Sep. 2009.
- [5] E.J. Marinissen and Y. Zorian, "Testing 3D chips containing through-silicon vias," in *Proc. Int. Test Conf (ITC)*, pp. 1-11, Austin, TX, Nov. 2009.

- [6] C.-T. Huang, C.-F. Wu, J.-F. Li, and C.-W. Wu, "Built-in redundancy analysis for memory yield improvement," *IEEE Trans. Relia.*, vol. 52, no. 4, pp. 386-399, Dec. 2003.
- [7] W. Jeong, I. Kang, K. Jin, and S. Kang, "A fast built-in redundancy analysis for memories with optimal repair rate using a line-based search tree," *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 17, no. 12, pp. 1665-1678, Dec. 2009.
- [8] W. Jeong, J. Lee, T. Han, K. Lee, and S. Kang, "An advanced BIRA for memories with an optimal repair rate and fast analysis speed by using a branch analyzer," *IEEE Trans. Comput.-Aided Design Integrated Circuits Syst.*, vol. 29, no. 12, pp. 2014-2026, Dec. 2010.
- [9] 정우식, 강성호, "최적 수리효율을 갖는 다중 블록 광역대체 수리구조 메모리를 위한 자체 내장 수리연산 회로," 대한전자공학회 논문지, 제 47권 SD편, 제 11호, pp. 30-36, 2010.
- [10] L. Jiang, R. Ye, and Q. Xu, "Yield enhancement for 3D-stacked memory by redundancy sharing across dies," in *Proc. Int. Conf. Comput.-Aided Design (ICCAD)*, pp. 230-234, San Jose, CA, Nov. 2010.
- [11] C.-W. Chou, Y.-J. Huang, and J.-F. Li, "Yield-enhancement techniques for 3D random access memories," in *Proc. Int. Symp. VLSI Design Automat. Test (VLSI-DAT)*, pp. 104-107, Hsin Chu, Taiwan, Apr. 2010.

 저 자 소 개



이 주 환(학생회원)

2003년 연세대학교 전기전자 공학과 학사 졸업.
 2005년 연세대학교 전기전자 공학과 석사 졸업.
 2011년 현재 연세대학교 전기 전자공학과 박사 과정.

<주관심분야 : SoC 설계, BISR, 신뢰성>



박 기 현(정회원)

2007년 연세대학교 전기전자 공학과 학사 졸업.
 2011년 현재 연세대학교 전기전자 공학과 석박사통합 과정.

<주관심분야 : BISR, BIST, BIRA>



강 성 호(학생회원)

1986년 서울대학교 제어계측 공학과 학사 졸업.
 1988년 The University of Texas, Austin 전기 및 컴퓨터 공학과 석사 졸업.

1992년 The University of Texas, Austin 전기 및 컴퓨터 공학과 박사 졸업.

1992년 미국 Schlumberger Inc. 연구원.

1994년 Motorola Inc. 선임 연구원.

2011년 현재 연세대학교 전기전자공학과 교수.

<주관심분야 : SoC 설계, SoC 테스트>