

논문 2011-48SD-8-3

노이즈 면역을 향상시킨 플립플롭

(A Flipflop with Improved Noise Immunity)

김아름*, 김선권*, 이현중**, 김수환***

(AhReum Kim, Sunkwon Kim, Hyunjoong Lee, and Suhwan Kim)

요약

휴대용 전자 기기 수요가 증가하면서 저전력 회로에 대한 관심이 커지고 있다. 이와 더불어 프로세서 데이터 패스의 폭이 넓어지고, 파이프라인의 단계가 많아짐에 따라, 사용되는 플립플롭의 수가 증가하였다. 그로 인해 플립플롭의 전력 소모 및 성능이 전체 시스템에 미치는 영향이 커졌다. 또한, 반도체 공정 스케일이 점점 줄면서, 공급 전압과 문턱 전압이 감소되었고 이로 인해 노이즈가 회로에 미치는 영향이 커지고 있다. 본 논문에서는 노이즈 면역을 향상시키면서도 저전력 시스템에 사용할 수 있는 플립플롭을 제안하고자 한다. 제안한 회로는 1.2V에서 동작하는 65nm CMOS 공정으로 구현하였다.

Abstract

As the data path of the processor widens and the depth of the pipeline deepens, the number of required registers increases. Consequently, careful attention must be paid to the design of clocked storage elements like latches and flipflops as they have a significant bearing on the overall performance of a synchronous VLSI circuit. As technology is also scaling down, noise immunity is becoming an important factor. In this paper, we present a new flipflop which has an improved noise immunity when compared to the hybrid latch flipflop and the conditional precharge flipflop. Simulation results in 65nm CMOS technology with 1.2V supply voltage are used to demonstrate the effectiveness of the proposed flipflop structure.

Keywords : flipflop, noise immunity, setup time, hold time, power

I. 서론

최근 휴대폰, 노트북, MP3 와 같은 휴대용 전자 기기들의 사용이 급속하게 증가하고 있는 추세이다. 배터리에 의존하는 휴대용 전자 기기에서 발생하는 회로 내부의 불필요한 파워 소모는 휴대용 전자 기기의 실제 사용 시간을 줄이는 요인이 된다. 장시간 사용할 수 있는 휴대용 전자 기기에 대한 사용자의 요구가 커지면서, 저전력 회로에 대한 관심이 커지고 있다. 이러한 저전력 회로 설계는 휴대 기기뿐만 아니라 고성능 시스템에서도 중요한 요소 중 하나이다.

특히 프로세서의 경우, 동작 클록 주파수가 높아지고

데이터 패스의 폭이 넓어지며 파이프라인의 단계가 많아짐에 따라 사용하는 레지스터의 수가 증가하였다. 이러한 레지스터 수의 증가로 인해 synchronous VLSI 에서 클록 동기화 저장 요소 (clocked storage elements, CSE)인 래치와 플립플롭의 성능이 전체 시스템의 성능을 결정하는데 많은 부분을 차지하게 되었다. 이에 따라, 클록 동기화 저장 요소에 대한 관심이 높아지고 있다^[1].

이러한 추세와 더불어 반도체 회사는 무어의 법칙에 따라 회로의 집적도를 높였고, 이에 따라 공급 전압은 낮아졌다. 하지만 같은 성능을 유지하기 위하여 공급 전압 뿐 만 아니라 문턱 전압까지 낮아졌다. 또한 회로 사이의 간격과 메탈 간 간격도 줄어들게 되었다. 이 때문에 회로 주변에서 발생하는 노이즈가 회로에 미치는 영향이 커지게 되었다.

회로 주변에서 발생한 노이즈는 시스템의 저장 요소

* 정회원, ** 학생회원, *** 평생회원,
서울대학교 전기컴퓨터공학부
(School of Electrical Engineering and Computer
Science, Seoul National University)
접수일자: 2011년4월3일, 수정완료일: 2011년7월27일

인 플립플롭의 오동작을 일으킬 수 있다. 플립플롭에서 발생한 오류는 전체 시스템의 오동작을 일으킬 수 있기 때문에, 노이즈 면역을 향상시키는 것 역시 플립플롭 설계 시 고려해야 할 중요한 요소이다. 여기에서는 저 전력 시스템에 적합하면서도 노이즈 면역성을 높인 플립플롭을 제안하고자 한다.

II. 본 론

1. 기존의 플립플롭

가. 하이브리드 래치 플립플롭

그림 1은 하이브리드 래치 플립플롭(hybrid latch flipflop, HLFF)으로써 AMD K6 프로세서에 사용되었던 플립플롭이다^[2]. 3개의 인버터와 클록(CLK)을 이용하여 입력 데이터(D)에 의해 다이내믹 노드(X)의 값이 결정되는 구간인 transparency window를 생성한다. 첫 번째 단의 형태는 3-input CMOS 낸드 게이트 구조를 가진다. 이 경우, 클록 신호와 입력 데이터 값에 의해서 보통의 정적 로직 게이트에서 보이는 short-circuit current가 발생할 수 있다. 두 번째 단에서는 입력 데이터에 의해 결정된 다이내믹 노드(X)의 값에 따라 출력 데이터(Q) 값이 결정된다. 이러한 구조는 적은 수의 트랜지스터를 이용하므로 간단한 형태로 설계할 수 있어 회로 면적이 작고 동작 속도가 빠르다.

하지만 입력 데이터 값이 계속 high일 때, 클록이 low가 되면 다이내믹 노드(X)의 값이 high로 충전되고, 클록이 high가 되면 다이내믹 노드(X)에서 그라운드로 방전되는 현상이 매 클록마다 일어나게 된다. 이런 현상은 불필요한 전력 소모를 증가시키게 된다. 또한 출력 단(Q)에 glitch를 발생시킨다.

그림 2는 HLFF의 타이밍 다이어그램이다. 클록과 입

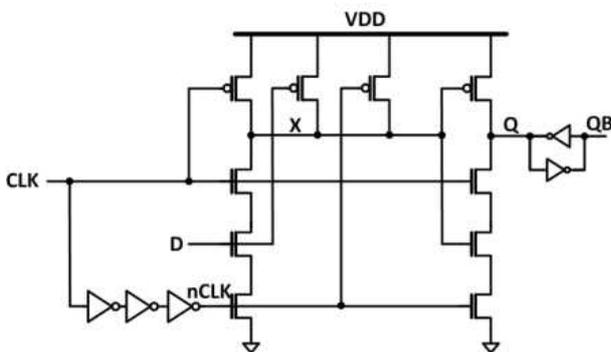


그림 1. 하이브리드 래치 플립플롭
Fig. 1. Hybrid latch flipflop (HLFF).

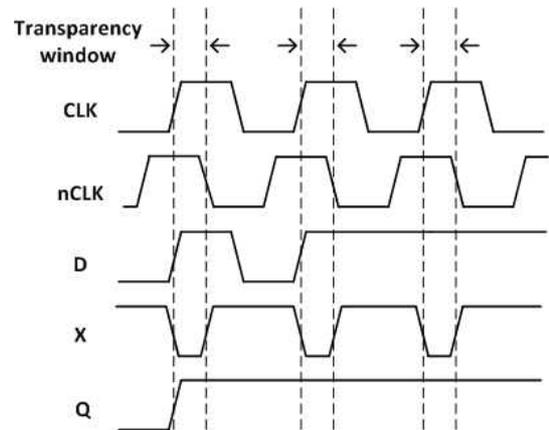


그림 2. HLFF의 타이밍 다이어그램
Fig. 2. HLFF's timing diagram.

력 데이터 값에 따라 HLFF의 각 노드에서 일어나는 현상을 알 수 있다. 그림에서 알 수 있듯이, 입력 데이터 값이 high일 때 다이내믹 노드(X)에서 일어나는 충전/방전 현상은 에너지 소모를 증가시킬 뿐 아니라, 주변 회로에 노이즈로 작용할 수 있다.

나. 컨디셔널 프리차지 플립플롭

앞에서 살펴 본 것처럼, 데이터 값이 high인 구간 동안 다이내믹 노드(X)에서 발생하는 충전/방전 현상은 전력 소모를 높이는 원인이 된다. 이처럼 불필요한 전력 소모를 줄이기 위해 그림 3과 같이 클록이 들어가는 PMOS와 다이내믹 노드(X) 사이에 스위치를 삽입하는 컨디셔널 프리차지 기법이 제안되었다^[3~4]. 이 방식에서는 입력 데이터(D)나 다른 값들에 의해 PMOS와 다이내믹 노드(X) 사이에 삽입된 스위치가 on/off 되어 원하지 않는 충전/방전 현상이 제거된다.

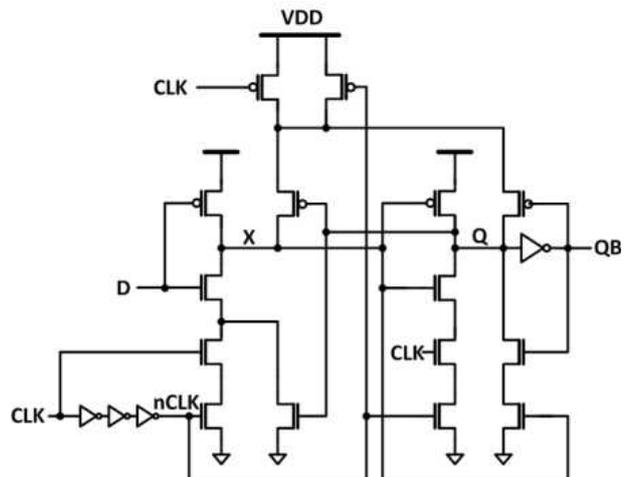


그림 3. 컨디셔널 프리차지 플립플롭
Fig. 3. Conditional precharge flipflop (CPFF).

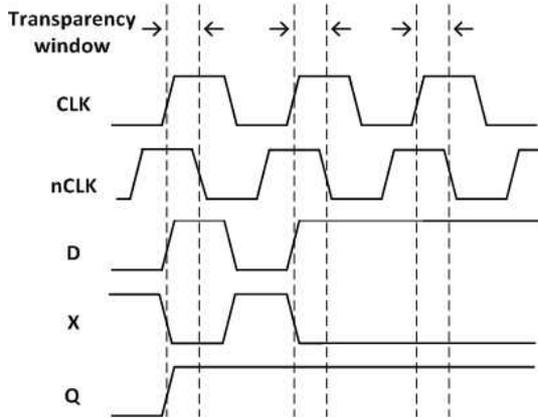


그림 4. CPFF의 타이밍 다이어그램
Fig. 4. CPFF's timing diagram.

그림 3은 HLFF의 파워 소모를 줄이기 위해 고안된 컨디셔널 프리차지 기법을 이용하여 설계한 컨디셔널 프리차지 플립플롭(conditional precharge flipflop, CPFF)이다^[4]. 클럭을 입력으로 받는 PMOS와 다이내믹 노드(X) 사이에 출력 값(Q)을 입력으로 받는 PMOS를 삽입함으로써 short-circuit current가 흐르는 것을 방지한다. 출력 값(Q)의 이전 상태가 high일 경우 다이내믹 노드(X)에 충전 현상이 일어나지 않아 불필요한 충전/방전 현상이 발생하지 않는다. 반대로 출력 값(Q)의 이전 상태가 low일 경우는 키퍼(keeper)처럼 동작하여 실제 플립플롭의 동작이 일어나는 transparency window 구간 외에는 다이내믹 노드(X)가 high값을 유지하도록 해 주는 역할을 한다. 출력 부분에도 다이내믹 로직 회로의 키퍼와 같은 역할을 하는 트랜지스터를 추가적으로 사용함으로써, transparency window 후의 출력 신호를 안정하게 해 주었다. 이 방식은 불필요한 스위칭 현상을 줄임으로써 파워 소모는 줄였지만, 입력과 출력 부분의 부하(load) 증가를 초래하였다. 또 그림 4에서 알 수 있듯이, 출력 값(Q)이 high일 때, 입력 데이터 값(D)이 노이즈나 혹은 다른 요인에 의해 high에서 low로 바뀌게 되면, 입력 데이터 값을 받는 PMOS에 의해 다이내믹 노드(X)가 충전 되는 현상이 발생한다. 이런 현상은 클럭과 상관없이 입력 데이터 값에 의해 일어나는 것으로, 플립플롭의 파워 소모를 높이고, 주변 회로에 노이즈로 작용할 수 있다.

2. 노이즈 면역성 측정 요소

가. 노이즈 면역 커브

그림 5는 노이즈 면역 커브(noise immunity curve,

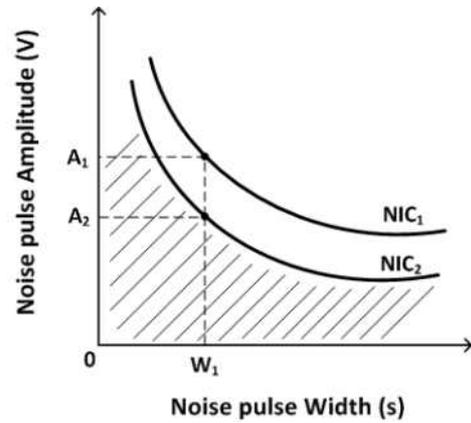


그림 5. 노이즈 면역 커브
Fig. 5. Noise immunity curve (NIC).

NIC)이다. 이는 입력에 노이즈 펄스를 인가하여 출력 값이 변할 때 노이즈 펄스의 폭과 크기를 그래프로 그린 것으로, x-축은 노이즈 펄스의 폭으로 얼마만큼의 시간동안 노이즈를 가했는지를 나타내며, y-축은 노이즈 펄스의 크기로 얼마나 큰 전압을 입력했는지를 보여 준다.

그림 5의 NIC₁과 NIC₂ 그래프를 비교하여 보면, 노이즈 펄스의 폭이 W₁인 노이즈를 주입했을 때, NIC₁을 나타내는 회로의 경우는 노이즈 펄스의 크기가 A₁일 때 출력 값이 바뀌게 되고, NIC₂를 나타내는 회로의 경우는 노이즈 펄스의 크기가 A₂일 때 출력 값이 바뀌게 된다. 따라서 NIC₁ 회로가 NIC₂ 회로보다 노이즈에 좀 더 안정한 것을 알 수 있다. 즉, 그래프의 아래쪽 면적(빗금 친 부분)이 넓을수록 노이즈에 더 강한 회로임을 알 수 있다^[5~6].

나. Average noise threshold energy

Average noise threshold energy (ANTE)는 노이즈 면역 커브와 유사하게 회로가 노이즈에 얼마나 강한지를 수치로 알려주는 측정 요소이다. ANTE는 회로가 정상 동작을 할 수 있는 입력 노이즈 파워 평균을 말하는 것으로 다음과 같이 나타낼 수 있다. 그림 5로부터 각각의 노이즈 펄스 폭에 그 노이즈의 크기의 제곱을 곱한 후 평균을 낸 것으로 식은 다음과 같다.

$$ANTE = E(A_n^2 \cdot W_n) \tag{1}$$

$$ANTE = \frac{A_1^2 \cdot W_1 + A_2^2 \cdot W_2 + \dots + A_n^2 \cdot W_n}{n} \tag{2}$$

위에서 E()는 기대값을 의미한다. A_n은 입력으로 넣

은 노이즈 펄스의 크기를, W_n 은 노이즈 펄스의 폭을 의미한다. 또, n 은 noise immunity curve에서 점의 개수를 의미한다^[5-6].

다. Energy normalized ANTE

Energy normalized ANTE (EANTE)는 회로에서 소모되는 에너지당 ANTE의 양을 나타내는 값으로, 노이즈 면역(noise immunity)을 향상시킬 때 발생하는 에너지 패널티를 알 수 있다. 식은 다음과 같다.

$$E_{ANTE} = \frac{ANTE}{\epsilon} \tag{3}$$

ϵ 는 한 클럭당 소모되는 에너지양을 의미한다^[5-6].

3. 제안하는 플립플롭 회로

앞서 두 플립플롭의 장단점과 노이즈 면역성 측정 요소를 살펴보았다. HLFF의 경우 불필요한 스위칭 현상으로 인해 많은 전력 소모가 생기고, CPFF의 경우 입력 노이즈에 의하여 다이내믹 노드에 생기는 충전/방전 현상으로 인해 전력 소모가 발생할 수 있다. 또한 이런 현상들은 주변 회로에 노이즈로도 작용할 수 있다.

그림 6은 이러한 문제점을 해결하고자 본 논문에서 제안하는 플립플롭 회로이다. 플립플롭의 동작을 살펴보면, 먼저 3개의 인버터를 사용하여 플립플롭의 실제 동작이 이루어지는 transparency window를 구현하였다. 이는 PMOS와 NMOS 사이에서 일어날 수 있는 경쟁(contention) 현상을 줄여 short-circuit current를 감소시킨다.

첫 번째 단의 구성은 다음과 같다. 다이내믹 노드(X)에는 노이즈에 의한 영향을 줄이기 위해 MP3와 MN1만을 연결하였다. MP3에 인가되는 control 신호는, 클럭이 high인 구간에서는 입력 데이터 값(D)과 같고, 클럭이 low인 구간에서는 이전 입력 데이터 값에 해당하는 출력 값(Q)과 같게 된다. 따라서 클럭이 high일 때 다이내믹 노드(X)의 값은 입력 데이터 값(D)에 의해 결정이 된다. 이는 입력 데이터 값(D)과 출력 데이터 값(Q) 즉, 두 개의 데이터 값에 의해 다이내믹 노드(X)가 결정되는 CPFF과의 차이점이다. 또한 CPFF의 경우 앞서 말한 입력 노이즈에 의한 다이내믹 노드의 충전/방전 현상 외에, 데이터 입력 값이 high에서 low로 변하는 순간, 입력 데이터(D)를 입력으로 받는 PMOS와 NMOS, 출력 데이터(Q)를 입력으로 받는 NMOS 사이에 short-circuit current가 발생할 수 있다. 이것은 플립플롭의 파워 소모를 높이는 요인이 될 수 있다. 하지만 제안된 회로에서는 control 신호를 이용하여 이를 개선하였다.

우선, 클럭이 high인 시간 동안에는 노드를 안정하게 해주는 키퍼를 추가하는 대신에 다음과 같은 조치가 이루어졌다. 입력 데이터 값이 경우, precharge path만 켜져서 다이내믹 노드(X)가 VDD와 연결되어 안정하게 high값이 유지 될 수 있도록 만들었다. 그리고 입력 데이터 값이 high일 경우, precharge path는 끊어지고 그라운드와 연결되는 discharge path만 켜지게 되어 다이내믹 노드(X)가 안정되도록 만들었다. 또한, CLK와 nCLK로 구현한 transparency window가 끝난 후에도 출력 값(Q)을 피드백 받아서 다이내믹 노드(X)에 low값이 유지 될 수 있도록 구성하였다.

두 번째 단에서는, D-Q 딜레이 시간을 줄이기 위해 인버터를 사용하여 만든 Db 신호를 이용하여 좀 더 빨리 출력 값(Q)이 변하도록 설계하였다. 특히, MP4를 MP5 위에 스택하여 입력 데이터 값(D)이 high에서 low로 변할 때, MP4가 꺼지면서 VDD와 출력(Q) 사이의 path를 차단시켜 경쟁(contention) 현상을 줄여 전력 소모를 낮추었다. MP4와 MN8은 출력 값(Q)을 안정하게

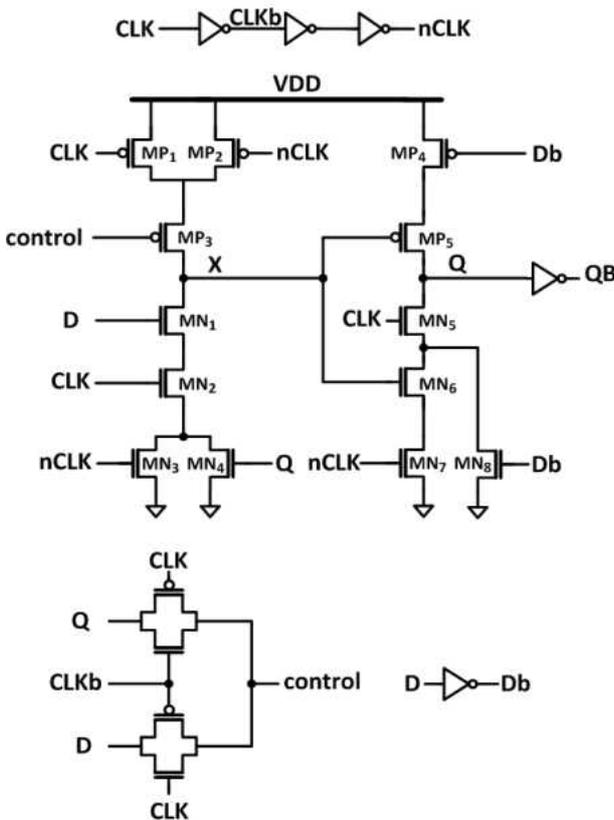


그림 6. 제안하는 회로
Fig. 6. Proposed circuit.

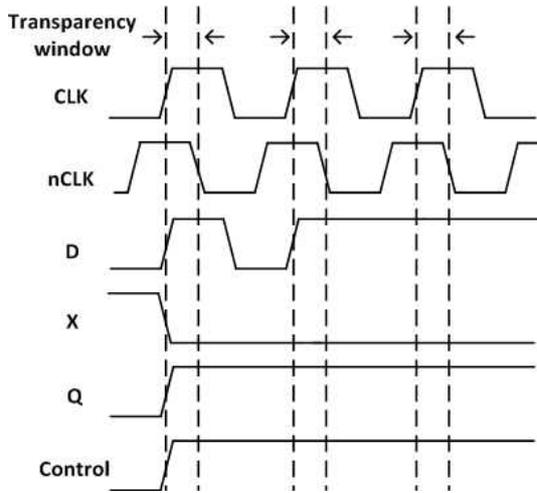


그림 7. 제안하는 플립플롭 타이밍 다이어그램
Fig. 7. Proposed flipflop's timing diagram.

해 주는 다이내믹 로직 회로 키퍼와 같은 역할을 한다.

전체적인 구조는 앞서 언급하였던 HLFF와 CPFF에 비하여 PMOS가 하나 더 stack한 형태이다. 이것은 입력 데이터(D)에서 출력 데이터(Q)로 전달되는 시간을 증가시킬 수 있다. 하지만 Db 신호를 이용하여 입력 데이터 값(D)이 출력 데이터 값(Q)에 좀 더 빨리 전달 되도록 하였다. 또한 stack된 PMOS 구조로 인해 short-circuit current를 줄여 플립플롭의 파워 소모를 감소시키는 효과를 가져왔고, 별도의 키퍼를 추가하지 않았지만 이 PMOS들이 키퍼처럼 동작하여 플립플롭의 안정성을 높였다.

결론적으로, 제안하는 구조에서는 MP3에 control 신호를 연결하여, 클럭이 low일 때 출력 데이터 값(Q)을 feedback 받아 다이내믹 노드(X)를 안정하게 하여 플립플롭이 입력 노이즈의 영향을 받지 않도록 하였고, 클럭이 high일 때 입력 데이터 값(D)에 의해 다이내믹 노드 값이 결정되도록 구성하였다. 이러한 구조는 그림 4에서 보았던 CPFF의 다이내믹 노드에서 발생하는 충전/방전 현상을 제거하였다.

III. 시뮬레이션 결과

제안된 회로의 성능을 측정하기 위해 65nm CMOS 공정을 이용하여 시뮬레이션을 수행하였다. 이 때 1.2V 공급 전압과 250MHz, 50% duty ratio를 가지는 클럭을 사용하였다. 플립플롭의 입력 데이터(D)와 클럭(CLK) 입력 단에 각각 FO4(fanout-of-4) 인버터 버퍼를 연결하였고, 출력 단에도 부하로 FO4 인버터 버퍼를

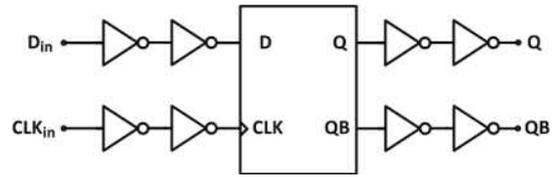


그림 8. 테스트 벤치
Fig. 8. Test bench.

달았다. 성능 비교를 위해서 HLFF, CPFF을 이용하였다. 정확한 비교를 하기 위해 앞서 언급한 세 플립플롭의 딜레이 클록을 생성하는 3개의 인버터는 동일한 것을 이용하였고, 플립플롭의 전력만 측정하기 위해 플립플롭의 입력단과 출력단에 단 버퍼의 전력은 제외하였다. 동작 시간과 관련 된 셋업 타임과 홀드 타임은 최소값에서 10%가 증가하였을 때의 시간을 측정하였다.

회로의 노이즈 면역성을 측정하는 요소인 ANTE, EANTE를 구하기 위해, 입력 데이터에 노이즈 펄스를 주입하여 출력 값이 변할 때의 노이즈 펄스 폭과 크기를 측정하였다.

HLFF, CPFF 그리고 제안하는 회로는 노이즈 펄스에 의한 출력 값이 조금 다른 형태로 나타난다.

HLFF의 경우, 노이즈 펄스의 크기를 증가시켜 인가할 때 출력 값이 펄스의 형태로 나타나다 어느 순간 출력 값이 변하면서 한 클럭 동안 잘못된 출력 값을 유지하게 된다.

하지만, CPFF과 제안하는 플립플롭의 경우, 입력 값에 따라 다이내믹 노드 값이 조절되는 구조이기 때문에 노이즈 펄스의 크기가 커짐에 따라 출력 값이 펄스의 형태로 증가한다. 펄스폭이 HLFF에 인가한 펄스 폭보다 훨씬 클 때 잘못된 출력 값이 한 클럭 동안 나오게 된다. 그러나 잘못된 출력 값이 나오는 시간이 작아도 어느 크기 이상일 경우 다음 단의 오동작을 일으킬 수 있는 원인이 될 수 있다. 그래서 출력 값이 VDD와 같아질 때의 노이즈 펄스의 폭과 크기를 측정하였다.

그림 9, 10, 11은 각 플립플롭에 노이즈가 들어갔을 때 회로의 다이내믹 노드와 출력 값이 어떻게 변하는지 시뮬레이션한 결과이다. 이 때 노이즈 펄스의 폭을 50ps로 동일하게 적용하였다.

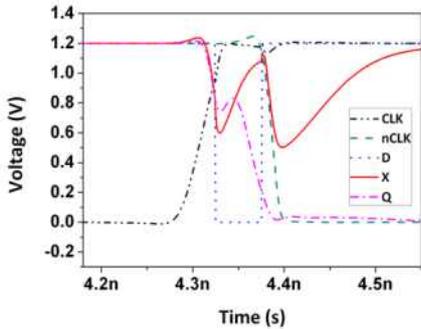
먼저 HLFF의 경우, transparency window가 형성되어 있을 때 노이즈가 입력으로 들어가면 다이내믹 노드가 불안정하게 되어 출력 값이 바뀌게 된다. 다른 두 경우에 대해서는 다이내믹 노드와 연결된 PMOS가 항상 켜져서 다이내믹 노드 값이 high를 유지하기 때문에 다이내믹 노드나 출력 값이 영향을 받지 않는다. 하지만

이것은 입력 데이터 값과 무관하게 클럭에 의해 나오는 출력 값이다.

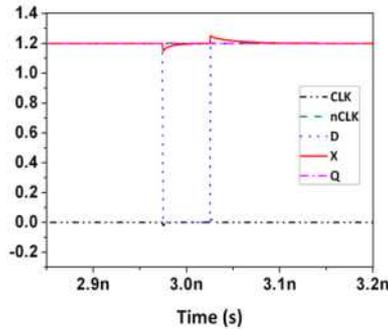
CPFF의 경우, 노이즈가 입력으로 들어갔을 때 3가지 경우 모두 다이내믹 노드가 VDD까지 충전되었다가 다시 방전되는 것을 확인할 수 있다. 또한 불안정한 다이내믹 노드 값으로 인해 출력 값도 불안정하게 흔들리는

것을 볼 수 있다. 마지막으로, 제안하는 플립플롭의 경우에는 클럭이 high일 때만 노이즈에 의해 다이내믹 노드(X)가 충전이 되지만 그 값이 CPFF에 비해 작다. 또한 세 가지 경우 모두 출력 값이 상당히 안정하게 유지되고 있음을 확인할 수 있다.

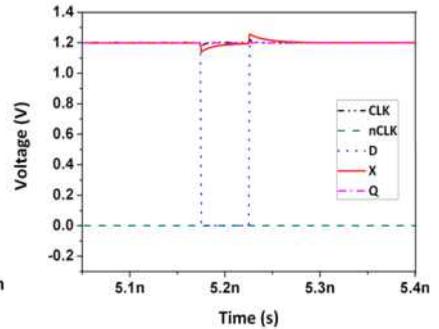
그림 12는 크기와 폭이 다른 노이즈를 인가하였을 때



(a) Transparency window 내의 노이즈 인가
(a) Noise event during the transparency window

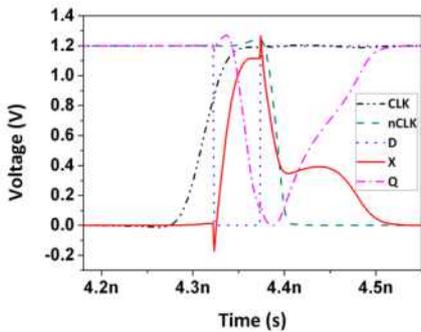


(b) 클럭이 low일 때 노이즈 인가
(b) Noise event during CLK = low

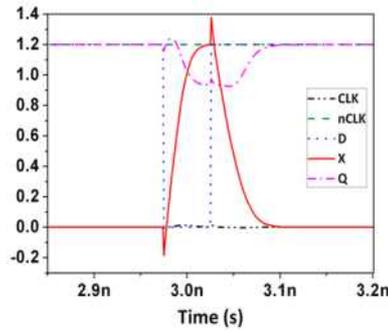


(c) 클럭이 high일 때 노이즈 인가
(c) Noise event during CLK = high

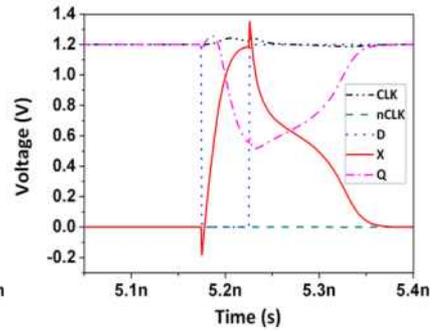
그림 9. 하이브리드 래치 플립플롭의 경우
Fig. 9. HLFF case.



(a) Transparency window 내의 노이즈 인가
(a) Noise event during the transparency window

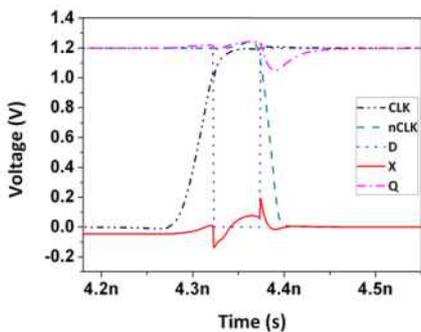


(b) 클럭이 low일 때 노이즈 인가
(b) Noise event during CLK = low

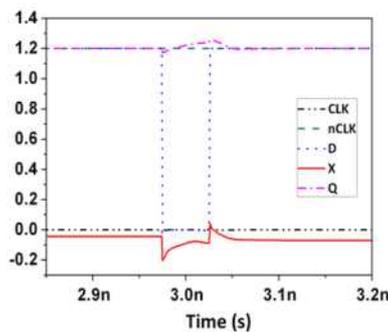


(c) 클럭이 high일 때 노이즈 인가
(c) Noise event during CLK = high

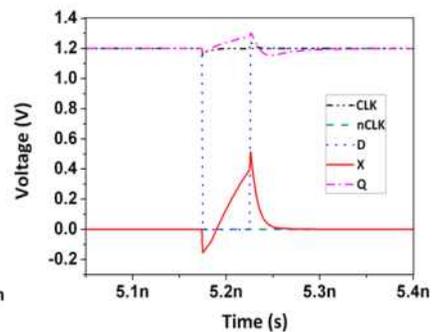
그림 10. 컨디셔널 프리차지 플립플롭의 경우
Fig. 10. CPFF case.



(a) Transparency window 내의 노이즈 인가
(a) Noise event during the transparency window



(b) 클럭이 low일 때 노이즈 인가
(b) Noise event during CLK = low



(c) 클럭이 high일 때 노이즈 인가
(c) Noise event during CLK = high

그림 11. 제안하는 플립플롭의 경우
Fig. 11. Proposed flipflop case.

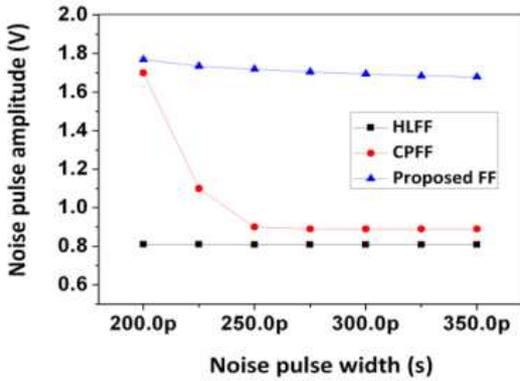


그림 12. 노이즈 면역 커브
Fig. 12. Noise immunity curve.

출력 값이 얼마나 영향을 받는지 알 수 있는 노이즈 면역 커브(NIC)이다. 그림 12를 통해 제안하는 회로가 다른 두 회로에 비해 노이즈에 강한 것을 확인할 수 있다. 표 1과 표 2는 입력 데이터의 값(high 또는 low)에 따른 각각의 성능을 비교한 것이다.

제안하는 회로가 다른 두 회로에 비해 셋업 타임이나 홀드 타임 등 시간 측면에서는 성능이 향상되지 않았지만, 입력 데이터가 high일 경우에는 에너지와 파워가 수 있다. 또한 power-delay-product(PDP) 값도 다른 두 회로의 비해 감소한 것을 확인할 수 있다. 그러나 입

력 데이터가 low일 경우, 에너지는 비슷하지만, 딜레이 시간이 늘어나 결과적으로 PDP 값이 증가되었다.

입력 데이터가 low일 때 기존 방식으로 구현된 두 플립플롭의 딜레이 시간이 상대적으로 짧은 이유는 입력 데이터 값을 받는 PMOS가 켜져 VDD와 다이내믹 노드(X)가 연결되어 바로 다이내믹 노드(X)에 충전을 시작하기 때문이다. 하지만 이러한 특성이 노이즈에 대해서는 취약한 원인이 된다.

본 논문에서 제안한 방식의 플립플롭이 노이즈에 얼마나 강한지를 측정하기 위해, ANTE와 EANTE를 구하였다. 다른 두 플립플롭에 비해 ANTE는 약 2.5~4배, EANTE는 약 3~6배 정도 향상된 것을 확인할 수 있다.

IV. 결 론

기존의 빠른 동작 속도를 가지는 플립플롭의 전력 소모를 감소시키기 위해 여러 가지 기법을 적용한 플립플롭들이 만들어졌다. 그 중 입력 데이터가 계속 high값을 유지할 경우, 클럭에 의한 다이내믹 노드의 충전/방전 현상을 제거한 컨디셔널 프리차지 기법을 적용하여, 기존의 컨디셔널 프리차지 플립플롭보다 전력 소모를

표 1. 입력 데이터 값이 high일 때
Table 1. Performance comparison when input = high.

| Flipflop | setup time (ps) | hold time (ps) | clk-qb time (ps) | d-qb time (ps) | energy (fJ) | power (μW) | PDP (fJ) |
|-------------|-----------------|----------------|------------------|----------------|-------------|------------|----------|
| HLFF | 0.73 | 66.70 | 88.80 | 89.50 | 62.68 | 15.80 | 1.414 |
| CPFF | -13.90 | 69.60 | 84.20 | 70.30 | 50.02 | 12.60 | 0.886 |
| Proposed FF | -2.20 | 75.50 | 75.80 | 73.60 | 10.70 | 10.70 | 0.758 |

표 2. 입력 데이터 값이 low일 때
Table 2. Performance comparison when input = low.

| Flipflop | setup time (ps) | hold time (ps) | clk-qb time (ps) | d-qb time (ps) | energy (fJ) | power (μW) | PDP (fJ) |
|-------------|-----------------|----------------|------------------|----------------|-------------|------------|----------|
| HLFF | -1.46 | 15.60 | 50.30 | 48.90 | 44.78 | 11.10 | 0.543 |
| CPFF | 16.10 | 27.40 | 61.10 | 77.20 | 40.05 | 9.90 | 0.764 |
| Proposed FF | 16.90 | 9.54 | 66.40 | 83.30 | 40.16 | 9.96 | 0.858 |

표 3. 노이즈 영향 측정
Table 3. Measurement of noise effect.

| Flipflop | The number of Tr | Total width (μm) | energy (fJ) | power (μW) | PDP (fJ) | ANTE (V ² ·ps) | ENTE (V ² ·ps/fJ) |
|-------------|------------------|------------------|-------------|------------|----------|---------------------------|------------------------------|
| HLFF | 20 | 25.35 | 53.73 | 13.45 | 0.978 | 180 | 3.35 |
| CPFF | 23 | 26.49 | 45.04 | 11.25 | 0.825 | 292 | 6.48 |
| Proposed FF | 26 | 21.69 | 41.38 | 10.33 | 0.808 | 802 | 19.38 |

줄이면서도 입력 데이터로 들어오는 노이즈에 대해 좀 더 강한 플립플롭을 제안하였다. 성능 비교를 위해서 HLFF, CPFF를 이용하였다. 제안한 플립플롭은 두 플립플롭에 비해 power 측면에서 약 8%~23% 정도 감소하였고, 노이즈 측면에서 ANTE는 약 2.5~4배, EANTE는 약 3~6배 정도 향상되었다. 제안한 회로는 1.2V에서 동작하는 65nm CMOS 공정을 이용하여 설계하였다.

참 고 문 헌

[1] V. G. Oklobdzija, "Clocking in multi-GHz environment," in Proc. 23rd IEEE Int. Conf. Microelectronics, pp. 561-568, May 2002.

[2] H. Partovi, R. Burd, U. Salim, F. Weber, L. DiGregorio, and D. Draper, "Flow-through latch and edge-triggered flip-flop hybrid elements," in ISSCC Dig. Tech. Papers, pp. 138 - 139, CA, San Francisco, Feb 1996.

[3] P. Zhao, T. Darwish, and M. Bayoumi, "high-performance and low-power conditional discharge flip-flop," IEEE Trans. on Very Large Scale Integration (VLSI) Systems., Vol. 12, no. 5, pp. 477 - 484, May 2004.

[4] N. Nedovic and V.G. Oklobdzija, "Hybrid latch flip-flop with improved power efficiency," in Proc. Symp. Integrated Circuits Systems Design, SBCCI2000, pp.211-215, Manaus, Brazil, Sept 2000.

[5] G. A. Katopis, "Delta-I noise specification for a high-performance computing machine," in Proc. of the IEEE, pp.1405-1415, Sept 1985.

[6] L. Wang and N. R. Shanbhag, "Noise-tolerant dynamic circuit design," in Proc. IEEE int. Symp. Ciccuits Syst., pp. 549-552, Orlando, FL, May/June 1999.

— 저 자 소 개 —



김 아 름(정회원)
 2008년 경북대학교 전자전기 컴퓨터공학부 학사 졸업.
 2011년 서울대학교 전기컴퓨터 공학부 석사 졸업.
 2011년~현재 삼성전자 시스템 LSI 연구원
 <주관심분야 : 디지털 회로 및 저전력 회로 설계>



이 현 중(학생회원)
 2005년 서울대학교 전기공학부 학사 졸업.
 2007년 서울대학교 전기컴퓨터 공학부 석사 졸업.
 2007년~현재 서울대학교 전기컴퓨터공학부 박사 과정
 <주관심분야 : 아날로그 회로 및 데이터 변환기 설계>



김 선 권(정회원)
 1999년 한양대학교 전자공학과 학사 졸업.
 2001년 한양대학교 전기공학과 석사 졸업.
 2008년~현재 서울대학교 전기컴퓨터공학부 박사 과정
 <주관심분야 : Data converter 및 저전력 아날로그 회로>



김 수 환(평생회원)
 1990년 고려대학교 전자 전산공학과 학사 졸업.
 1992년 고려대학교 전자공학과 석사 졸업.
 2001년 미시간 대학 전기공학부 박사 졸업.
 1993년~1999년 LG 전자기술원 연구원
 2001년~2004년 IBM T. J. Watson Research Center Research Staff Member
 2004년~현재 서울대학교 전기컴퓨터공학부 부교수
 <주관심분야 : 아날로그 혼성회로 및 디바이스-회로 융합설계, 고속 메모리 I/O 인터페이스>