

논문 2011-48SD-5-5

CIS 응용을 위해 제한된 폭을 가지는 10비트 50MS/s 저 전력 0.13um CMOS ADC

(A 10b 50MS/s Low-Power Skinny-Type
0.13um CMOS ADC for CIS Applications)

송 정 은*, 황 동 현*, 황 원 석**, 김 광 수***, 이 승 훈****

(Jung-Eun Song, Dong-Hyun Hwang, Won-Seok Hwang, Kwang-Soo Kim, and Seung-Hoon Lee)

요 약

본 논문에서는 CIS 응용을 위해 제한된 폭을 가지는 10비트 50MS/s 0.13um CMOS 3단 파이프라인 ADC를 제안한다. 통상 CIS에 사용되는 아날로그 회로에서는 수용 가능한 조도 범위를 충분히 확보하기 위해 높은 전원전압을 사용하여 넓은 범위의 아날로그 신호를 처리한다. 그 반면, 디지털 회로에서는 전력 효율성을 위해 낮은 전원전압을 사용하므로 제안하는 ADC는 해당 전원전압들을 모두 사용하여 넓은 범위의 아날로그 신호를 낮은 전압 기반의 디지털 데이터로 변환하도록 설계하였다. 또한 2개의 잔류 증폭기에 적용한 증폭기 공유기법은 각 단의 증폭 동작에 따라 전류를 조절함으로써 증폭기의 성능을 최적화 하여 전력 효율을 더욱 향상시켰다. 동일한 구조를 가진 3개의 FLASH ADC에서는 인터폴레이션 기법을 통해 비교기의 입력 단 개수를 절반으로 줄였으며, 프리앰프를 제거하여 래치만으로 비교기를 구성하였다. 또한 래치에 입력 단과 출력 단을 분리하는 풀-다운 스위치를 사용하여 킥-백 잡음으로 인한 문제를 최소화하였다. 기준전류 및 전압회로에서는 온-칩 저 전력 전압구동회로만으로 요구되는 정착시간 성능을 확보하였으며, 디지털 교정회로에는 신호특성에 따른 두 종류의 레벨-시프트 회로를 두어 낮은 전압의 디지털 데이터가 출력되도록 설계하였다. 제안하는 시제품 ADC는 0.35um thick-gate-oxide 트랜지스터를 지원하는 0.13um CMOS로 제작되었으며, 측정된 DNL 및 INL은 10비트에서 각각 최대 0.42LSB, 1.19LSB 수준을 보이며, 동적 성능은 50MS/s 동작속도에서 55.4dB의 SNDR과 68.7dB의 SFDR을 보인다. 시제품 ADC의 칩 면적은 0.53mm²이며, 2.0V의 아날로그 전압, 2.8V 및 1.2V 등 두 종류의 디지털 전원전압에서 총 15.6mW의 전력을 소모한다.

Abstract

This work proposes a skinny-type 10b 50MS/s 0.13um CMOS three-step pipeline ADC for CIS applications. Analog circuits for CIS applications commonly employ a high supply voltage to acquire a sufficiently acceptable dynamic range, while digital circuits use a low supply voltage to minimize power consumption. The proposed ADC converts analog signals in a wide-swing range to low voltage-based digital data using both of the two supply voltages. An op-amp sharing technique employed in residue amplifiers properly controls currents depending on the amplification mode of each pipeline stage, optimizes the performance of op-amps, and improves the power efficiency. In three FLASH ADCs, the number of input stages are reduced in half by the interpolation technique while each comparator consists of only a latch with low kick-back noise based on pull-down switches to separate the input nodes and output nodes. Reference circuits achieve a required settling time only with on-chip low-power drivers and digital correction logic has two kinds of level shifter depending on signal-voltage levels to be processed. The prototype ADC in a 0.13um CMOS to support 0.35um thick-gate-oxide transistors demonstrates the measured DNL and INL within 0.42LSB and 1.19LSB, respectively. The ADC shows a maximum SNDR of 55.4dB and a maximum SFDR of 68.7dB at 50MS/s, respectively. The ADC with an active die area of 0.53mm² consumes 15.6mW at 50MS/s with an analog voltage of 2.0V and two digital voltages of 2.8V (=D_H) and 1.2V (=D_L).

Keywords : CIS, 증폭기 공유기법, CMOS, 파이프라인 ADC

* 정회원, **** 평생회원, 서강대학교 전자공학부 (Dept. of Electronic Engineering, Sogang University)

** 정회원, 하이닉스반도체 (Hynix Semiconductor)

*** 정회원, 서강대학교 서강미래기술원 (Sogang Institute of Advanced Technology, Sogang University)

※ 이 논문은 하이닉스반도체의 지원과 함께 지식경제부 및 정보통신산업진흥원의 “대학 IT연구센터 육성지원사업 (ITRC)”의 연구결과로 수행되었음. (NIPA-2011-C1090-1101-0003)

접수일자: 2010년12월13일, 수정완료일: 2011년4월25일

I. 서 론

최근 CMOS image sensor (CIS)는 charge-coupled device에 비해 낮은 전원전압에서 적은 전력을 소모하고 CMOS 공정을 사용하는 다른 회로들과 함께 온-칩으로 집적 가능한 장점에 따라 모바일 기기에서부터 산업용 및 의료용 영상장비에 이르기까지 폭 넓은 분야에서 활용되고 있다^[1~3]. 그림 1(a) 및 (b)는 단일 A/D 변환기 (analog-to-digital converter : ADC)를 집적한 CIS를 나타낸 것으로, pixel array, row/column scanner, correlated double sampling (CDS), analog MUX, variable gain amplifier (VGA), ADC, image signal processor (ISP)로 구성된다. 이와 같은 CIS 구성 블록들을 제한된 면적에 배치할 때, ADC를 작은 면적의 한쪽의 폭을 제한하는 형태로 제작하면 그림 1(a)

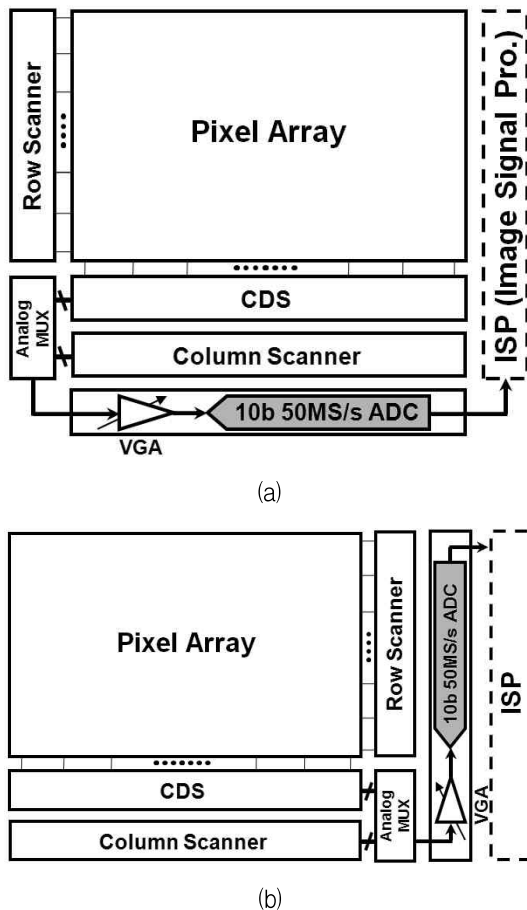


그림 1. 제한된 한쪽 폭을 갖는 ADC가 필요한 CIS 배치 사례 : (a) 행 기반의 배치, (b) 열 기반의 배치

Fig. 1. Examples of CIS layout requiring a skinny-type ADC based on (a) row and (b) column.

및 (b)의 행 또는 열 기반 배치 중 응용에 따라 필요한 배치를 탄력적으로 선택할 수 있으므로 면적 효율성이 크게 향상된다.

한편, CIS 제작 시 수용 가능한 조도의 범위를 충분히 확보하기 위해서는 넓은 신호 범위가 요구되므로 0.13um 이하의 최신 공정을 사용하더라도 일부 아날로그 회로는 thick-gate-oxide 트랜지스터로 제작하여 상대적으로 높은 전원전압에서 동작할 수 있도록 설계된다^[4~6]. 그 반면, 디지털 신호를 처리하는 ISP에서는 전력 효율성을 높이기 위해 낮은 전원전압에서 디지털 데이터를 처리하므로 CIS 응용을 위한 ADC는 넓은 범위의 아날로그 신호를 낮은 전압의 디지털 데이터로 변환해야 한다.

따라서 본 논문은 2.4Vp-p에 해당하는 넓은 신호범위의 입력신호를 1.2V 수준의 디지털 데이터로 변환할 수 있도록 1.8V~2.8V 수준의 아날로그 전원전압 A 및 디지털 전원전압 D_H와 1.2V의 낮은 디지털 전원전압 D_L을 동시에 사용하는 10비트 50MS/s 파이프라인 ADC를 제안한다. 제안하는 ADC는 두 개 multiplying D/A converter (MDAC)에 증폭기 공유기법을 적용하였으며, 동작에 따라 전류를 적절히 조절하여 첫 번째 MDAC보다 낮은 사양을 필요로 하는 두 번째 MDAC의 증폭 동작 시 필요이상으로 높은 증폭기 성능으로 인해 낭비되는 전력을 줄였다. 한편, 모든 FLASH ADC에서는 인터폴레이션 기법을 적용하여 비교기의 입력 단 개수를 절반으로 줄이고 프리앰프 없이 래치만으로 비교기를 구성하였으며 킥-백 잡음 (kick-back noise)이 입력 단으로 전달되는 것을 방지하기 위하여 풀-다운 스위치를 통해 입력 단과 출력 단을 분리하였다. 또한 FLASH ADC2와 FLASH ADC3이 저항 열을 공유하도록 설계하였으며 기준전류 및 전압회로에서는 별도의 온-칩 필터나 외부의 바이패스 커패시터 없이 저 전력의 전압구동회로만으로 정착시간 성능을 확보하도록 설계하였다. 디지털 교정회로에서는 각 신호 특성을 고려한 두 종류의 레벨-슈프트 회로를 두어 높은 전압의 클록 신호와 디지털 데이터를 낮은 전압 기반으로 변환하였다. 본 논문에서는 제안하는 ADC의 전체 구조 및 각 블록별 기능을 II 장에서 설명하며, III 장에서 제안하는 주요 회로 설계기법을 요약한다. 또한 IV 장에서는 제안하는 ADC 시제품의 측정결과를 정리한 후, V 장에서는 결론을 맺는다.

II. 제안하는 ADC 전체 구조

제안하는 10비트 50MS/s ADC는 그림 2와 같이 각 단에서 4비트를 결정하는 3단 파이프라인 구조로 설계하였다.

이때 외부 VGA로부터 전달되는 2.4Vp-p의 입력신호를 처리할 수 있도록 MDAC, FLASH ADC, 기준전류 및 전압회로, 클럭 발생기는 thick-gate-oxide 트랜지스터로 제작하여 높은 전원전압에서 동작하도록 설계하였다. 반면, ISP로 낮은 전압의 디지털 데이터를 출력하기 위해 낮은 전원전압을 사용하는 디지털 교정회로 및 분주기는 thin-gate-oxide 트랜지스터로 제작하였다.

제안하는 ADC는 CIS 시스템에서 제공하는 VGA를

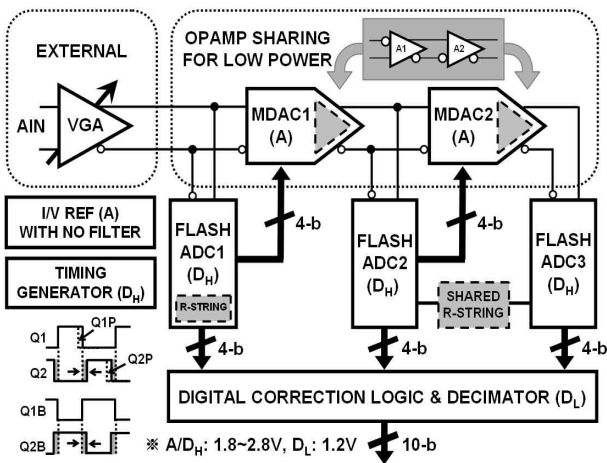


그림 2. 제안하는 10비트 50MS/s 0.13um CMOS ADC
Fig. 2. Proposed 10b 50MS/s 0.13um CMOS ADC.

통해 샘플링 된 아날로그 신호가 입력되므로, MDAC1 및 FLASH ADC1에서 입력 신호를 바로 처리하도록 설계하였다. 또한 CIS 시스템에서 요구하는 2.4Vp-p 수준의 넓은 신호범위를 처리하기 때문에 3개의 4비트 FLASH ADC에 충분한 오프셋 허용오차가 확보되므로 프리앰프 없이 래치만으로 비교기를 구성하였다. 추가적으로 각 단의 FLASH ADC에는 인터플레이션 기법을 적용하여 입력 단의 개수를 반으로 줄였으며 FLASH ADC2 및 FLASH ADC3에는 저항 열을 공유하고, MDAC1 및 MDAC2에서는 telescopic 증폭기와 공통 소스 증폭기로 구성된 2단 증폭기를 공유하여 면적 및 전력소모를 최소화하였다. 또한 기준전류 및 전압 회로와 클럭발생기를 칩 상에 집적하여 다양한 CIS 시스템에서 응용 가능하도록 하였다.

III. 제안하는 ADC의 주요 회로 설계기법

1. 증폭 동작에 따른 전류 조절을 통해 전력

효율성을 강화한 증폭기 공유기법기반의 MDAC 증폭기 공유기법은 파이프라인 구조의 ADC에서는 서로 인접한 두 개 파이프라인 단의 MDAC이 전체 주기의 반주기 동안 증폭 동작을 순차적으로 한다는 점에 착안하여 하나의 증폭기를 공유하는 기법으로 증폭기 소모되는 면적과 전력을 줄일 수 있어서 증폭기 구조에 따라 다양하게 응용된다^[7~8]. 그림 3은 제안하는 ADC에 사용되는 증폭기 공유기법 기반의 MDAC을 나타낸

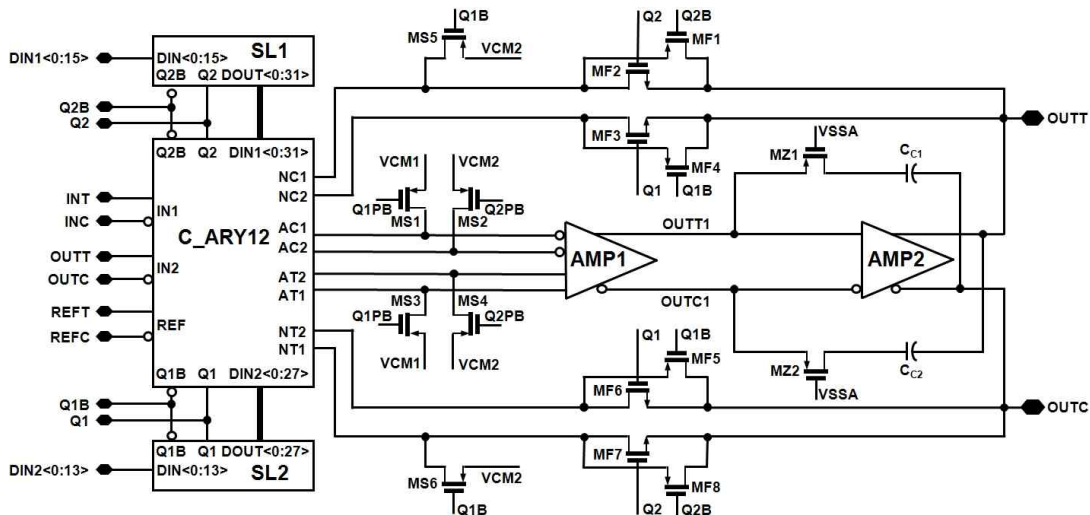


그림 3. 제안하는 증폭기 공유기법 기반의 MDAC
Fig. 3. Proposed op-amp sharing technique in MDAC.

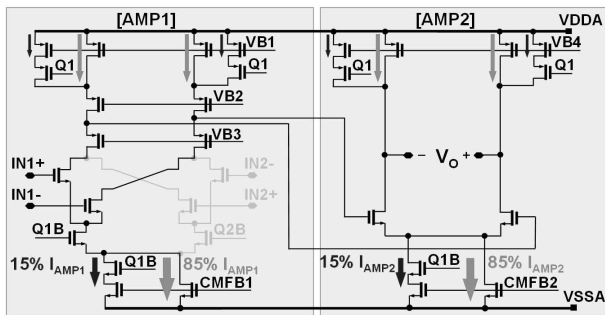
것이며, 공유 증폭기는 MDAC1에 요구되는 10비트 해상도를 위한 DC 전압이득, 대역폭 및 2.4Vp-p 출력 신호범위 등의 성능을 확보할 수 있도록 그림 4와 같이 telescopic 구조의 AMP1과 공통 소스 구조의 AMP2로 구성된 2단 증폭기로 설계하였다.

통상 파이프라인 구조에서는 MDAC1의 증폭동작 시 증폭기에 요구되는 DC 전압이득 및 대역폭이 MDAC2의 증폭동작 시 요구되는 수준보다 더 높기 때문에 공유되는 증폭기가 MDAC1에 요구되는 높은 수준의 성능을 갖도록 설계한다. 따라서 기존의 증폭기 공유기법에서는 MDAC2의 증폭동작 시 필요 이상으로 높은 증폭기 사양과 성능으로 인해 낭비되는 전력이 발생한다.

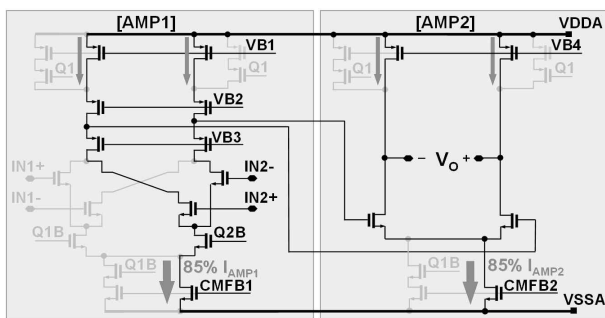
제안하는 ADC에 적용된 증폭기 공유기법은 MDAC1 및 MDAC2의 동작 선택에 따라 요구되는 성능에 최적화된 전력을 사용할 수 있도록 증폭기에 흐르는 전류의 양을 적절히 조절하여 공유하는 증폭기의 전력 효율성을 더욱 강화하였다. 그림 4(a) 및 (b)는 MDAC1과 MDAC2가 각각 증폭 동작을 할 때 증폭기의 동작을 나타낸 그림이다. 증폭기를 구성하는 AMP1 및 AMP2에

는 각각 85%의 전류와 15%의 전류가 흐르는 경로가 분리되어 있고 그 중 15%의 전류가 흐르는 경로에는 스위치를 연결하여 클록 Q1B를 통해 제어할 수 있도록 설계하였다. 그 결과, MDAC1의 증폭 동작 시에는 100%의 전류가 흐르며, MDAC2의 증폭 동작 시에는 85%의 전류가 흐르게 되어, 기존의 증폭기 공유기법과 비교할 때, MDAC2의 증폭 동작 시 증폭기에 소모되는 전력을 85% 수준으로 낮출 수 있다.

한편, 기존의 증폭기 공유 기법에서는 별도의 리셋 주기 없이 전체 주기에 걸쳐 증폭기가 사용되어, 입력 단에서 발생하는 기생 커패시턴스 및 유한한 전압이득으로 인해 메모리 효과가 발생한다. 제안하는 증폭기 공유 기법은 그림 4(a) 및 (b)에서 볼 수 있듯이 MDAC1과 MDAC2의 입력 단을 분리하고 입력 단 하단에 연결한 스위치를 통해 클록 신호에 따라 입력 단을 적절하게 선택할 수 있도록 설계하였다. 또한 선택되지 않은 입력 단은 그림 3의 스위치 MS1~4를 통해 번갈아 리셋 시킴으로써 메모리 효과를 제거하였다^[9]. 이 때, 그림 2에서 보는 바와 같이 클록 변환 시 위상이 일부 중첩되는 Q1B와 Q2B를 입력 단을 선택하는 클록 신호로 사용하여 두 개 입력 단의 NMOS 입력 트랜지스터가 모두 켜지는 시간을 확보하였다. 이를 통해 중첩되지 않는 클록인 Q1 및 Q2에 따라 증폭 동작이 시작되기 전에 꺼져있던 MOS 풀-다운 스위치가 미리 켜지도록 하여 NMOS 스위치가 켜지는데 필요한 시간으로 인해 증폭된 신호의 최종 정착시간이 지연되는 문제를 해결하였다^[10].



(a)



(b)

그림 4. 제안하는 증폭기 공유기법 기반의 MDAC 동작 : (a) MDAC1의 증폭 동작, (b) MDAC2의 증폭 동작

Fig. 4. Proposed op-amp sharing technique : (a) MDAC1 operation and (b) MDAC2 operation.

2. 전력 및 면적 효율성을 갖는 4비트 FLASH ADC

제안하는 파이프라인 ADC는 동일한 구조의 4비트 FLASH ADC 3개를 각 파이프라인 단의 ADC로 사용한다. 각 단의 FLASH ADC에서는 입력신호 범위가 2.4Vp-p로 4비트 해상도에 대한 오프셋 허용오차가 충분하기 때문에 그림 5와 같이 프리앰프 없이 래치만으로 비교기를 구성하여 전력과 면적을 줄였다. 또한 인터플레이션 기법을 적용하여 샘플링 커패시터가 있는 입력 단의 개수를 절반으로 줄이고 FLASH ADC2 및 FLASH ADC3에서는 저항 열을 공유하여 추가적으로 전력 및 면적을 줄였다.

한편, 프리앰프 없이 래치만을 사용하여 비교기를 구성하는 경우, 래치의 출력 노드와 입력 단 사이에서 발생하는 기생 커패시턴스로 인해 킱-백 잡음이 입력 단으로 직접 전달되어 비교 동작의 정확도를 떨어뜨리는

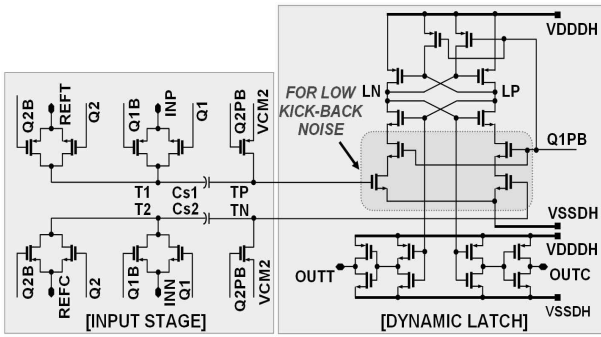


그림 5. 프리앰프 없이 래치만으로 구성된 비교기
Fig. 5. Comparator composed of only a latch without a pre-amp.

문제가 발생하게 된다. 제안하는 ADC에서는 래치의 입력 NMOS 트랜지스터 드레인 노드에 버퍼 역할을 하는 풀-다운 스위치를 직렬로 연결함으로써 입력 단과 출력 노드를 분리하여 입력 단에 전달되는 킱-백 잡음의 영향을 최소화하였다 [11].

3. 저 전력 기준전압 구동회로만으로 정착시간

성능을 확보하는 온-칩 기준전류 및 전압 회로

제안하는 ADC는 10비트 해상도 및 50MS/s의 동작 속도에서 안정적으로 동작하는 기준전류 및 전압 회로를 온-칩으로 집적함으로써, 다양한 CIS 시스템에 응용이 가능하도록 하였다. 그림 6은 온-칩으로 집적된 기준전류 및 전압회로이며, 기준전압 구동회로를 통해 생성된 기준전압은 MDAC 및 FLASH ADC로 공급된다. 이 때, MDAC과 FLASH ADC에서 50MS/s로 동작하는 스위치드-커패시터로 인해 순간적인 충전 및 방전이 반복되어 기준전압 출력 노드에 고주파 스위치 잡음이 발생하게 된다. 통상 ADC의 기준전압 구동회로에서는 정착시간 성능을 확보하기 위해 기준전압 출력 노드에

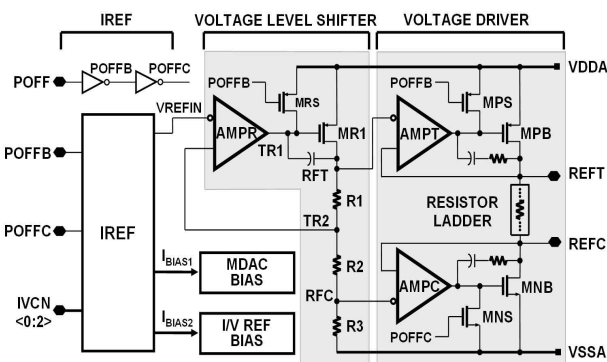


그림 6. 제안하는 ADC의 온-칩 기준전류 및 전압회로
Fig. 6. On-chip I/V reference in the proposed ADC.

저항과 커패시터로 이루어진 필터를 온-칩으로 집적하거나 칩 외부에서 바이패스 커패시터를 추가로 사용하여 MDAC 및 FLASH ADC로 안정적이고 정확한 기준 전압을 전달한다^[12~13]. 그러나 제안하는 ADC에는 온-칩 필터 및 칩 외부의 바이패스 커패시터를 사용하지 않고 저 전력의 전압 구동회로만으로 정착시간 성능을 확보하여 면적을 최소화 하였다.

4. 이중 전원전압 ADC를 위한 레벨-쉬프트 회로

제안하는 ADC는 CIS 응용에서 1.2V 기반의 0.13um CMOS 공정에서 요구하는 2.4Vp-p의 넓은 아날로그 신호범위를 제공하기 위해 1.8V 이상의 높은 전원전압을 사용하는 동시에, 이를 1.2V 수준의 정상 전압의 디지털 데이터로 변환하여 CIS의 전력 효율을 극대화한다. 따라서 낮은 전원전압을 사용하는 디지털 교정회로에서는 높은 전원전압을 사용하는 클록 발생기와 FLASH ADC로부터 클록 신호와 디지털 데이터를 전달받아 낮은 전압으로 신호변환한 후 디지털 교정 동작을 수행한다. 그림 7(a) 및 (b)의 회로는 각각 클록 신호와 디지털 데이터를 변환하기 위한 회로이다.

그림 7(b)의 구조에서 로직 HIGH 및 로직 LOW를 구분하는 인버터의 논리 문턱전압 (logic threshold voltage)은 1.2V의 낮은 전원 전압으로 인해 0.6V 수준이 된다. 이 때, 1.8V 이상 높은 전압 클록 신호와 디지털 데이터가 인가되면, 상대적으로 논리 HIGH에 비해 논리 LOW에 더 가까운 논리 문턱전압으로 인해 그림 8과 같이 상승위치보다 하강위치의 지연시간이 더 길어지게 된다. 그 결과, 중첩되지 않는 두개 클록 신호를 그림 7(b)의 회로로 레벨-쉬프트 하는 경우 레벨-쉬프트

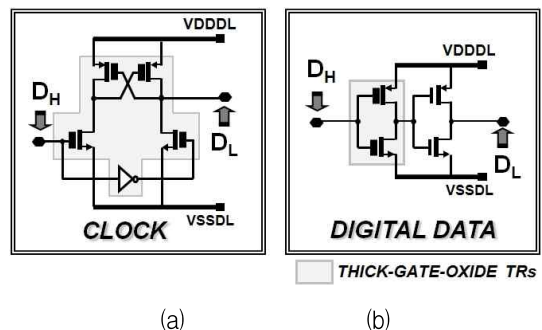


그림 7. 제안하는 ADC의 레벨-쉬프트 회로 :
(a) 클록 신호를 위한 회로,
(b) 디지털 데이터를 위한 회로
Fig. 7. Level-shifters employed in the proposed ADC :
(a) for clock signal and (b) for digital data.

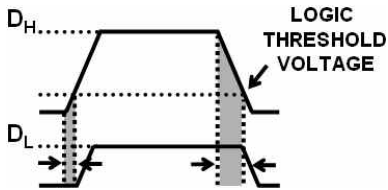


그림 8. 상승 위치 및 하강 위치의 지연시간 차이
Fig. 8. Delay mismatch in rising and falling edges.

트 회로로부터 출력되는 클록 신호의 상승위치 및 하강 위치가 왜곡되어 중첩될 위험이 있다. 따라서 클록 신호는 그림 7(a) 구조의 회로를 사용하여 변환하는 반면, FLASH ADC에서 전달하는 디지털 데이터의 경우 상승위치 및 하강위치의 지연시간 차이로 인해 신호가 왜곡될 염려가 없으므로 경제성을 고려하여 트랜지스터의 개수가 더 적은 그림 7(b)의 구조를 선택하였다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 10비트 50MS/s ADC는 0.13um CMOS 공정으로 제작되었으며, 높은 전원전압과 낮은 전원전압을 동시에 사용하는 CIS 응용을 위해 MDAC, FLASH ADC, 클록 발생기, 기준전류 및 전압회로를 thick-gate-oxide 트랜지스터로 설계한 반면, 분주기 및 디지털 교정회로는 thin-gate-oxide 트랜지스터로 설계하였다. 그림 9는 제안하는 시제품 ADC의 칩 사진이며, 본 설계에서는 다양한 CIS 활용이 가능하도록 각 블록을 한 방향으로 적절히 배치하되, 한쪽 폭을 0.40mm 이하로 제한하는 방향으로 제작되었으며, 입출력 패드를 제외한 칩 면적은 0.53mm² 이다. 그림 9에서 점선으로 표시된 유휴 공간에는 각 회로를 구성하는 블록간의 간섭, 전원전압의 잡음 및 electromagnetic interference 문제를 줄이기 위해 120pF decoupling 커패시터를 온-칩으로 집적하였다.

시제품 ADC는 전형적 조건인 50MS/s 샘플링 속도, 아날로그 전원 2.0V, 높은 디지털 전원 2.8V, 낮은 디지털

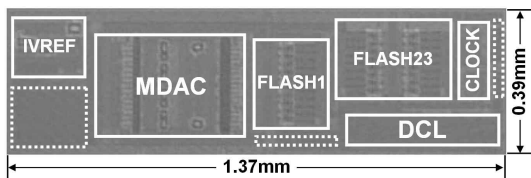


그림 9. 제안하는 10비트 50MS/s 0.13um CMOS ADC 시제품 칩 사진 (1.37mm × 0.39mm)
Fig. 9. Die photo of the proposed 10b 50MS/s 0.13um CMOS ADC (1.37mm × 0.39mm).

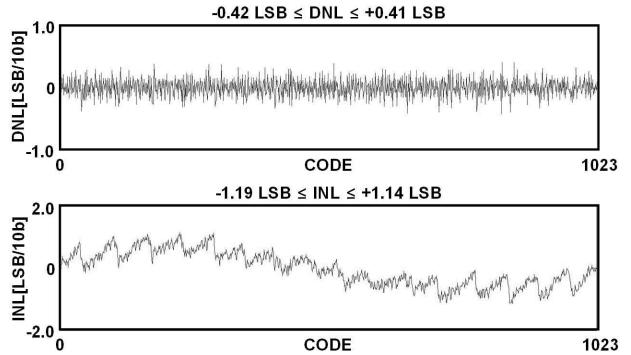


그림 10. 시제품 ADC의 측정된 DNL 및 INL
Fig. 10. measured DNL and INL of the prototype ADC.

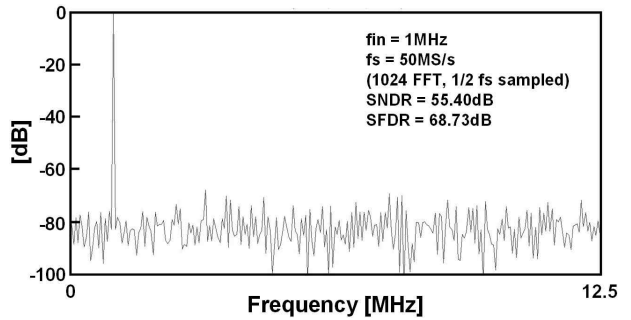
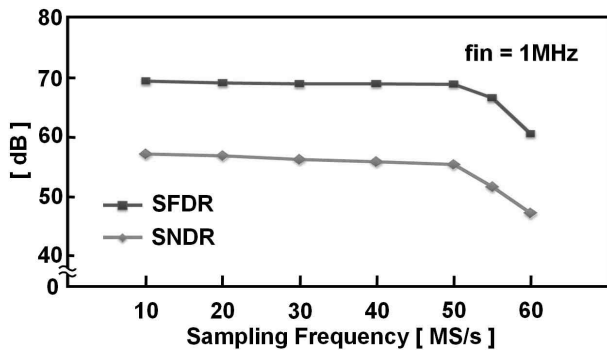


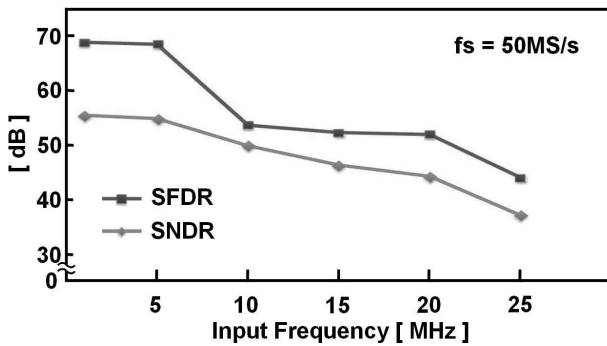
그림 11. 시제품 ADC의 측정된 FFT 스펙트럼 (1/2fs 다운 샘플)
Fig. 11. Measured FFT spectrum of the proposed ADC (1/2fs down sampled).

전원전압 1.2V 조건에서 총 15.6mW의 전력을 소모한다. 또한 그림 10과 같이 시제품 ADC의 differential non-linearity (DNL) 및 integral non-linearity (INL)는 10비트 해상도에서 각각 최대 0.42LSB, 1.19LSB 수준을 보인다. 그림 11은 상기의 전원전압 조건 및 1MHz 입력 주파수, 50MS/s 샘플링 속도에서 측정된 신호 스펙트럼으로, ADC 내부의 온-칩 분주기를 통해 50MS/s의 동작속도를 1/2 다운 샘플링 하여 측정하였다.

그림 12(a)는 시제품 ADC의 측정된 동적 성능과 관련하여, 1MHz의 차동 입력신호를 인가하고 샘플링 속도를 10MS/s에서 60MS/s까지 증가시킬 때, signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range (SFDR)를 나타낸 것이다. 샘플링 속도가 50MS/s까지 증가하는 동안 시제품 ADC의 SNDR 및 SFDR은 각각 55.4dB, 68.7dB 이상을 유지한다. 그림 12(b)는 50MS/s의 샘플링 속도에서 입력 주파수를 증가시킬 때 SNDR과 SFDR을 나타내며, 입력 주파수가 5MHz로 증가할 때까지 측정된 SNDR과 SFDR은 각각 54.8dB, 68.4dB 수준을 유지한다. 단, 5MHz 이상의 입력 주파수에서는 동적 성능이 저하되는 경향을 보



(a)



(b)

그림 12. 시제품 ADC의 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR
 Fig. 12. Dynamic performance of the prototype ADC : Measured SFDR and SNDR versus (a) fs and (b) fin.

이지만 CIS에서 제공하는 샘플-앤-홀드 기능을 갖춘 프런트-엔드 VGA를 시제품 ADC와 함께 집적하여 측정할 경우 입력 주파수가 증가해도 우수한 동적 성능을 유지할 것으로 충분히 예상된다.

표 1에서는 제안하는 시제품 ADC와 기존에 발표된 10b 해상도 및 50MS/s 속도 사양의 파이프라인 ADC를 비교하였다. 시제품 ADC는 CIS 응용을 위해 MDAC, FLASH ADC, 클럭 발생기, 기준전류 및 전압 회로 블록에서는 최소 게이트 길이가 0.35um인 thick-gate-oxide 트랜지스터로 설계하였음을 고려하면서 모든 블록을 90nm~0.18um 공정의 thin-gate-oxide 트랜지스터로 제작한 유사사양의 ADC와 비교했을 때, 시제품 ADC가 제한된 높이에 비해 상대적으로 상당히 작은 면적으로 제작되었음을 확인할 수 있다. 또한 표 1에 제시된 유사 사양의 ADC는 전원전압이 1.0~1.8V에 해당하는 반면, 시제품 ADC는 thick-gate-oxide 트랜지스터로 설계된 회로 블록에 1.8V~2.8V에 해당하는 비교적 높은 전원전압이 사용됨에도 불구하고 총

표 1. 최근 발표된 10b 50MS/s 수준의 파이프라인 ADC 비교

Table 1. Comparison of recently reported 10b 50MS/s pipeline ADCs.

	Speed (MS/s)	Supply (V)	Power (mW)	Height (mm)	Area (mm ²)	DNL/INL (LSB)	Process
This work	50	1.8~2.8 / 1.2	15.6	0.39	0.53	0.42/1.19	0.13um CMOS (With Lmin of 0.35um & 0.13um)
ASSCC'08 [14]	50	1.0	8.0	-	1.44	0.79/2.69	90nm CMOS
ISSCC'06 [15]	50	1.2	15.0	0.34	0.20	0.17/0.16	0.13um CMOS
ISCAS'09 [16]	50	1.2	23.0	0.75	1.95	- / -	0.13um CMOS
VLSI'04 [17]	50	1.5	29.0	-	1.30	0.35/0.75	0.18um CMOS
ISSCC'09 [18]	50	1.8	9.9	0.70	1.40	- / 0.80	0.18um CMOS
JSSC'09 [7]	50	1.8	12.0	-	0.86	0.39/0.81	0.13um CMOS
ISSCC'06 [8]	50	1.8	18.0	1.10	1.43	0.20/0.40	0.18um CMOS

표 2. 시제품 ADC 성능 요약

Table 2. Performance summary of the prototype ADC.

Resolution	10bits
Conversion Rate	50MS/s
Process	MPW Dongbu 0.13um CMOS with MIMCAP (Analog Lmin = 0.35um, Digital Lmin = 0.13um)
Input Range	2.4Vp-p (Differential)
SNDR (@ fs = 50MS/s)	55.4dB (@ fin = 1MHz)
SFDR (@ fs = 50MS/s)	68.7dB (@ fin = 1MHz)
DNL	-0.42LSB / +0.41LSB
INL	-1.19LSB / +1.14LSB
ADC Power	15.6mW @ A=2.0V, D _H =2.8V, D _L =1.2V
Die Area	0.53mm ² (= 1.37mm × 0.39mm)

15.6mW의 비교적 적은 전력을 소모하므로 휴대용 이동기기 제품에 집적되는 CIS에 즉각적인 응용이 가능하다. 표 2에는 측정된 시제품 ADC 성능이 보여주며, 높은 전원전압의 경우 1.8V에서 2.8V 사이의 전압 증임의 두 전압을 선택하여 사용할 수 있으며 성능도 크게 변화가 없었으나, 최소 게이트 길이가 0.35um인 thick-gate-oxide 트랜지스터의 부분적인 설계규칙 오류로 인해 아날로그 전원전압 2.0V, 디지털 전원전압 2.8V에서 가장 좋은 성능을 보여주었다.

V. 결 론

본 논문에서는 CIS 응용을 위해 제한된 폭을 갖는 저 전력 소 면적 10비트 50MS/s 0.13um CMOS ADC를 제안한다. 제안하는 ADC는 CIS 응용을 위해 2.4Vp-p에 해당하는 넓은 아날로그 신호 범위를 제공하며, 전력 효율을 위해 이를 낮은 전압의 디지털 데이터로 변환하여 디지털 회로인 ISP로 전달한다. 따라서 넓은 신호 범위를 처리하기 위해 높은 1.8V~2.8V의 전원전압을 사용하는 MDAC, FLASH ADC, 클럭 발생기,

기준전류 및 전압 회로 블록에는 thick-gate-oxide 트랜지스터를 사용하며, 낮은 전압 기반의 디지털 데이터를 출력하기 위해 1.2V 수준의 전원전압을 사용하는 디지털 교정회로 및 분주기는 thin-gate-oxide 트랜지스터로 제작하였다. 저 전력 소 면적으로 제작된 시제품 ADC는 한쪽 면이 390um에 해당하는 낮은 폭으로 제작되어 제한된 면적의 CIS에 다른 구성 블록들과 함께 효율적으로 집적될 수 있다.

제안하는 ADC는 3단 파이프라인 구조로 설계하였으며, CIS 시스템에서 샘플-앤-홀드 기능을 가진 VGA가 제공된다는 점을 고려하여 변하는 입력신호를 MDAC1 및 FLASH ADC1에서 바로 처리하도록 하였다. 시제품 ADC에서 MDAC 회로블록에는 MDAC1과 MDAC2에 사용되는 잔류 증폭기를 공유함으로써 면적과 전력소모를 줄였다. 그와 동시에 각 파이프라인 단의 증폭 기능에 따라 전류를 적절히 조절함으로써 증폭기의 성능을 최적화하여 전력 효율성을 더욱 향상시켰다. 또한 오프셋 허용오차가 높은 FLASH ADC의 경우, 프리앰프 없이 래치만으로 비교기를 구성하고 인터폴레이션 기법을 통해 입력 단 개수를 절반으로 줄였으며, FLASH ADC2 및 FLASH ADC3에는 저항 열을 공유하였다. 기준전류 및 전압회로에서는 별도의 필터회로 없이 온-칩 저 전력 기준전압 구동회로만으로 요구되는 정착시간 성능을 확보하였으며, 디지털 교정회로는 신호특성에 따라 두 종류의 레벨-쉬프트 회로를 사용하였다.

시제품 ADC 칩 면적은 0.53mm^2 이며, 측정된 DNL 및 INL은 각각 최대 0.42LSB, 1.19LSB 수준이다. 또한, 50MS/s 동작속도에서 1MHz의 입력 신호를 인가했을 때 측정된 SNDR 및 SFDR은 각각 55.4dB, 68.7dB이다. 시제품 ADC의 전력소모는 2.0V 아날로그 전원전압, 2.8V 높은 쪽 디지털 전원전압, 1.2V 낮은 쪽 디지털 전원전압을 사용했을 때 총 15.6mW로 측정되었다.

참고 문헌

- [1] E. R. Fossum, "CMOS image sensors: Electronic camera-on-a-chip," *IEEE Trans. Electron Devices*, vol. 44, no. 10, pp. 1689 - 1698, Oct. 1997.
- [2] A. Fish, S. Hamami, and O. Yadid-Pecht, "CMOS image sensors with self-powered generation capability," *IEEE Trans. Circuit Syst. II*, vol. 53, no. 11, pp. 1210 - 1214, Nov. 2006.
- [3] A. Belenky, A. Fish, A. Spivak and O. Yadid-Pecht, "Global shutter CMOS image sensor with wide dynamic range," *IEEE Trans. Circuits Syst. II*, vol. 54, no. 12, pp. 1032 - 1036, Dec. 2007.
- [4] S. Yoshihara, et al., "A 1/1.8-inch 6.4 MPixel 60 frames/s CMOS image sensor with seamless mode change," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2998 - 3006, Dec. 2006.
- [5] S. Kawahito, et al., "A CMOS image sensor integrating column-parallel cyclic ADCs with on-chip digital error correction circuits," in *Proc. IEEE ISSCC Dig. Tech. Papers*, pp. 56 - 57, Feb. 2008.
- [6] G. Strom, et al., "Extended dynamic range from a combined linear - logarithmic CMOS image sensor," *IEEE J. Solid-State Circuits*, vol. 41, no. 9, pp. 2095-2106, Sep. 2006.
- [7] B. G. Lee and R. M. Tsang, "A 10-bit 50-MS/s pipelined ADC with capacitor-sharing and variable- g_m Opamp," *IEEE J. Solid-State Circuits*, vol. 44, no. 3, pp. 883-890, Mar. 2007.
- [8] S. Ryu, B. Song and K. Bacrania, "A 10-bit 50-MS/s pipelined ADC with Op amp current reuse," *IEEE J. Solid-State Circuits*, vol. 42, no. 3, pp. 475-485, Mar. 2007.
- [9] 박승재, 구병우, 이승훈, "저전력 모바일 응용을 위한 12비트 100MS/s 1V 24mW 0.13um CMOS A/D 변환기," 전자공학회논문지, 제47권 SD편, 제 8호, 56-63쪽, 2010년 8월
- [10] P. Y. Wu, V. S. Cheung, and H. C. Luong, "A 1-V 100-MS/s 8-bit CMOS switched-opamp pipelined ADC using loading-free architecture," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 730-738, Apr. 2007.
- [11] Y. J. Kim, K. H. Lee, M. H. Lee, and S. H. Lee, "A 0.31pJ/conversion-step 12-bit 100MS/s 0.13um CMOS A/D converter for 3G communication system," *IEICE Trans. on Electronics*, vol. E92-C, no. 9, pp. 1194-1200, Sept. 2009.
- [12] Y. J. Cho, et al., "An 8b 220MS/s 0.25um CMOS pipeline ADC with on-chip RC-filter based voltage references," in *Proc. Asia-Pacific Advanced System Integrated Circuits conf*, pp. 90-93, Aug. 2004.
- [13] P. Confalonieri, et al., "A 2.7mW 1MSps 10b analog-to-digital converter with built-in reference buffer and 1LSB accuracy programmable input ranges," in *Proc. Eur. Solid-State Circuits Conf*, pp. 255-258, Sept.

2004.

[14] M. G. Kim, et al., "An 8mW 10b 50MS/s pipelined ADC using 25dB opamp," in *Proc. Asian Solid-State Circuits Conf.*, pp. 49-52, Nov. 2008.

[15] H. C. Choi, et al., "A 15mW 0.2mm² 10b 50MS/s ADC with wide input range," in *Proc. IEEE ISSCC Dig. Tech. Papers*, pp. 842 - 851, Feb. 2006.

[16] T. Oshima, T. Takahashi and T. Yamawaki, "23-mW 50-MS/s 10-bit pipeline A/D converter with nonlinear LMS foreground calibration," in *Proc. ISCAS*, pp. 960-963, June 2009.

[17] B. Vaz, J. Goes and N. Paulino, "A 1.5-V 10-b 50MS/s time-interleaved switched-opamp pipeline CMOS ADC with high energy efficiency," in *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 17-19, Oct. 2004.

[18] I. Ahmed, J. Mulder and D. Johns, "A 50MS/s 9.9mW pipelined ADC with 58dB SNDR in 0.18um CMOS using capacitive charge-pumps," in *Proc. IEEE ISSCC Dig. Tech. Papers*, pp. 164 - 165, Feb. 2009.

— 저 자 소 개 —



송 정 은(정회원)
2010년 서강대학교 전자공학과
학사.
2010년~현재 서강대학교
전자공학과 석사과정
<주관심분야 : 고속 데이터 변환
기(A/D, D/A) 설계 등>



황 등 현(정회원)
2011년 서강대학교 전자공학과
학사.
2011년~현재 서강대학교
전자공학과 석사과정
<주관심분야 : 고속 데이터 변환
기(A/D, D/A) 설계 등>



황 원 석(정회원)
2008년 국민대학교 전자공학과
석사.
2008년~현재 하이닉스반도체
M8 사업부 Image 개발
그룹 Analog/Pixel 설계
팀.

<주관심분야 : Image sensor read-out circuit>



김 광 수(정회원)
1981년 서강대학교 전자공학과
학사.
1983년 서강대학교 전자공학과
석사.
1992년 서강대학교 전자공학과
박사.

1983년~1997년 한국전자통신연구원 책임연구원.
1998년~2005년 정보통신연구진흥원 책임연구원.
2005년~2008년 대구경북과학기술원 책임연구원.
2008년~현재 서강대학교 서강미래기술원 교수.
<주관심분야 : 아날로그 CMOS 및 파워 IC 소자
기술 등>



이 승 훈(평생회원)
1984년 서울대학교 전자공학과
학사.
1986년 서울대학교 전자공학과
석사.
1991년 미 Illinois대 (Urbana-
Champaign)공학박사.

1987년~1990년 미 Coordinated Science
Lab (Urbana)연구원.
1990년~1993년 미 Analog Device 책임연구원.
1993년~현재 서강대학교 전자공학과 교수.
<주관심분야 : 집적회로 설계, 데이터 변환기
(A/D, D/A)설계 등>