

논문 2011-48SD-5-3

# Ge mole fraction에 따른 SGOI MOSFET의 아날로그 특성

( Analog performances of SGOI MOSFET with Ge mole fraction )

이재기\*, 김진영\*\*, 조원주\*\*\*, 박종태\*\*

( Jae Ki Lee, Jin Young Kim, Won Ju Cho, and Jong Tae Park )

## 요약

본 연구에서는  $\text{Si}_x\text{Ge}_{1-x}$  버퍼층 위에 성장된 strained-Si에 Ge 농도에 따라 n-MOSFET를 제작하고 소자 제작 후의 열처리 온도에 따른 소자의 아날로그 성능을 측정 분석하였다. 전자의 유효 이동도는 Ge 농도가 증가함에 따라 증가하였으나 32%로 높을 때에는 열처리 온도에 상관없이 오히려 감소하는 것으로 측정되었다. 상온에서 Ge 농도가 증가함에 따라 증가 소자의 아날로그 성능 지수가 우수하였으나 32% 농도에서는 오히려 좋지 않았다. 고온에서 strained-Si의 전자 유효이동도 저하가 Si보다 심하기 때문 SGOI 소자의 아날로그 성능 저하가 SOI 소자보다 심한 것을 알 수 있었다.

## Abstract

In this work, the analog performances of n-MOSFET fabricated on strained-Si/relaxed Si buffer layer with Ge mole fractions and thermal annealing temperatures after device fabrication have been characterized in depth. The effective electron mobility was increased with the increase of Ge mole fraction for all annealing temperatures. However the effective electron mobility was decreased at the Ge mole fraction of 32%. The analog performances were enhanced with the increase of Ge mole fraction at the room temperature but they were degraded at the Ge mole fraction of 32%. Since the degradation of the effective electron mobility of strained-Si layer is more significant than one of conventional Si layer at elevated temperature, the degradation of analog performances of SGOI devices were increased than those of SOI devices.

**Keywords :** Strained-Si, Ge mole fraction, Analog performance, SOI

## I. 서론

실리콘 CMOS 소자 크기가 나노 미터 레벨로 축소되면서 전자의 유효이동도가 감소하게 되었다. 유효이동도 감소로 인한 소자의 성능 저하를 개선하기 위하여 strained-Si 층에 소자를 제작하는 연구가 활발하게 진행되고 있으며 집적회로 공정에 응용되고 있다. Strained-Si은 에너지 밴드를 근본적으로 변화시켜 전

자의 유효질량을 작게 하므로 전자의 이동도를 증가시키는 기술이다. Si 박막에 strain을 만드는 공정은 여러 종류가 있으나 epitaxy 공정으로  $\text{Si}_x\text{Ge}_{1-x}$ 의 버퍼층 위에 Si을 성장시켜 성장된 Si의 격자상수가 증가하게 되고 이로 인하여 biaxial strain이 생성되는 기술이 가장 많이 사용되고 있다<sup>[1~2]</sup>. 특히 Ge의 농도를 증가시키므로 전자의 이동도가 증가하는 것으로 알려져 이에 관한 많은 연구결과, Ge 농도가 약 30%정도 이상에서는 오히려 소자의 특성이 좋지 않는 것으로 알려져 있다<sup>[3]</sup>. 이는 Ge농도가 증가할수록  $\text{Si}_x\text{Ge}_{1-x}$  버퍼층에서 Ge이 out-diffusion 되므로 게이트 산화층에 계면전하 밀도를 증가하게 되어 전자의 이동도가 오히려 감소하는 데서 기인된 것으로 알려져 있다<sup>[4]</sup>. 또 게이트 산화층 성장 온도를 높게 하면 Ge가 out-diffusion 될 가능성이 많기 때문에 가급적이면 낮은 온도에서 게이트 산

\* 정회원, 가천의과학대학교 정보공학부  
(Dept of Information Engineering, Gachon Univ. of Medicine and Science)

\*\* 정회원, 인천대학교 전자공학과  
(Dept of Electronics Engineering, Univ. of Incheon)

\*\*\* 정회원, 광운대학교 전자재료공학과  
(Dept of Electronic Materials Engineering,  
Kwangwoon University)

접수일자: 2011년4월5일, 수정완료일: 2011년5월2일

화층을 성장시키고 있다. 현재까지  $\text{Si}_x\text{Ge}_{1-x}$  버퍼층 위에 Strained-Si층을 성장시키고 MOSFET를 제작하므로 소자의 성능 최적화와 아날로그 및 디지털 회로의 성능평가에 관한 많은 논문이 발표되었다<sup>[5~8]</sup>. 또한 Ge 농도에 따른 소자의 특성 분석과 소자 신뢰도에 관한 연구가 많이 진행되었다<sup>[9~10]</sup>. 이동도 증가에 따른 transconductance 증가는 소자의 전압이득을 증가 시키므로 Ge 농도에 따른 아날로그 성능지수 평가에 관한 연구가 요구된다.

그러나 지금까지 Ge농도에 따른 아날로그 성능지수 평가에 관한 연구와 소자 제작 후 열처리 온도가 소자의 성능에 미치는 영향과 온도에 따른 아날로그 성능평가에 대한 연구가 미흡한 실정이다.

본 연구에서는  $\text{Si}_x\text{Ge}_{1-x}$  버퍼층에 strained-Si을 성장시킨 SGOI 웨이퍼를 사용하여 Ge 농도에 따라 n-MOSFET를 제작하고 소자제작 후의 열처리 온도에 따른 소자의 아날로그 성능을 측정 분석하였다.

## II. 소자 제작

그림 1은 본 연구에 사용된 SGOI MOSFET의 소자 구조를 도식적으로 나타낸 것이다. 매몰층 산화막의 두께는 270nm이고 SiGe층의 두께는 100nm이다. 그리고 strained-Si 두께는 약 10nm 이며  $\text{Si}_x\text{Ge}_{1-x}$  버퍼층에서 Ge 농도는 15%, 27%, 32% 이었다. 게이트 산화막은 880°C 열산화로 성장시켰으며 두께는 약 5nm이다. 그리고 게이트는 LPCVD 방법으로 100nm 두께의 다결정 실리콘을 증착하였다. 소스 및 드레인의 불순물 주입은 500°C,  $\text{PH}_3$  분위기에서 플라즈마 방법으로 도핑하였다. 그리고 열처리 온도에 따른 소자의 특성을 분석하기 위하여 불순물 활성화를  $\text{H}_2/\text{O}_2$  분위기에서 850°C 및 1000°C 급속열처리 공정을 하였다. 또한 strained-Si MOSFET와 특성비교를 위하여 같은 조건에서 SOI n-MOSFET를 제작하였다. 제작된 소자의 크기는  $L/W=10/20\mu\text{m}$  이다.

## III. 상온에서 SGOI MOSFET 아날로그 성능

SGOI MOSFET의 최대 장점은 전자의 유효 이동도가 큰 것이므로 Ge의 농도에 따른 유효 이동도를 측정하였다. 그림 2는 열처리 온도 1000°C에서 Ge의 농도에 따른 전자의 유효 이동도를 SOI소자 같이 나타낸 것이

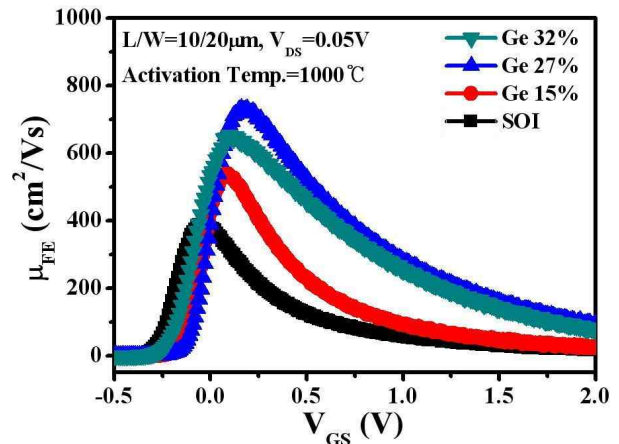


그림 2. Ge 농도에 따른 전자 유효 이동도

Fig. 2. Effective electron mobility as a function of  $V_{GS}$  with different Ge mole fractions.

다. SOI 소자에 비해 Ge가 27%인 SGOI 소자는 최대 전자 이동도가 약 1.8배 정도 증가 된 것을 확인할 수 있다. Ge 농도가 15%에서 27%로 증가함에 따라 전자 이동도가 증가하였으나 Ge 농도가 32%에서는 오히려 이동도가 감소한 것을 알 수 있다. 이런 결과는 타 연구 결과와 유사한 것으로 높은 Ge농도에서는 Ge이 strained-Si층으로 out-diffusion되어 strained-Si/SiO<sub>2</sub>층 경계에 쌓이게 되고 이로 인하여 상대적으로 bonding 에너지가 낮은 Ge-O bond가 만들어 지게 된다<sup>[2~4]</sup>. 단채널 현상을 줄이기 위해 본 연구에서와 같이 strained-Si 층을 초박막으로 하게 되면 out-diffusion된 Ge 원자가 쉽게 strained-Si/SiO<sub>2</sub>층 경계에 도달하게 된다. Ge-O bond는 약하기 때문에 채널전자에 의해 쉽게 깨어져 계면상태를 생성하게 된다.

이 계면상태는 Coulomb scattering 증가로 이어져 전자의 이동도가 감소하게 된다. 이동도 증가를 위한 최대 Ge 농도는 일정한 것이 아니라 소자의 공정 조건 특히 산화층 성장 온도에 따라 달라질 수 있는 것으로 알려져 있다<sup>[3]</sup>. 그러나 strong inversion에서는 1000°C 열처리를 한 32% 소자의 이동도가 27% 소자보다 조금 작은 것을 알 수 있다. 본 연구에서는 열처리 온도를 850°C 한 소자의 이동도보다 1000°C로 열처리한 소자의 이동도가 증가한 것을 확인하였다.

소자의 아날로그 성능을 평가하기 위해 가장 많이 사용되는 지수가  $g_m/I_{DS}$ 이다.  $g_m$ 은 소자의 증폭 능력을  $I_{DS}$ 는 원하는 증폭을 얻기 위한 전력 소비를 나타낸다. 또  $g_m/I_{DS}$ 는 소자의 동작 영역을 나타내며 소자의 크기를 결정할 때 사용된다. 일반적으로 strong inversion에

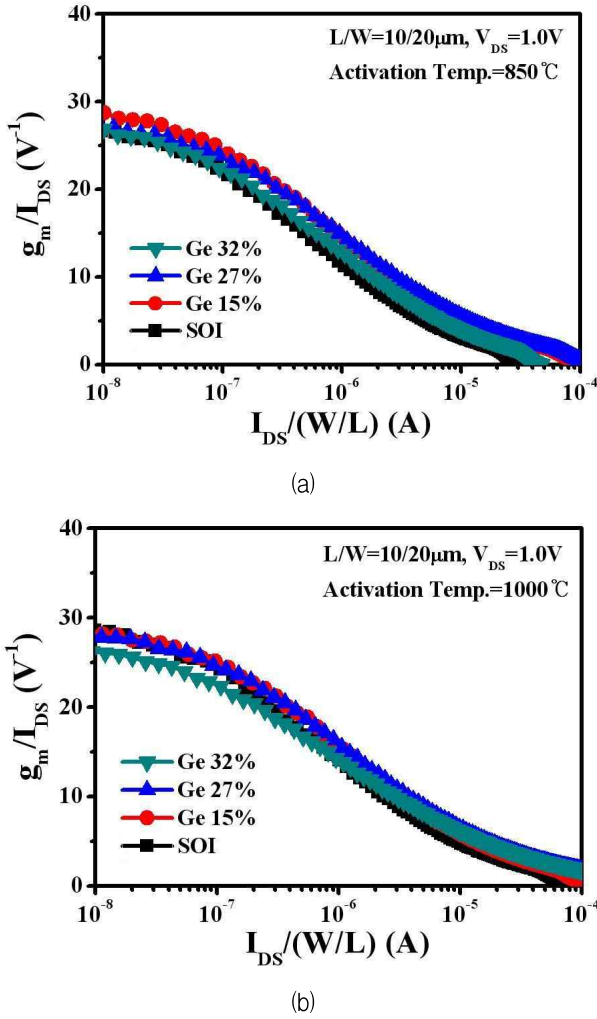


그림 3. Ge 농도에 따른  $g_m/I_{DS}$  특성, 열처리 온도 850°C (a), 열처리 온도 1000°C (b)  
 Fig. 3.  $g_m/I_{DS}$  as a function of  $V_{GS}$  with different Ge mole fractions at annealing temperature 850°C (a) and 1000°C (b).

서  $g_m/I_{DS}$ 는 다음 식과 같이 표현 된다<sup>[11]</sup>.

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2\mu C_{ox} W/L}{nI_{DS}}} \quad (1)$$

여기는  $n$ 은 body effect coefficient로 게이트와 채널의 coupling efficiency를 나타낸다.

그림 3은 열처리 온도 850°C와 1000°C에서 Ge 농도에 따른  $g_m/I_{DS}$  특성을 나타낸 것이다. 소자가 weak inversion 에서는  $I_{DS}$ 가  $V_{GS}$ 에 지수 함수적으로 증가하므로  $g_m/I_{DS}$ 가 크며 strong inversion에서는  $V_{GS}$ 에 따라 선형적으로 감소함을 알 수 있다. 열처리 온도 850°C와 1000°C 모두에서 SGOI 소자가 SOI 소자에 비해  $g_m/I_{DS}$ 가 크며 Ge의 농도가 15% 및 27% 소자에서는  $g_m/I_{DS}$

가 증가 하였으나 32% 소자는 오히려 27% 소자보다  $g_m/I_{DS}$ 이 감소한 것을 알 수 있다. 식(1)에서 Ge 농도와  $n$ 이 무관하다면 Ge 농도 증가에 따른  $g_m/I_{DS}$  증가는 전자의 이동도 증가로 해석할 수 있다. 또 Ge 농도 32% 소자의  $g_m/I_{DS}$  감소는 앞에서 서술한 것과 같이 Ge의 out-diffusion에 의한 계면상태의 증가에 기인된 것으로 사료된다. 그림으로부터 고온 열처리한 소자에서는 strong inversion 영역에서 Ge 농도가 32%되어도  $g_m/I_{DS}$  감소가 거의 없는 것으로 나타났다.

Early 전압( $V_{EA}$ )은 current mirror와 증폭기 회로의 전압이득을 결정하는 중요한 요소이므로 아날로그 성능을 평가하기 위해 많이 사용되고 있다. 포화영역에서 측정으로 얻은  $V_{EA}$ 는 다음 수식과 같이 intrinsic device의  $V_A$ 와 다르다고 알려져 있다<sup>[12]</sup>.

$$V_{EA} = V_A \left( 1 + \frac{V_{DS} - V_{DSAT}}{V_A} \right) \left[ 1 + R_S (V_{GS} - V_T) K_{eff} \left( 1 + \frac{V_{DS} - V_{DSAT}}{V_A} \right) \right] \quad (2)$$

여기서  $K_{eff} = \frac{\mu_{eff} C_{ox} W}{L}$  로서 전자 유효 이동도에 의해 결정되며  $R_S$ 는 직렬저항 성분이다.  $V_A$ 는 게이트 길이가 짧은 소자에서는 주로 channel length modulation, drain induced barrier lowering, substrate current body effect에 의하여 결정되지만 본 연구에서와 같이 게이트 길이가 10 $\mu m$ 로 비교적 큰 경우에는 영향이 적다. 그림 4는 열처리 온도 850°C와 1000°C에서 Ge 농도에 따른  $V_{EA}$ 를 나타낸 것이다.  $V_{EA}$ 는 포화 영역에서  $I_{DS}$ - $V_{DS}$  특성 곡

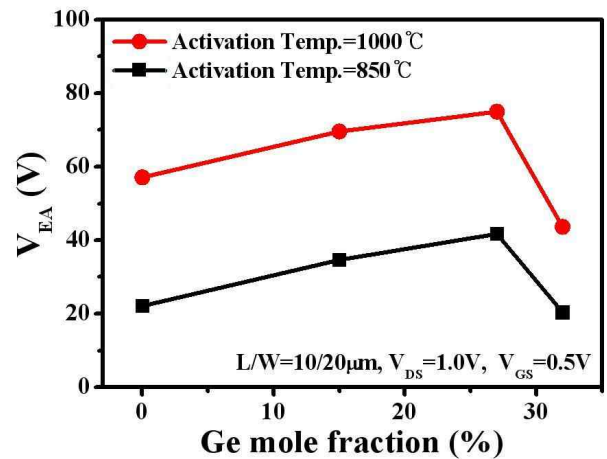


그림 4. Ge 농도에 따른 Early 전압  
 Fig. 4. Early voltage as a function of Ge mole fractions.

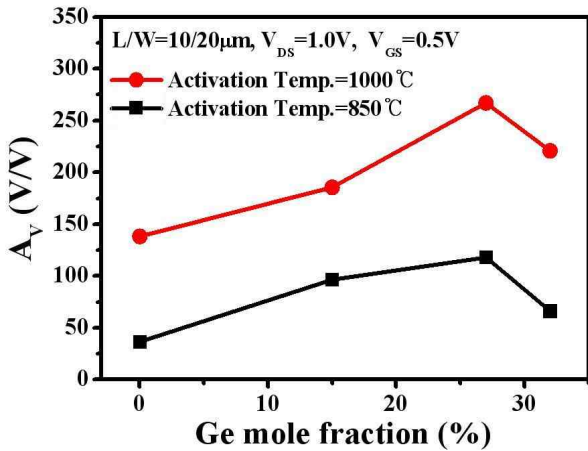


그림 5. Ge 농도에 따른 전압이득  
Fig. 5. Voltage gain as a function of Ge mole fractions.

선의 기울기가 x축과 만나는 전압으로 측정 하였다. 그림 으로부터 1000°C 열처리한 소자의  $V_{EA}$ 가 크며 Ge 농도가 증가할수록  $V_{EA}$ 가 증가하였으나 32% 소자에서는 오히려 감소한 것을 알 수 있다. 식 (2)에서와 같이 이동도가 감소하면  $V_{EA}$ 가 감소하는 것을 알 수 있다.

아날로그 성능 지수 중 전압 이득( $A_V$ )은 다음 수식과 같이  $g_m/I_{DS}$ 와  $V_{EA}$ 의 곱으로 나타낼 수 있다<sup>[11]</sup>.

$$A_V = \frac{\Delta V_{out}}{\Delta V_{in}} = \frac{g_m}{g_D} = \frac{g_m}{I_{DS}} V_{EA} \quad (3)$$

그림 5는 열처리 온도 850°C와 1000°C에서 Ge 농도에 따른  $A_V$ 를 나타낸 것이다. 앞의 결과와 같이 1000°C에서 열처리한 소자의  $A_V$ 가 크며 Ge 농도가 증가할수록  $A_V$ 가 증가하다가 32% 소자는 감소하는 것을 알 수 있다.

#### IV. 고온에서 SGOI MOSFET 아날로그 성능

그림 6은 1000°C에서 열처리한 Ge 농도 27% 소자의 온도에 따른 전자의 유효 이동도 특성을 나타낸 것이다.

온도가 증가함에 따라 SOI 소자보다 SGOI 소자의 전자의 이동도 감소가 심함을 알 수 있는데 이는 고온에서 계면상태의 이온화 현상이나 strained-Si의 surface roughness 증가 현상으로 설명하고 있다<sup>[13]</sup>. 그림 7은 1000°C에서 열처리한 Ge 농도 27% 소자의 온도에 따른  $V_{EA}$ 를 나타낸 것으로 온도가 증가하면  $V_{EA}$ 는 감소하는 것을 확인할 수 있다. SGOI 소자의  $V_{EA}$  감소가 SOI 소자보다 심한 것을 알 수 있는데 이는 식 (2)

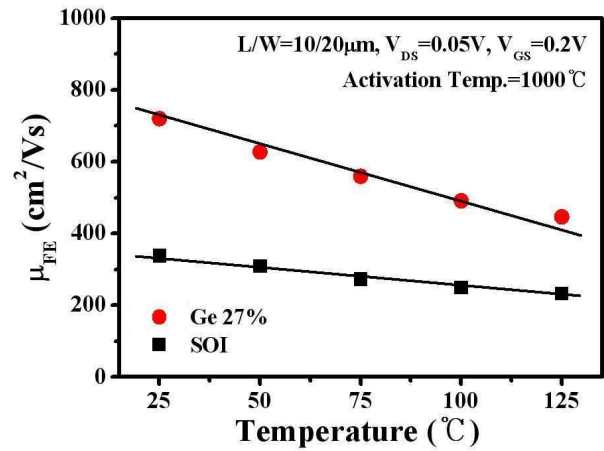


그림 6. 온도에 따른 전자의 유효 이동도  
Fig. 6. Effective electron mobility with temperature.

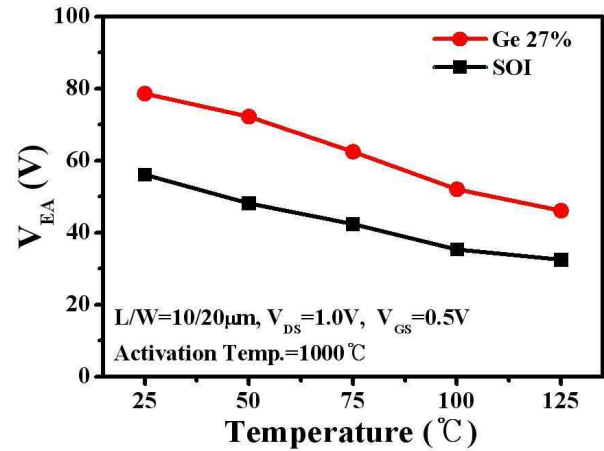


그림 7. 온도에 따른 전자의 Early voltage  
Fig. 7. Early voltage Effective as a function of temperature.

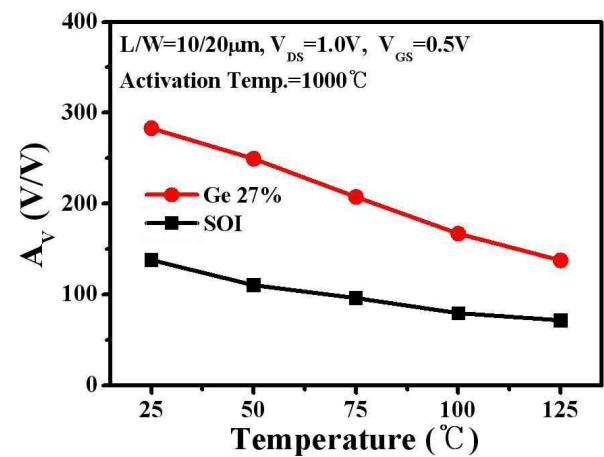


그림 8. 온도에 따른 전자의 전압이득  
Fig. 8. Voltage gain as a function of temperature.

에서와 같이 고온에서 SGOI 소자의 이동도 감소가 심한 데서 연유된 것으로 사료된다. 그림 8은 1000°C에서 열처리한 Ge 농도 27% 소자의 온도에 따른  $A_V$ 를 나타낸 것으로 모든 온도에서 SGOI 소자의  $A_V$ 가 크지만 온도가 증가하면  $A_V$  감소가 심함을 알 수 있다. SOI 소자에서 self heating에 의한 negative resistance를 고려한  $A_V$ 의 온도 의존성은 다음 수식으로 표현할 수 있다<sup>[14]</sup>.

$$A_V = \frac{g_m}{g_{DS} + R_{TH}\theta I_{DS}} \quad (4)$$

여기서  $\theta$ 는 이동도의 온도 계수이며  $R_{TH}$ 는 열저항이다. SGOI 소자에서는 SiGe의 열저항이 Si 보다 크며 고온에서  $V_{EA}$  감소가 심하므로 SOI 소자에 비해 고온에서  $A_V$  감소가 큰 것으로 사료된다.

## V. 결 론

SGOI 소자의 Ge 농도와 열처리 온도에 따른 소자의 아날로그 특성을 측정 분석하였다. Ge농도가 증가함에 따라 전자의 유효 이동도는 증가 하였으나 32%로 높을 때에는 열처리 온도에 상관없이 오히려 감소하는 것으로 측정되었다. 아날로그 성능지수인  $g_m/I_{DS}$ , Early voltage 및 전압이득의 측정 결과로부터 SGOI 소자가 SOI 소자보다 아날로그 성능이 우수함을 알 수 있었다. 그러나 온도가 증가하면 아날로그 성능 지수의 감소폭이 SOI 소자보다 더 큰 것을 알 수 있었다.

## 참 고 문 헌

[1] T.A. Langdo, M.T. Currie, Z.Y. cheng, J.G. fiorenza, M. Erdtmann, G. Braithwait, C.W. Leitz, C.J. Vineis, J.A. carlin, A. Lochtefeld, M.T. Bulsara, I. Lauer, D.A. Antoniadis, M. Somerville, "Strained Si on insulator technology: from materials to devices," *Solid-State electronics*, vol. 48, pp.1357-1367, 2004.

[2] M.J. Lee, and E.A. Fitzgerald, "Strained Si, SiGe, and Ge channel for high-mobility metal-oxide-semiconductor field-effect-transistors," *Journal of Applied Physics*, vol. 97, 011101, 2005.

[3] S.H. Olsen and A.G. Oneill, "Study of strain relaxation in Si/SiGe metal-oxide-semiconductor field-effect transistors," *Journal of Applied*

*Physics*, vol.97, 114504, 2005.

[4] G.K. Dalapati, S. Chattopadhyay, K.S.K. Kwa, S.H. Olsen, Y.L. Tsang, R. Agaiby, A.G. Oneill, P. Dobroz, and S.J. Bull, "Impact of strained-Si thickness and Ge out-diffusion on gate oxide quality for strained-Si surface channel n-MOSFETs," *IEEE Trans. on Electron Device*, vol. 53, pp.1142-1152, 2006.

[5] M.A. Pavanello, J.A. Martino, E. Simoen, R. Rooyackers, N. Collaert, C. Claeys, "Analog performance of standard and strain triple gate silicon-on-insulator nFinFETs," *Solid-State electronics*, vol. 52, pp.1904-1909, 2008.

[6] O.M. Alatise, K.S.K. Kwa, S.H. Olsen, and A.G. Oneill, "Improved analog performance in strained-Si MOSFET using the thickness of the Silicon-Germanium strain-relaxed buffer as a design parameter," *IEEE Trans. on Electron Device*, vol. 56, pp.3041-3048, 2009.

[7] J.J. Yan Kuo, W. Po-Nien Chen, and P. Su, "A comprehensive investigation of analog performance for uniaxial strained PMOSFETs," *IEEE Trans. on Electron Device*, vol. 56, pp.1142-1152, 2006.

[8] M. Kondo, N. Sugii, M. Miyamoto, Y. Hoshino, M. Hatori, W. Hirasawa, Y. Kimura, S. Kimura, Y. Kondo, and I. Yoshida, "Strained-silicon MOSFETs for analog applications: utilizing a supercritical-thickness strained layer for low leakage current and high breakdown voltage," *IEEE Trans. on Electron device*, vol. 53, pp. 1226-1233, 2006.

[9] W.Y. Loh, P. Majhi, S.H. Lee, J.H. Oh, B. Sassman, C. Young, G. Bersuker, B.J. Cho, C.S. Park, C.Y. Kang, P. Kirsch, B.H. Lee, H.R. Harris, H.H. Tseng, R. Jammy, "The effects of Ge composition and Si cap thickness on hot carrier reliability of Si/Si<sub>x</sub>Ge<sub>1-x</sub> p-MOSFETs with high-K/metal gate," *Sym. on VLSI Technology*, pp.56-57, 2008.

[10] C.H. Liu and T.M. Pan, "Hot carrier and negative-bias temperature instability reliabilities of strained-Si MOSFETs," *IEEE Trans. on Electron Device*, vol. 54, pp. 1799-1803, 2007.

[11] J.P. Colinge, "Fully-depleted SOI CMOS for analog application," *IEEE Trans. on Electron Device*, vol. 45, pp. 1010-1016, 1998.

[12] V. Subramanian, A. Mercha, B. Parvais, J. Loo, C. Gustin, M. Dehan, "Impact of fin width on digital and analog performances of FinFET," *Solid-State Electronics*, vol. 51, pp.551-559, 2007.

[13] O. Bonno, S. Barraud, F. Andrieu, D. Mariolle, F. Rochette, M. Casse, J.M. Hartmann, F. Bertin, and O. Fynot, "High-Field electron mobility in biaxial-tensile strained SOI: Low temperature measurement and correlation with the surface morphology," Sym. on VLSI Technology, pp. 134-135, 2007.

[14] M. Fox and S. Brodsky, "Effects of self heating induced negative output conductance in SOI circuits," in Proc. SOI Conf., pp.152-153, 1993.

— 저 자 소 개 —



이 재 기(정회원)  
 1990년 인천대학교 대학원 전자공  
 학과 졸업(공학석사)  
 2002년 인천대학교 대학원 전자공  
 학과 졸업(공학박사)  
 1992년~2005년 가천길대학 정보  
 통신과 교수  
 2006년~현재 가천의과학대학교 정보공학부 교수

김 진 영(정회원)  
 대한전자공학회 논문지  
 제 47권 SD편 제 9호

조 원 주(정회원)  
 대한전자공학회 논문지  
 제45권 SD편 제 4호

박 종 태(정회원)-교신저자  
 대한전자공학회 논문지  
 제 40권 SD편 제9호