

논문 2011-48SD-4-5

# USN 센서노드용 5.0GHz 광대역 RF 주파수합성기의 구현

( Implementation of 5.0GHz Wide Band RF Frequency Synthesizer for  
USN Sensor Nodes )

강 호 용\*, 김 세 한\*, 표 철 식\*, 채 상 훈\*\*

( Ho-Yong Kang, Se-Han Kim, Cheol-Sig Pyo, and Sang-Hoon Chai )

## 요 약

IEEE802.15.4 체계의 USN 센서노드 무선통신부에 내장하기 위한 5.0GHz 광대역 RF 주파수 합성기를 0.18 $\mu$ m 실리콘 CMOS 기술을 이용하여 제작하였다. 고속 저잡음 특성을 얻기 위하여 VCO, 프리스케일러, 1/N 분주기,  $\Sigma$ - $\Delta$  모듈레이터 분수형 분주기, PLL 공통 회로 등의 설계 최적화에 중점을 두고 설계하였으며, 특히 VCO는 N-P MOS 코어 구조 및 12단 캡 뱅크를 적용하여 고속 및 광대역 튜닝 범위를 동시에 확보하였다. 설계된 칩의 크기는 1.1\*0.7mm<sup>2</sup>이며, IP로 활용하기 위한 코어 부분의 크기는 1.0\*0.4mm<sup>2</sup>이다. 주파수합성기를 제작한 다음 측을 통하여 분석해 본 결과 발진 범위 및 주파수 특성이 양호하게 나타났다.

## Abstract

This paper describes implementation of the 5.0GHz RF frequency synthesizer with 0.18 $\mu$ m silicon CMOS technology being used as an application of the IEEE802.15.4 USN sensor node transceiver modules. To get good performance of speed and noise, design of the each module like VCO, prescaler, 1/N divider, fractional divider with  $\Sigma$ - $\Delta$  modulator, and common circuits of the PLL has been optimized. Especially to get excellent performance of high speed and wide tuning range, N-P MOS core structure and 12 step cap banks have been used in design of the VCO. The chip area including pads for testing is 1.1\*0.7mm<sup>2</sup>, and the chip area only core for IP in SoC is 1.0\*0.4mm<sup>2</sup>. Through analysing of the fabricated frequency synthesizer, we can see that it has wide operation range and excellent frequency characteristics.

**Keywords** : USN, 센서노드, 5.0GHz, RF, 주파수합성기, PLL, 회로 설계

## I. 서 론

USN(ubiquitous sensor network)은 불특정 장소에

부착된 태그와 센서로부터 사물 및 환경 정보를 감지, 저장, 가공하여 인터넷을 통해 전달하는 기술로 거의 모든 인간 생활에 활용하는 것을 목적으로 한다. USN 서비스의 경우, 현재는 건물의 안전과 같은 공공의 목적, 생태계나 환경오염의 관측과 같은 과학적인 목적에 주로 응용 서비스 기술이 개발되고 있으나, 점차 인간의 생체에 응용될 수 있는 상황 인지의 기능을 갖춘 지능형 서비스로 발전할 전망이다. 또한 환경, 기상, 생태계, 재해 예측 및 방재, 시설제어, 교통정보 및 제어, 물류, 가정/사무자동화, 의료, 복지, 교육, 방법, 보안 등 광범위한 분야로 적용될 예정이다<sup>[1]</sup>.

IEEE 802.15.4-2006 표준과 지그비(ZigBee)를 기반으로 하여 제안된 USN 주파수 대역은 868.3MHz 대역의

\* 정회원, 한국전자통신연구원 USN기본기술연구팀  
(USN Basic Technology Research Team, ETRI)

\*\* 평생회원-교신저자, 호서대학교 전자공학과  
(Dept. of Electronics Engineering, Hoseo University)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음.[10035380, 초절전 센서네트워크 핵심기술 개발]

※ 본 연구는 IDEC의 일부 CAD tool 지원에 의해 수행되었음.

접수일자: 2010년11월4일, 수정완료일: 2011년3월22일

유럽 주파수대역과 902~928MHz 대역의 복미 주파수 대역, 그리고 ISM 밴드로서 세계 공용으로 사용 가능한 2.4~2.48GHz 대역의 3개 대역으로 구분되고 있다<sup>[1]</sup>.

본 연구에서는 유럽 주파수대역과 복미 주파수대역 뿐만 아니라 ISM 주파수 대역까지도 모두 수용하는 광대역 센서노드 무선통신부용 RF 주파수합성기를 구현하고자 한다. 칩 설계에는 현재 보편화되어 있음, 소비전력 등 칩의 성능 면과 생산단가 면에서 유리한 CMOS 기술을 사용하였다.

### II. 센서노드의 구성

그림 1은 USN 센서노드 무선통신부의 블록도이며 안테나, 송수신부, 주파수합성기, 신호 직병렬 변환기 등으로 이루어진다. 무선통신용 주파수합성기는 높은 주파수영역에서 동작하여야 하므로 스퍼스(spurs)와 위상잡음(phase noise) 특성이 좋아야한다. 이들 특성은

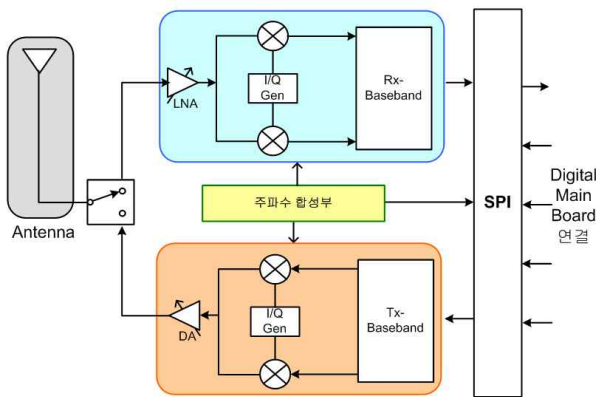


그림 1. 센서노드 RF 무선 통신부의 구성도  
Fig. 1. Block diagram of sensor node RF wireless communication module.

No. of Channels	Channel Center frequency
$k = 0$	868.3 MHz
$k = 1, 2, \dots, 10$	$906 + 2(k-1)$ MHz
$k = 11, 12, \dots, 26$	$2405 + 5(k-11)$ MHz

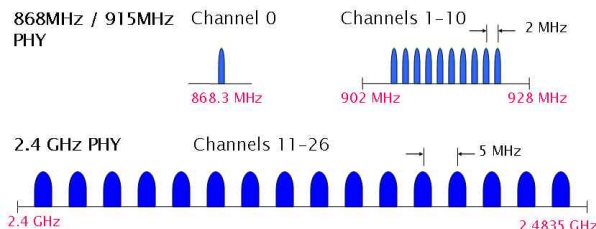


그림 2. 주파수합성기의 주파수 대역 및 채널  
Fig. 2. Band width and channels of frequency synthesizer.

단말기에서의 수신 감도와 송신 신호의 출력 스펙트럼 특성에 크게 영향을 미친다. 칩 면적 또한 제작비용 절감 및 소비 전력 절약을 고려하여 최대한 줄일 필요가 있다. 그림 2는 본 연구에서 구현하려는 주파수합성기의 대역 및 채널을 표시한 것으로서 868.3MHz의 유럽 주파수 대역 1개 채널과 902~928MHz, 2MHz 간격의 복미 주파수 대역 10개 채널 및 2400~2483.5MHz, 5MHz 간격의 ISM 주파수 대역 12개 채널을 포함한다.

### III. 주파수합성기 회로의 설계

본 연구에서는 발진 주파수 범위를 줄이고 효율적인 I-Q 신호 생성을 위하여 860 및 900MHz 대역은 실제 사용 주파수보다 4배, 2.4GHz 대역은 실제 사용 주파수보다 2배의 주파수로 동작하는 3.4~5.0GHz 광대역(UWB; Ultra Wide Band)의 분수형(fractional)-N RF PLL 주파수합성기를 0.18 $\mu$ m CMOS 기술을 이용하여 설계하였다. 두 개 이상의 서로 다른 대역의 주파수를 수용하기 위해서는 주파수합성기 내에서 여러 개의 각기 다른 VCO를 사용하는 것이 일반적인 방법이나, 본 연구에서는 칩의 면적과 전력소모를 줄이기 위하여 한 개의 광대역 VCO를 사용하여 3개의 주파수 대역을 포함하는 광대역 PLL 구조를 선택하였다. 이를 위하여 고속 특성을 갖는 동시에 넓은 범위에서 주파수 튜닝이 가능한 VCO 회로를 채택하였으며, 고속 동작이 가능하고 잡음 특성이 우수한 PLL 공통 회로 및 주파수 분주기(frequency divider) 회로를 채택하였다. 그림 3은 본 연구에서 설계한 한 개의 VCO로 동작하는 광대역 주파수합성기 회로의 구조를 나타낸 블록도로서 기본적으로는 분수형-N PLL의 기본 구조인 PFD(phase frequency detector), CP(charge pump), LPF(low pass filter), VCO(voltage controlled oscillator), 1/8 프리스

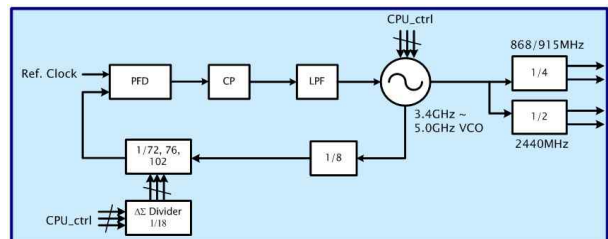


그림 3. 주파수합성기 회로의 블록도  
Fig. 3. Block diagram of frequency synthesizer circuit.

케일러(prescaler), 1/64~1/126 분수형-N 분주기, 분수형-N 분주기를 제어하기 위한  $\Sigma$ - $\Delta$  모듈레이터로 구성된다<sup>[2~6]</sup>. VCO 오른쪽의 1/4 및 1/2 분주기는 860 및 900MHz 대역과 2.4GHz 대역에 대하여 전체 발진 주파수 범위를 줄이고 각각의 I-Q 신호를 만들기 위한 주파수 하향 변환기이다.

1. VCO

RF PLL에서 우수한 속도 및 잡음 특성을 얻기 위해서는 무엇보다도 먼저 VCO의 설계가 최적화되어야 한다. 그 중에서도 특히 860 및 900MHz 대역과 2.4GHz 대역을 동시에 포함하기 위하여 VCO의 주파수 튜닝 범위가 3473~4967MHz(1494MHz 구간, 중심 주파수 대비 35.4%)로 매우 넓어야 한다. 그런데 LC 발진기의 특성 상 하나의 VCO를 이용하여 넓은 튜닝 범위를 확보하기가 어려우므로 VCO 설계 측면에서 상당한 어려움이 있다. 그림 4는 본 연구에서 사용한 VCO의 회로도이며 고속, 위상잡음 특성이 우수한 N-P MOS 코어형 구조를 갖는 LC 탱크 회로를 채택하였다<sup>[3, 6]</sup>. 광대역의 주파수 튜닝 특성을 얻기 위하여 넓은 범위의 커패시턴스 변화가 가능한 바랙터(varactor) 회로 채용과 함께 4비트 제어신호에 의하여 12단계의 광범위로 커패시턴스 변환이 가능한 캡-뱅크(cap.-bank)를 병렬로 연결하였다<sup>[7]</sup>. 또한 전원 잡음 특성 및 PSRR(power supply rejection ratio) 특성을 개선하기 위하여 VCO 모듈은 전원을 V<sub>DD</sub>로부터 직접 공급하지 않고 1.6V 상전원(voltage regulator)을 통하여 공급하게 하였다. 이 상전원에는 제어 스위치를 설치하여 시스템 대기 상태에서는 VCO에 공급되는 전원을 차단함으로써 VCO의 발진을 정지시켜서 주파수합성기 모듈에서 발생하는 전력소모를 최대한 줄여서 전

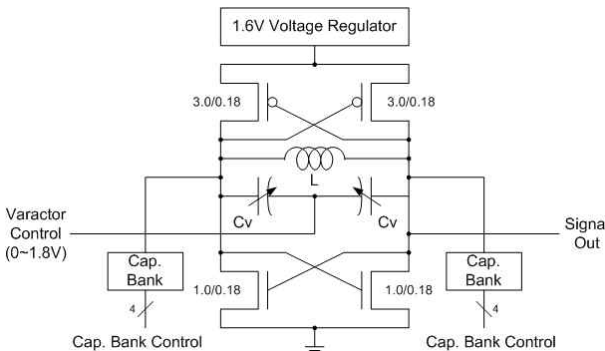


그림 4. 설계된 VCO의 구성도  
Fig. 4. Block diagram of VCO.

체 USN 시스템의 전력소모를 줄이는 구조로 설계하였다<sup>[7]</sup>.

2. 프리스케일러

VCO에서 발생하는 주파수는 PLL 전체 회로로 볼 때 가장 속도가 빠르므로 그 다음 단계에 배치되는 주파수분주기인 프리스케일러 역시 높은 동작속도를 요한다. 본 연구에서는 그림 5와 같이 단순하면서도 빠른 동작이 가능한 3개의 1/2 분주기를 직렬 연결하여 1/8 프리스케일러를 구성하였다. 모의실험 결과 이 회로는 5.5GHz 이상의 주파수에서도 동작하는 매우 빠른 특성을 보여 주었다.

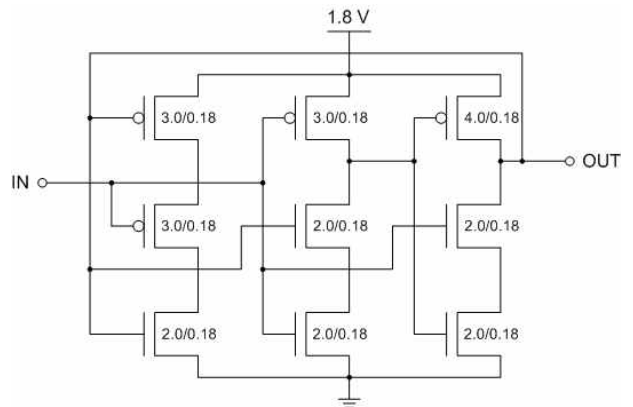


그림 5. 설계된 프리스케일러의 단위 블록 회로  
Fig. 5. Unit block circuit of designed prescaler.

3. N-분주기

프리스케일러로부터 출력된 신호의 주파수를 기준클록인 6MHz와 일치시키기 위하여 신호를 64~126 구간에서 정수로 분주할 수 있는 분주기를 설계하였다. 1/64는 1/2분주기를 6개 직렬로 연결하여 구현하였으며, 여기에 다시 1/2분주기를 6개 직렬로 연결한 다음 외부에서 6비트 신호를 이용하여 제어함으로써 1/64~1/126 분주를 실현하였다.

4.  $\Sigma$ - $\Delta$  모듈레이터 분수형 분주기

주파수합성기의 분주비를 소수점 아래까지의 값으로 생성하고 분수형 스퍼를 억제하기 위하여 18비트 제어신호에 의하여 동작하는  $\Sigma$ - $\Delta$  모듈레이터를 설계하였다. 표 1은 분수형-N 분주기에 의한 주파수 생성계획을 나타낸 것이다.

표 1. PLL 주파수 생성 계획  
Table 1. Plan of PLL frequency synthesis plan.

F <sub>pll</sub> (MHz)	F <sub>vco</sub> (MHz)	N	Fractional	Err. (Hz)
868.3000031	3473.2000122	72	0.3583336	3.1
906.0000000	3624.0000000	75	0.5000000	0
908.0000153	3632.0000610	75	0.6666679	30.5
910.0000305	3640.0001220	75	0.8333359	61.0
⋮	⋮	⋮	⋮	⋮
922.0000305	3688.0001220	76	0.8333359	61.0
924.0000000	3696.0000000	76	1.0000000	0
2404.9999695	4809.9999390	100	0.2083321	-61.0
2410.0000305	4820.0000610	100	0.4166679	61.0
2415.0000000	4830.0000000	100	0.6250000	0
⋮	⋮	⋮	⋮	⋮
2475.0000000	4950.0000000	102	0.1250000	0
2479.0000305	4959.9999390	102	0.3333321	-61.0

5. PLL 공통 회로

PFD, CP, LPF 등 PLL 공통 회로 역시 PLL의 위상 잡음 및 스퍼 특성에 영향을 미치므로 이들 잡음을 최소화하는 방향으로 설계하였다. 특히 PFD의 기준 클럭의 주파수를 잡음 특성을 고려하여 6MHz로 결정함으로써 기준 스퍼(reference spurs)가 채널 중심 주파수로부터 6MHz 영역 바깥에서 발생하게 하였다. 그밖에 위상잡음을 최소화하기 위하여 저역필터는 저주파 및 고주파 잡음 흡수 특성이 우수한 3차 필터로 설계하였다.

IV. 레이아웃 설계

설계된 회로도에 대하여 0.18 $\mu$ m 2-poly 6-metal CMOS 아날로그 기술을 이용하여 레이아웃 설계를 하였다. 그림 6은 설계한 광대역 방식 회로의 칩 도면으로서 I/O 패드(pad)를 포함한 크기는 1.1\*0.7mm<sup>2</sup>이고, 패드를 제외하면 1.0\*0.4mm<sup>2</sup>이다. 센서노드 SoC를 위한 실용화 설계 시에는 패드 등 불필요한 면적을 줄여서 IP

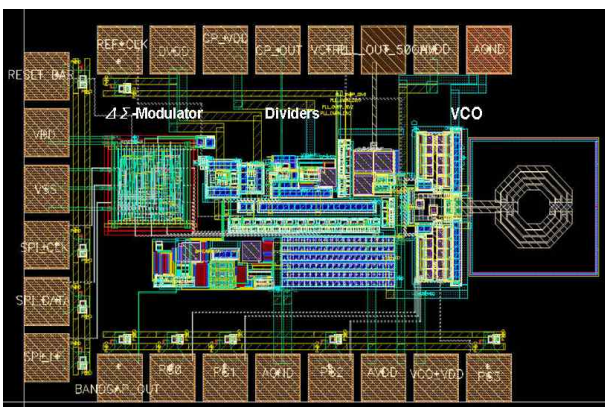


그림 6. 설계된 칩의 레이아웃 도면  
Fig. 6. Layout of designed chip.

화함으로써, 면적을 현재의 2/3 이하로 줄일 수 있을 것으로 예상된다. 그림에서 왼쪽 부분은 Verilog로 설계되어 합성된  $\Sigma$ - $\Delta$  모듈레이터이고, 중간 부분은 각종 분주기이며, 오른쪽은 LC를 포함한 VCO에 해당한다. 협대역 방식 회로의 칩 도면도 캡-뱅크와 분주기를 제외한 나머지는 광대역 방식과 동일하다.

본 설계에서는 단일 칩 구성을 위하여 특별한 회로 및 레이아웃 설계 방법을 적용하였다. 즉, 회로는 잡음 방지를 위하여 차동(differential)회로 구조를 기본적으로 적용하였으며, 각 블록에는 가드링(guard ring)을 설치하여 물리적으로 완전 분리하였다. 그밖에 두 회로의 전원(VDD) 및 접지(ground) 패드도 완전 분리하였다<sup>[8-9]</sup>.

VI. 측정 결과

그림 7은 본 논문에서 구현한 주파수합성기의 성능을 테스트하기 위해 제작한 테스트 보드로서 오른쪽은

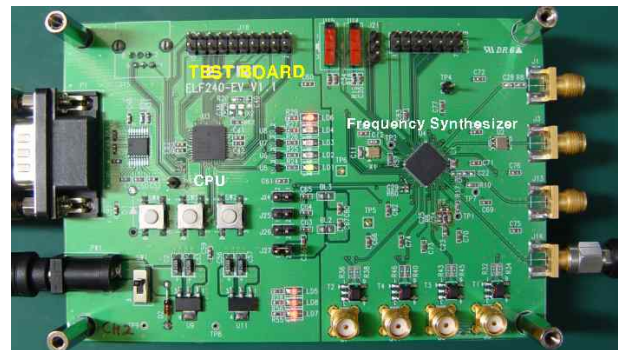


그림 7. 제작 칩의 측정을 위한 테스트 보드  
Fig. 7. Test board of fabricated chip.

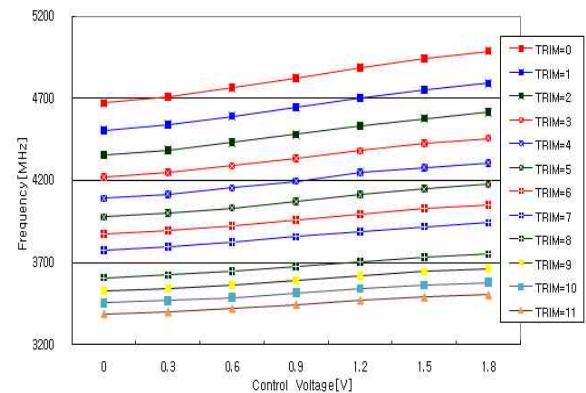


그림 8. 캡 뱅크 및 제어전압에 따른 VCO 발진주파수  
Fig. 8. VCO frequency variation versus cap.-bank and control voltage.

본 연구에 의한 주파수합성기 칩이며, 왼쪽은 채널 제어 등 주파수합성기의 동작 제어를 위한 CPU 칩이다.

그림 8은 캡-뱅크 및 제어전압에 따른 VCO 발진주파수를 측정된 것이다. 3388~4988MHz(중심 주파수 대비 38.2%)의 튜닝 범위를 가지므로 실제 동작영역인 3473~4967MHz(중심 주파수 대비 35.4%)에 비해 낮은 주파수 영역은 84MHz, 높은 주파수 영역은 21MHz의 여유가 있다. VCO의 주파수 영역은 만족되었으나 실제 USN 칩 제작 시 공정변화 등을 고려하면 높은 주파수 영역의 여유를 좀 더 크게 갖고 갈 필요가 있다. VCO는 평균 110MHz/V의 주파수 이득을 갖는다.

그림 9는 분할비가 101.4583(출력 주파수 4870GHz)로 설정되었을 때의 스퍼 잡음을 측정된 결과이다. 문제가 될 만한 특정 스퍼는 발생하지 않았으며, 6MHz 기본 스퍼에 해당하는 잡음은 -48.43dB로 비교적 양호한 결과가 나타났다. 그러나 스퍼 특성과 채널 간의 잡음 특성을 좀 더 개선하기 위해서는 기준 주파수를 현재의 6MHz에서 12MHz로 2배 올리는 것이 바람직할 것으로 보인다. 그림 10은 같은 조건의 PLL 동작 상태에서 VCO의 위상잡음을 측정된 결과이다. 위상잡음 특성 역시 1MHz 오프셋(offset)에서 -95.59dBc/Hz, 2MHz 오프셋에서 -101.44dBc/Hz로서 비교적 양호한 특성을 보였으나 단일 주파수만 생성하는 일반적인 협대역 주파수합성기에 비해서는 높게 나타났다<sup>[6, 9]</sup>. 이는 LC VCO를 광대역으로 동작시키기 위하여 캡-뱅크를 통하여 커패시턴스를 광범위하게 변화시켰기 때문에 VCO의 Q 값(quality factor)이 낮아져서 나타나는 현상으로 분석되며, VCO를 구성하는 L과 C의 크기 비

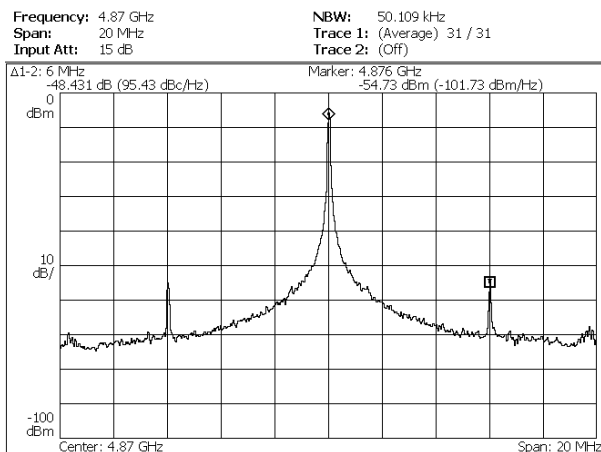


그림 9. PLL 회로의 기본 스퍼 특성  
Fig. 9. Fundamental spurs of PLL circuit.

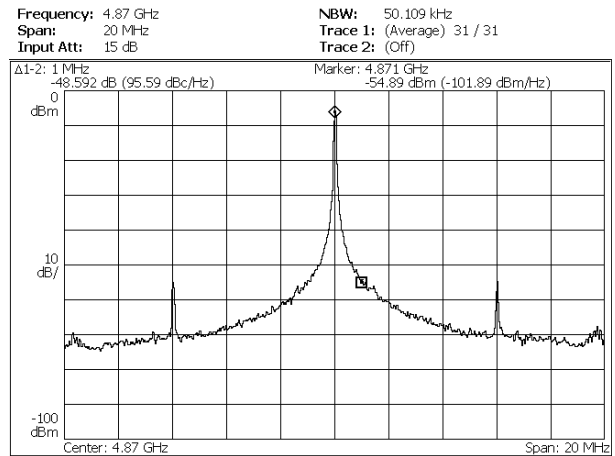


그림 10. PLL 회로의 위상잡음 특성(1MHz 오프셋)  
Fig. 10. Phase noise of PLL circuit(1MHz offset).

표 2. PLL 회로의 성능 변수

Table 2. Performance parameters of the PLL circuit.

Reference frequency	6MHz
Loop bandwidth	300KHz
N division ratio	72, 75, 76, 100, 101, 102
VCO gain	146MHz/V
Phase noise	-95.59dBc/Hz@1M -101.44dBc/Hz@2M
Spurious tone	-48.43dB

를 최적화한다면 좀 더 좋은 위상잡음 특성을 얻을 수 있을 것으로 본다. 그밖에 측정 시 보드 상의 CPU와 같은 다른 소자로부터 오는 잡음, 공급된 전원전압에 의해 비롯된 잡음이나 필터를 구성하기 위한 외부 수동소자에 의한 잡음 등 다양한 외부 환경에 의해서 나타나는 잡음을 최적화한다면 더 좋은 동작 특성을 얻을 수 있을 것으로 본다<sup>[8~9]</sup>. 표 2는 PLL 설계에 사용된 각종 변수 및 주요 측정 결과이다.

## VII. 결 론

본 연구에서는 868.3MHz 유럽 주파수대역과 902~926MHz 북미 주파수대역 및 2.45GHz ISM 세계공용 주파수대역에서의 응용을 위한 5.0GHz 분수형-N 주파수합성기를 설계 제작한 다음 특성을 분석해 보았다. VCO 발진주파수는 3388~4988MHz의 튜닝 범위를 가져서 실제 동작영역인 3473~4967MHz에 비해 낮은 주파수 영역은 84MHz, 높은 주파수 영역은 21MHz의 여유가 있었으며, 평균 146MHz/V의 주파수 이득을 보였다. PLL 회로의 잡음 면에서도 문제가 될 만한 특정 스퍼는 발생하지 않았으며, 6MHz 기본 스퍼에 해당하

는 잡음은  $-48.43\text{dB}$ 로 나타났다. 위상잡음 특성은  $1\text{MHz}$  오프셋에서  $-95.59\text{dBc/Hz}$ ,  $2\text{MHz}$  오프셋에서  $-101.44\text{dBc/Hz}$ 로서 비교적 양호한 특성을 보였다. 따라서 본 연구에 의해 구현된 주파수발생기는 주파수 범위 및 잡음 특성을 좀 더 개선한다면 향후 유럽 및 북미 주파수 대역과 ISM 밴드를 모두 사용하는 광대역 USN 센서노드의 무선통신부 주파수합성기로 사용될 수 있을 것으로 본다.

## 참 고 문 헌

- [1] 김지은, 김세한, 정운철, 김내수, "USN 센서노드 기술 동향", ETRI 전자기술 동향분석, 제22권 제3호 pp.90-103, 2007년 6월.
- [2] M. Zargari and B. Razavi, "A 5-GHz CMOS transceiver for IEEE 802.11a wireless LAN systems," *IEEE JSSC*, vol. 37, no. 12, pp.1688-1694, Dec. 2002.
- [3] J. Bhattachajee, D. Mukhejee, E. Gebara, S. Nuttinck, and J. Laskar, "A 5.8GHz fully integrated low power low phase noise CMOS LC VCO for WLAN applications," in *Proc. RFIC Symposium*, pp.475-478, Dec. 2002.
- [4] D.-J. Yang and K. K. O, "A monolithic CMOS 10.4-GHz phase locked loop," *Symposium on VLSI Circuits Dig. Tech. Papers*, pp. 36-37, June 2002.
- [5] E. Thaller, "A fully Integrated 13GHz  $\Delta\Sigma$  fractional-N PLL in  $0.13\mu\text{m}$  CMOS," *ISSCC Dig. Tech. Papers*, pp.386-387, Feb. 2004.
- [6] 오근창, 김경환, 박종태, 유근중, "2.4GHz ISM 대역 응용을 위한 2.4GHz fractional-N 주파수합성기의 설계", 대한전자공학회논문지, 제45권 SD편 제6호, 634-641쪽, 2008년 6월.
- [7] 강호용, 김내수, 채상훈, "USN 센서노드용 5.0GHz RF 주파수합성기의 설계", 대한전자공학회 논문지, 제 45 권, CI편, 제 6 호, 87-93쪽, 2008년 11월.
- [8] 채상훈, 김태련, 권광호, "광통신 모듈용 단일 칩 CMOS 트랜시버의 설계", 대한전자공학회 논문지, 제 41 권, SD편, 제 2 호, 11-17쪽, 2004년 2월.
- [9] 강호용, 김내수, 채상훈, "USN 센서노드용 1.9GHz RF 주파수합성기의 구현", 대한전자공학회 논문지, 제 46 권, SD편, 제 5 호, 49-54쪽, 2009년 5월.

저 자 소 개



**강 호 용**(정회원)  
 1989년 부산대학교 전자공학과  
 학사 졸업  
 2003년 충남대학교 정보통신  
 공학과 석사 졸업  
 1988년 12월~1993년 12월  
 대우통신 반도체연구소  
 1994년 1월~2000년 5월 대우전자 ASIC센터  
 2000년~현재 한국전자통신연구원 책임연구원  
 <주관심분야 : USN MAC/PHY, VLSI설계, 광가  
 입자망 MAC/PHY>



**표 철 식**(정회원)  
 1991년 연세대학교 전자공학과  
 학사 졸업  
 1999년 한국과학기술원  
 전자공학과 석사 졸업  
 1991년~현재 한국전자통신  
 연구원 RFID/USN  
 연구부장(책임연구원)  
 <주관심분야 : RFID, USN, IT융합, 안테나, 위성  
 통신>



**김 세 한**(정회원)  
 1998년 한국항공대학교 컴퓨터  
 공학과 졸업(학사)  
 2000년 한국항공대학교 정보통신  
 공학과 졸업(석사)  
 2007년 충남대학교 정보통신  
 공학과 박사 수료  
 2000년~현재 한국전자통신연구원 선임연구원  
 <주관심분야 : RFID/USN, USN/IT융합 시스템>



**채 상 훈**(평생회원)-교신저자  
 1981년 경북대학교 전자공학과  
 학사 졸업  
 1983년 부산대학교 전자공학과  
 석사 졸업  
 1992년 부산대학교 전자공학과  
 박사 졸업  
 1983년 3월~1997년 8월 한국전자통신연구원  
 반도체 연구단 책임연구원  
 1997년 9월~현재 호서대학교 전자공학과 교수  
 2004년 9월~2006년 8월 University of Florida  
 연구교수  
 <주관심 분야 : 광통신 및 RF용 아날로그/혼합형  
 ASIC 설계, 전력소자 및 태양전지 연구 개발>