

논문 2011-48SD-4-3

자체보정 벡터 발생기를 이용한 7-bit 2GSPS A/D Converter의 설계

(Design of a 7-bit 2GSPS Folding/Interpolation A/D Converter with a Self-Calibrated Vector Generator)

김승훈*, 김대윤*, 송민규**

(Seung-Hun Kim, Dae-Yun Kim, and Min-Kyu Song)

요약

본 논문에서는 자체보정 벡터 발생기(Self-Calibrated Vector Generator)를 이용한 7-bit 2GSPS folding/interpolation A/D Converter (ADC)를 제안한다. 제안하는 ADC는 2GSPS의 고속 변환에 적합한 상위 2-bit, 하위 5-bit 인 분할구조로 설계되었으며, 각각의 folding/interpolation rate는 4와 8로 설정되었다. 최대 1GHz의 높은 입력신호를 처리하기 위해 cascade 구조의 preprocessing block을 적용하였으며, 전압 구동 방식 interpolation 기법을 적용하여 기준전압 생성 시 발생하는 추가적인 전력 소모를 최소화하였다. 또한, 새로운 개념의 자체보정 벡터 발생기를 이용하여 device mismatch, 기생 저항 및 커패시턴스 등에 의한 offset error를 최소화하였다. 제안하는 ADC는 1.2V 0.13um 1-poly 7-metal CMOS 공정을 사용하여 설계 되었으며 calibration 회로를 포함한 유효 칩 면적은 2.5mm²이다. 측정 결과 입력 주파수 9MHz, sampling 주파수 2GHz에서 39.49dB의 SNDR 특성을 보이며, calibration 회로의 작동결과 약 3dB 정도의 SNDR의 상승을 확인하였다.

Abstract

In this paper, a 7-bit 2GSPS folding/interpolation A/D Converter(ADC) with a Self-Calibrated Vector Generator is proposed. The ADC structure is based on a folding/interpolation architecture whose folding/interpolation rate is 4 and 8, respectively. A cascaded preprocessing block is not only used in order to drive the high input signal frequency, but the resistive interpolation is also used to reduce the power consumption. Based on a novel self-calibrated vector generator, further, offset errors due to device mismatch, parasitic resistors, and parasitic capacitance can be reduced. The chip has been fabricated with a 1.2V 0.13um 1-poly 7-metal CMOS technology. The effective chip area including the calibration circuit is 2.5mm². SNDR is about 39.49dB when the input frequency is 9MHz at 2GHz sampling frequency. The SNDR is improved by 3dB with the calibration circuit.

Keywords : ADC, folding, interpolation, self-calibrated vector generator, CMOS, calibration

I. 서론

최근 무선 통신 기술의 경향은 ubiquitous를 지원하

는 WPAN, Bluetooth, UWB 등 다양한 초고속 무선통신 시스템 및 전송기술의 개발에 있다. 또한 고속의 멀티미디어 기기 및 홈 네트워킹을 지원하는 시스템 칩의 저전력화 추세에 맞추어, 초고속 무선통신 시스템의 수신 단에는 수백MHz~수GHz의 높은 변환속도와 저 전력 특성을 만족하는 6~8bit 해상도의 ADC의 필요성이 대두되고 있다^[1~4]. 이와 같은 초고속 무선 통신 기술에 필요한 ADC의 높은 변환속도를 만족하기 위해서는 일반적으로 flash 구조가 많이 사용되었다. 그러나 flash

* 학생회원, ** 정회원, 동국대학교 반도체과학과

(Dept. of Semiconductor Science, Dongguk Univ.)

※ 본 연구는 반도체설계교육센터(IDECE)의 칩제작 지원 및 지식경제부 및 정보통신산업진흥원의 대학 IT 연구센터 지원사업의 연구 결과로 수행되었음.

(NIPA-2010-C1090-1001-0003)

접수일자: 2010년4월29일, 수정완료일: 2011년3월29일

구조의 ADC는 N bits의 해상도를 가지게 될 때 2^N-1 개의 비교기를 필요로 하기 때문에 7~8bit 이상에서는 전처리 증폭기 및 비교기의 개수가 기하급수적으로 늘어나 전력소모와 면적이 증가하는 단점을 지닌다. 이에 본 논문에서는 flash 구조의 ADC와 같은 병렬처리 구조의 높은 변환속도를 만족하며, 전처리 증폭기 및 비교기의 개수를 줄일 수 있는 folding/interpolation (F/I) 구조를^[5~12] 채택하여 설계하였다.

그러나 일반적인 F/I ADC는 구조의 특성상 offset error에 굉장히 취약하기 때문에, device mismatch 및 기생 성분에 의해 발생하는 offset 및 zero-crossing error에 의해 ADC 성능이 저하되는 단점을 지닌다^[9]. 제안하는 F/I ADC의 경우 1.2V의 낮은 전원전압에서 동작을 하며 각 단의 부하를 최소로 하여 1GHz의 넓은 analog bandwidth를 만족할 수 있도록 입력 MOS의 크기를 7-bit 해상도 범위 내에서 최소한의 면적으로 설정하였다. 그러나 낮은 전원전압에서 입력 MOS를 작게 설정하게 됨으로써 실질적인 device mismatch가 ADC에 미치는 악영향이 커지게 되며, 이는 앞서 말한 F/I ADC의 구조적 문제와 맞물려 ADC의 동작성능이 크게 저하될 수 있다. 이에 본 논문에서는 F/I ADC의 성능 감소를 줄이기 위해 ADC에서 발생하는 offset error를 외부 제어 없이 내부 feedback loop를 통해 보정하는 calibration 회로^[8~10]를 적용하여 설계하였다.

본 논문의 II 장에서는 제안하는 ADC의 전체 구조

및 구조결정, F/I ADC의 안정적인 동작을 위한 calibration 기법에 대해 논의 한다. III 장에서는 설계된 ADC의 layout 및 측정결과를 calibration 기법 적용 전·후에 따라 비교 한 후 IV 장에서 결론을 맺는다.

II. ADC 구조 및 회로 설계

1. 제안하는 ADC의 구조

본 논문에서는 초고속 무선통신용 2GSPS 7-bit ADC를 위해 F/I 구조를 채택하여 설계하였으며, F/I ADC가 갖는 구조적인 오차를 자체적인 feedback loop를 통하여 극복 할 수 있는 calibration 회로를 on-chip 하여 외부 제어 없이 내부 회로만으로 offset error 및 zero-crossing 변화에 따른 ADC 성능저하를 최소화 하여 안정적인 동작이 가능하도록 하였다. 그림 1에 제안하는 F/I ADC의 전체 구조를 나타내었다. 7-bit의 해상도를 F/I 구조로 구현하기 위해 최우선으로 고려해야 할 사항은 해상도에 따른 상·하위 구조분할 및 이에 따른 folding 인자의 결정이다^[10~12]. 주요한 folding 인자로는 folding rate (FR), interpolation (IR)이 있다. 이러한 folding 인자로 인해 전력소모 및 입력 주파수가 제한되는 정도, 면적, offset error에 의한 동작성능 감소율 등이 결정되기 때문에 F/I ADC에 있어 folding 인자의 설정은 매우 중요하다. 7-bit F/I ADC 경우 상위 1-bit, 하위 6-bit의 1+6 구조와 상위 2-bit, 하위 5-bit의 2+5

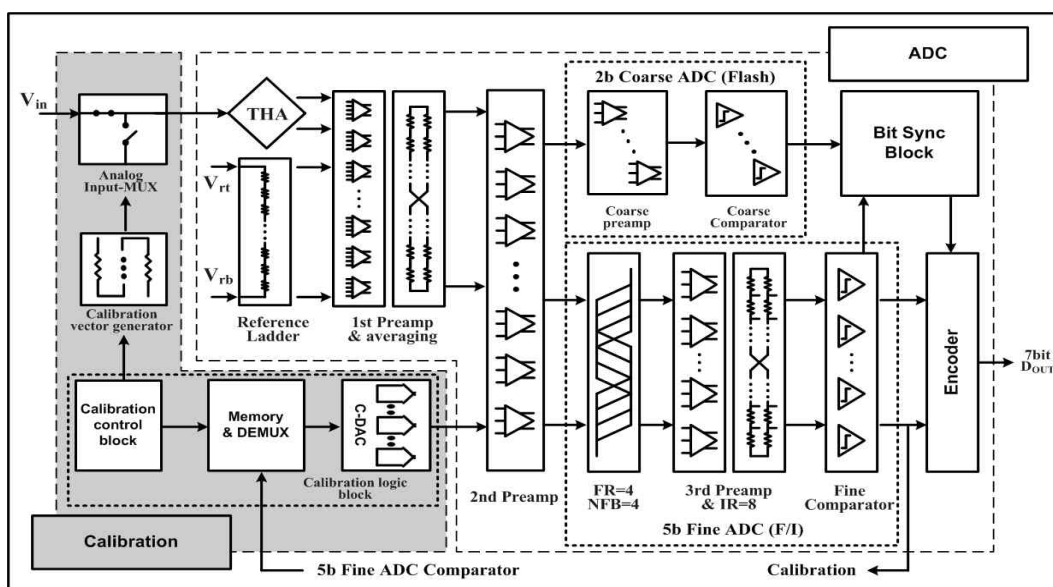


그림 1. Calibration 기법이 적용된 F/I ADC의 다이어그램
Fig. 1. Diagram of F/I ADC with calibration.

구조로 크게 두 가지의 구조로 나눌 수가 있다. 1+6 구조의 경우 하위 ADC의 해상도를 6-bit으로 설정함으로써 digital 신호 처리에 필요한 비교기의 수가 64개로 2+5 구조보다 면적과 전력소모가 커지게 된다. 그러므로 본 논문에서는 2GHz의 높은 변환속도를 만족하면서 소 면적, 저 전력을 위해 상위 2-bit, 하위 5-bit의 2+5 구조를 선택하였으며, 상위 2-bit에 의한 FR은 4, 하위 5-bit에 의한 IR은 8로 설계되었다.

최대 1GHz에 이르는 고속의 아날로그 입력 주파수를 처리하기 위한 전처리 증폭기 단은 주파수 이득 및 전압이득 단을 분리하여 구성하는 cascade 형태로 설계되었다. 이러한 cascade 형태의 전처리 증폭기단은 하위 5-bit ADC의 folding 신호 처리 후 충분한 전압이득을 확보하여 비교기의 안정적인 출력을 유도하는 장점을 지닌다. 또한 하위 ADC의 interpolation은 loop 형태의 저항열을 삽입하여 구현하는 전압 구동 방식을 선택 하였다. 전압 구동 방식 interpolation 기법은 folding 출력의 위상 이동만으로 새로운 기준전압을 생성하기 때문에 부가적인 전력소모 없이 하위 5-bit 해상도의 신호를 출력할 수 있는 장점을 지닌다. 또한 folding block 뒷단에 병렬로 구성되므로 folding block의 주파수를 제한하는 부하로 크게 작용하지 않는다는 장점이 있다.

2. ADC 의 입력신호처리부

본 논문에서 제안하는 F/I ADC의 경우 2GHz에 높은 변환속도를 요구한다. 이를 위해선 ADC의 입력신호 처리부 또한 높은 성능을 낼 수 있도록 설계되어야 한다. 때문에 제안하는 ADC의 입력신호처리부는 open loop 형태의 Track/Hold 증폭기 (THA) 구조를 선택하여 구성하였다. 그림 2에 제안하는 ADC 입력신호처리부의 다이어그램을 나타내었다.

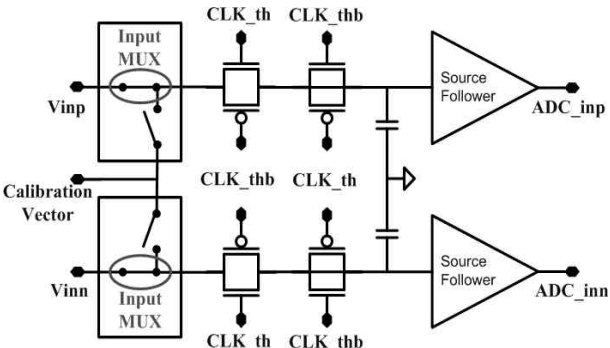
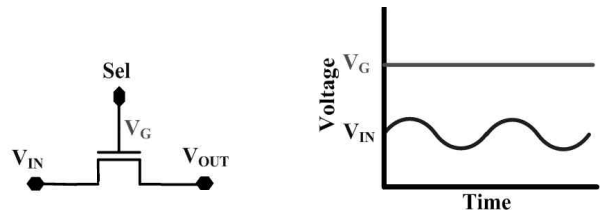


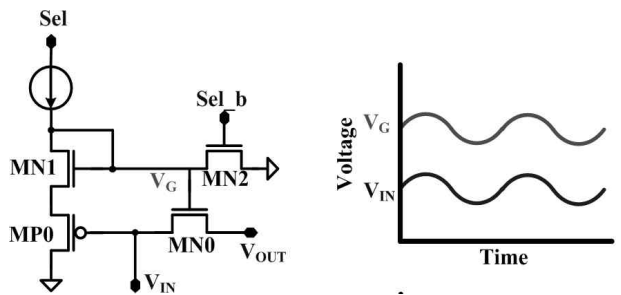
그림 2. ADC 입력신호처리부의 다이어그램
Fig. 2. The input stage of proposed ADC.

본 논문에서는 ADC의 offset error 및 zero crossing 변화에 상관없이 ADC의 안정적인 동작특성을 위해 calibration 기법을 적용하고 있다. Calibration 기법을 적용함으로써 ADC의 입력신호처리부에 input MUX 스위치가 추가된다. Input MUX 스위치는 calibration block이 동작 할 때 ADC의 입력 신호를 차단해주고, calibration block 동작 전·후 ADC 동작에 필요한 입력 신호를 인가하는 역할을 한다. 때문에 input MUX 스위치의 선형성, SNR 동작성능이 충분하지 못하게 되면 ADC 입력신호처리부의 THA의 특성에 관계없이 ADC의 동작성능이 전체적으로 저하된다.

일반적으로 쓰이는 analog MUX 스위치는 그림 3. (a)와 같이 단일 MOS로 이루어져 있다. 이와 같은 단일 MOS로 이루어진 스위치는 V_G 가 V_{IN} 의 변화량에 상관없이 일정한 전압으로 동작을 한다. 이 때 $V_G - V_{IN}$ 은 V_{IN} 에 따라 변화하게 되며 on 저항을 나타낸 식 (1)에 의해 단일 MOS 스위치의 on 저항 또한 변화가 발생하게 된다. 이러한 on 저항의 변화는 스위치의 distortion 성분이 증가함을 의미하며, 이는 ADC의 동작성능 저하로 이어진다. 때문에 본 논문에서는 ADC의 동작성능 보장을 위해 그림 3. (b)와 같은 constant V_{GS} nMOS 스위치를 사용하였다^[8].



(a) General nMOS switch



(b) Constant V_{GS} nMOS switch

그림 3. 각 스위치의 비교 (a) 일반적인 nMOS스위치 (b) Constant V_{GS} nMOS 스위치

Fig. 3. Comparison between (a) general nMOS switch and (b) Constant V_{GS} nMOS switch.

$$R_{ON} = \frac{1}{\mu C_{OX} \frac{W}{L} (V_G - V_{IN} - V_{TH})} \quad (1)$$

제안하는 input MUX 스위치가 on 이 될 때 MN1, MP0으로 인해 MN0의 gate 전압 V_G 는 그림 3. (b)의 그래프와 같이 입력 전압 V_{IN} 과 동일한 변화량으로 swing하게 된다. 따라서 식 (1)의 $V_G - V_{IN}$ 의 변화량이 일정하게 되며, 이로 인해 입력신호의 변화에 따른 on 저항이 일정하여 distortion 성분이 줄어들고 이로 인해 SNR 및 선형성 등의 동작성능이 일반적인 nMOS 스위치보다 향상된다.

Input MUX 스위치는 calibration 회로가 동작을 시작하면 off 상태로서, ADC의 입력 신호를 차단하게 된다. 이와 동시에 calibration vector generator에서 ADC analog block의 offset을 검출하기 위한 신호가 단일 MOS 스위치로 이루어진 MUX를 통하여 ADC로 보내지게 되며, input MUX에서 검출 신호에 영향을 주지 않도록 입력 신호의 차단을 확고히 하여야 한다. 이러한 calibration 과정 중 입력신호의 차단을 좀 더 이상적으로 하기 위해 그림 3.(b)와 같이 MN2를 추가하였다. 만약 MN2가 없다면, input MUX 스위치에 의해 ADC의 입력 신호가 차단되어 있는 상태일지라도 V_G 는 ground에 가까운 DC 전압을 가지면서 V_{IN} 을 따라 전압이 swing 하게 된다. 이 때 input MUX의 V_{OUT} 은 V_G 에 영향을 받게 되고, 이는 MUX를 통해 ADC로 보내지는 검출 신호에 영향을 주게 된다는 것을 의미하며 이로 인해 calibration이 부정확하게 이루어 질 수 있다. 이를 해결하기 위해 V_G 노드에 MN2를 연결하여 입력 신호의 변화가 검출 신호에 미치는 영향을 최소화 하였다. 그림 4의 모의실험 결과를 보면 MN2에 의해 V_G 값

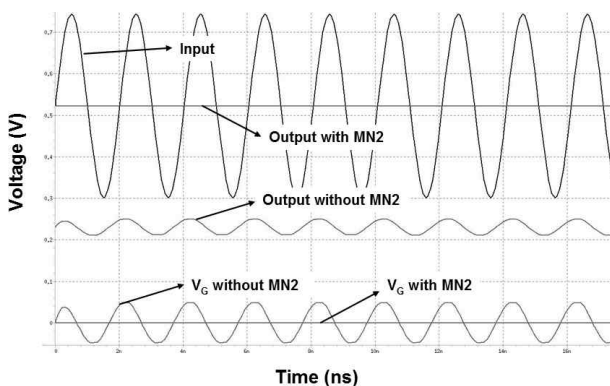


그림 4. MN2의 역할
Fig. 4. Function of MN2.

이 ground가 되면서 입력신호가 확실히 차단되는 것을 볼 수 있다.

설계된 input MUX 스위치는 단일 스위치에 MOS가 추가되어 이루어져 있다. 추가된 MOS에 흐르는 전류는 매우 적기 때문에 추가적인 전력소모도 매우 적다. 또한 스위치 역할을 하는 MOS인 MN0가 단일 스위치로 사용될 때보다 크기가 줄어들기 때문에 전체적인 전력 소모는 오히려 단일 스위치로 동일한 성능을 낼 때보다 적게 된다. 이 스위치는 track 부분만을 이용하기 때문에 THA 등에는 사용될 수 없으며 오직 ADC가 정상 동작할 경우에만 스위치의 on 동작을 하게 된다.

3. Offset Calibration

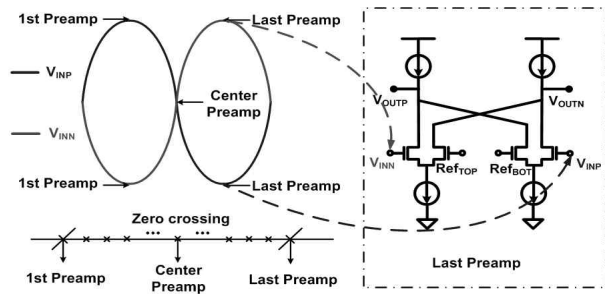
F/I ADC의 Folding 신호 처리부는 일반적으로 전처리 증폭기, folding block 및 비교기의 연결 관계로 구성되어진다. Folding block에 연결되는 전처리 증폭기의 개수는 FR에 의해 정해지며, 하나의 출력 zero-crossing은 원칙적으로 하나의 folding block에 한정되며 그에 따른 input-referred offset에 대해 식 (2)와 같이 표현할 수 있다^[9-10].

$$V_{off}^2 = V_{offP}^2 + \frac{V_{offF}^2}{A_P^2} + \frac{\Delta I_{CS}^2}{A_P^2 g_{mF}^2} + \frac{\Sigma \Delta I_{SS}^2}{A_P^2 g_{mF}^2} + \frac{V_{offCOMP}^2}{A_F^2} \quad (2)$$

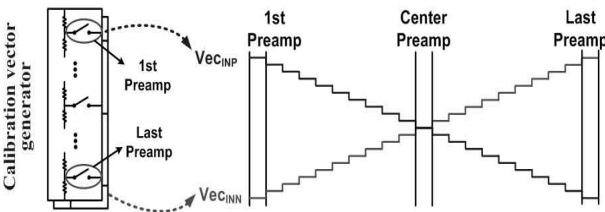
V_{offP} 는 preamp의 차동 쌍에 대한 offset voltage, V_{offF} 는 folding-amp의 차동 쌍에 대한 offset voltage, $V_{offCOMP}$ 는 comparator의 offset voltage, g_{mF} 는 folding-amp의 transconductance, A_P 는 preamp의 gain, A 는 folding block 전체의 gain, ΔI_{CS} 는 mismatch에 의한 한 쌍의 전류의 차이, ΔI_{SS} 는 이상적인 I_{SS} 값과 고의 차이를 의미하며 이러한 값들의 관계에 의해 최종 V_{off} 를 나타낼 수 있다.

F/I ADC는 이러한 구조적 연결 관계에 의해 offset error에 대하여 민감한 특성을 지니게 된다^{[9],[10]}. 때문에 작은 오차 성분에 의해서도 전체 ADC의 성능이 크게 저하된다. 본 논문에서는 offset calibration 회로를 제안하여 offset error를 비롯한 여타의 오차 성분에도 상관없이 안정적인 ADC 동작성능을 보장하도록 하였다. 설계된 calibration 회로는 그림 1과 같이 Input MUX, calibration vector generator, memory, C-DAC, calibration control block으로 구성되어 있다.

Calibration을 하기 위해서는 ADC를 구성하는 각각의 증폭기들에 offset을 검출하기 위한 신호가 필요하며



(a) Different input signal as preamplifier



(b) Calibration vector

그림 5. Calibration vector 의 설정
Fig. 5. Setting Calibration vector.

이러한 검출 신호는 calibration vector generator에서 생성을 하여 준다. 실질적인 ADC의 analog block의 zero crossing들은 전처리 증폭기 단에서 정해지게 되고, 각각의 전처리 증폭기에 zero crossing을 형성하는 입력 신호 값은 그림 5. (a)와 같이 서로 다르게 된다. 때문에 각각의 증폭기에 알맞은 검출 신호를 구성하여야 한다. 이러한 검출 신호를 생성하는 calibration vector generator는 간단한 저항열을 이용하여 구성하였으며 MUX를 통해 그림 5. (b)와 같이 검출 신호를 ADC로 보내게 된다.

각각의 전처리 증폭기에 필요한 검출 신호가 calibration vector generator를 통해 ADC로 들어가기 시작하면 Current DAC (C-DAC)를 통해 offset을 변화시키게 된다. 때문에 C-DAC에서 calibration의 범위를 설정하게 되며, C-DAC를 통한 calibration 범위를 구하기 위해 Monte-carlo 모의실험을 진행하였다. 모의실험을 통하여 설계된 ADC의 analog block이 소자의 mismatch에 의해 얼마나 offset이 변화하는지 살펴보았으며 그림 6과 같은 결과를 나타내었다. 설계된 ADC의 경우 analog block의 offset error는 대부분 $\pm 14\text{mV}$ 이내에 분포하는 것을 알 수 있으며, 이를 통하여 C-DAC로 조절할 offset 범위를 약 $\pm 14\text{mV}$ 로 설정할 수 있다.

Calibration의 전체 범위를 위와 같은 방법으로 구하고 난 후 C-DAC의 해상도를 설정하여야 한다. C-DAC의 해상도는 calibration을 함에 있어 매우 중요한 인자 중에 하나이다. 만약 C-DAC의 해상도가 충분

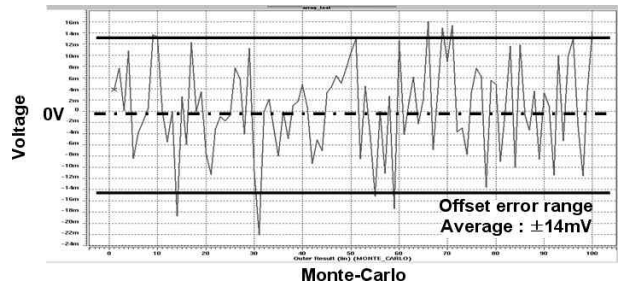
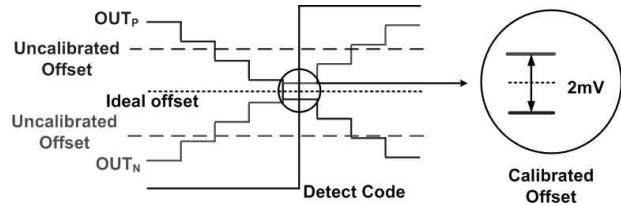
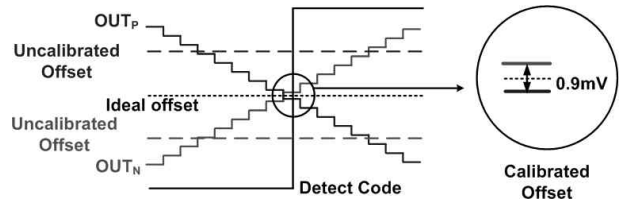


그림 6. ADC analog block 의 offset error 범위
Fig. 6. Offset error range of analog block in ADC.



(a) Calibrated offset with 3-bit C-DAC



(b) Calibrated offset with 4-bit C-DAC

그림 7. C-DAC 의 해상도에 따른 calibration 비교
(Calibration 범위는 동일)

Fig. 7. Comparison calibration as resolution of C-DAC
(Calibration range same).

하지 못하였을 때 calibration을 진행하게 되면 오히려 ADC의 offset error 율을 증가시킬 수 있다. 예를 들어 입력 신호의 V_{PP} 에 대한 ADC LSB 전압 ΔV_{LSB} 가 1.5mV인 ADC에서 mismatch가 발생하였으며, 이 때 calibration이 진행된다고 가정하자. 그림 7. (a)에 C-DAC의 해상도가 3-bit일 경우에 calibration이 진행되었을 때를 나타내었으며 calibration으로 보정된 offset은 2mV이다. 그림 7. (b)는 C-DAC의 해상도가 4-bit일 경우에 calibration이 진행되었을 때를 나타내며 calibration으로 보정된 offset은 0.9mV이다. 그림 7. (a), (b)의 offset 보정은 입력 신호를 기준으로 하였을 때의 결과 값이다. 앞서 가정한 ADC의 LSB 전압 1.5mV를 만족하지 못하는 3-bit C-DAC 경우 calibration된 각각의 전처리 증폭기가 서로 입력신호를 기준으로 $\pm 2\text{mV}$ 의 offset이 차이가 나게 된다. 이로 인해 오히려 ADC의 동작을 통한 digital code 출력이 정확하지 않게 될 수 있다. 이러한 C-DAC의 해상도를 고정된 calibration 범위 내에서 높

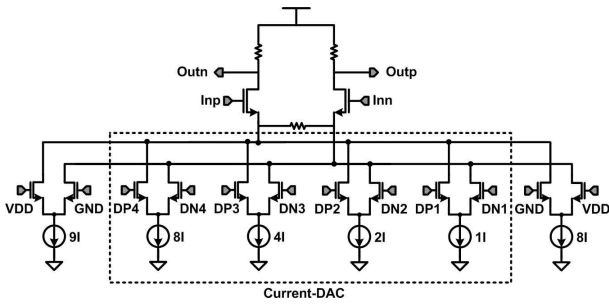


그림 8. C-DAC로 제어되는 두 번째 전처리 증폭기
Fig. 8. Second preamplifier with C-DAC.

이게 되면 그에 따라서 calibration 정밀도도 높아지게 되며 C-DAC의 LSB 를 만족하는 상태에서 LSB를 고정시키고 해상도를 올리면 calibration 범위를 넓힐 수가 있다. 이를 토대로 그림 7. (b)와 같이 입력에 대한 ADC의 LSB 전압을 만족하는 해상도를 정하여 C-DAC 를 설계하여야 한다.

본 논문에서 설계된 ADC의 입력 V_{PP} 는 400mV로써 LSB를 구성하는 전압의 차이는 3.125mV이며 Monte-carlo 모의실험을 통해 구한 offset error의 범위는 14mV 이다. 이를 토대로 설계된 C-DAC는 그림 8과 같이 기본적인 스위치로 이루어져 있고 두 번째 전처리 증폭기 단을 조정하여 calibration을 수행한다^[10]. C-DAC의 해상도는 4-bit이며 전체 calibration 범위는 15mV로 LSB

는 0.94mV를 가지고 있다. 물론 해상도를 높여 calibration 정밀도와 범위를 넓힐 수 있지만 이는 곧 면적과 소비전력이 늘어나는 결과를 가져오기 때문에 가장 적절한 해상도인 4-bit 으로 설정하였다.

Calibration 회로의 동작과정은 전체적으로 그림 9와 같다. 먼저 input MUX에서 ADC로 인가되는 입력 신호를 차단한 후 각 전처리 증폭기에, 해당되는 offset 검출 신호를 calibration vector generator에서 MUX를 통해 ADC로 인가된다. 인가된 검출 신호는 C-DAC를 통해 offset이 변화하게 되며 offset의 변화를 비교기를 통해 구분하기 시작한다. 가장 offset의 변화가 적은 부분을 비교기에서 찾게 되면 그 때의 C-DAC의 digital code 를 memory에 저장한다. 저장된 digital code로 C-DAC의 전류를 고정시킴으로써 두 번째 전처리 증폭기 단의 모든 전처리 증폭기의 offset을 순차적으로 보정해주게 된다. 이러한 calibration 과정에 필요한 모든 digital 신호는 calibration control block에서 생성되며 calibration의 모든 과정을 조정하게 된다.

III. 실험 및 측정 결과

1. 제안하는 ADC의 Layout

본 논문에서 제안하는 ADC는 0.13um 1-poly

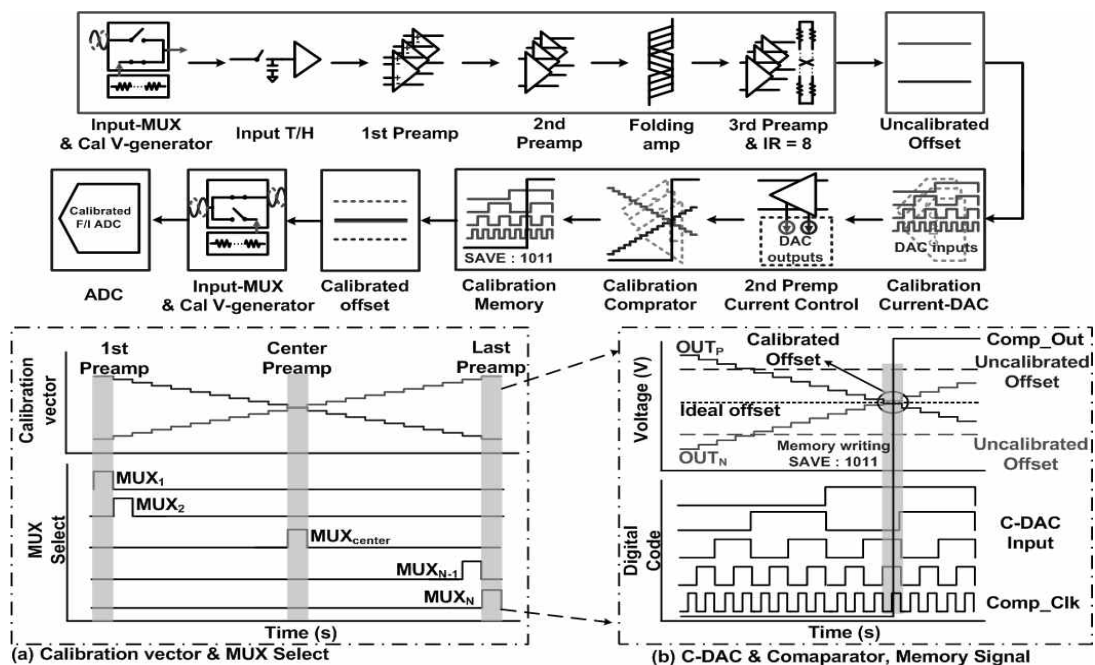


그림 9. Offset calibration 의 동작과정
Fig. 9. Algorithm of offset calibration.

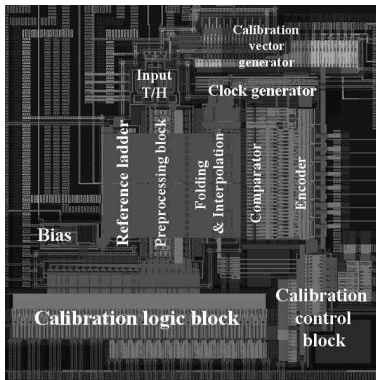


그림 10. 제안하는 F/I ADC 의 layout
Fig. 10. Layout of proposed F/I ADC.

7-metal CMOS 공정을 사용하여 설계 하였다. 설계된 ADC는 ADC core와 calibration block으로 크게 나눌 수 있으며, calibration block에서 쓰이는 많은 digital 신호들이 ADC에 영향을 미치지 않게 분리하여 배치하였다. 또한 calibration에 쓰이는 digital 신호들이 각 block으로 인가될 때 동일한 timing을 가질 수 있도록 calibration control block을 calibration block들의 가운데에 위치하도록 하였다. 제안하는 ADC의 전체 layout을 그림 10에 나타내었다.

설계된 ADC의 면적은 1.4mm², calibration 회로의 면적은 1.1mm²로써 전체 칩면적은 2.5mm² 이다.

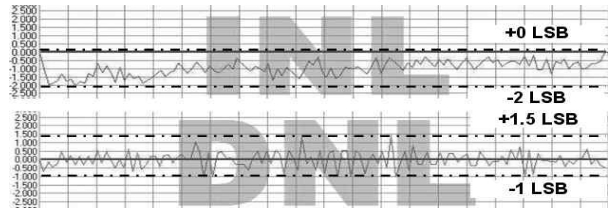
2. 시제품 ADC 의 측정결과

본 논문에서 제안하는 7-bit ADC의 고속 측정을 위해 2GHz의 출력 샘플링 주파수를 만족하는 PLL을 설계하여 on-chip 화 하였으며 ADC 출력부에 decimation block을 설계하였다. 이에 따라 ADC의 digital 출력은 1/32 down sampling 되어 신뢰할 수 있는 측정 결과를 도출할 수 있었다. 그림 11은 제작된 칩과 측정을 위한 PCB 이다.

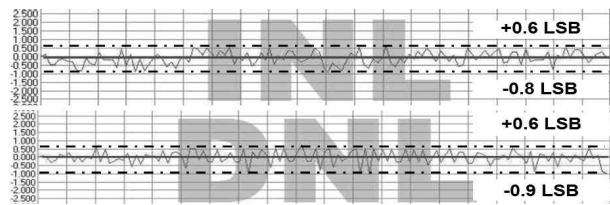
그림 12에 시제품 ADC의 INL과 DNL의 측정결과를



그림 11. 제작된 칩과 PCB
Fig. 11. Packaged chip and PCB for Measurement.



(a) Uncalibrated ADC



(b) Calibrated ADC

그림 12. 시제품 ADC 의 INL, DNL (a) Uncalibrated ADC (b) Calibrated ADC 측정결과

Fig. 12. Measured INL and DNL of the prototype ADC (a) Uncalibrated ADC (b) Calibrated ADC.

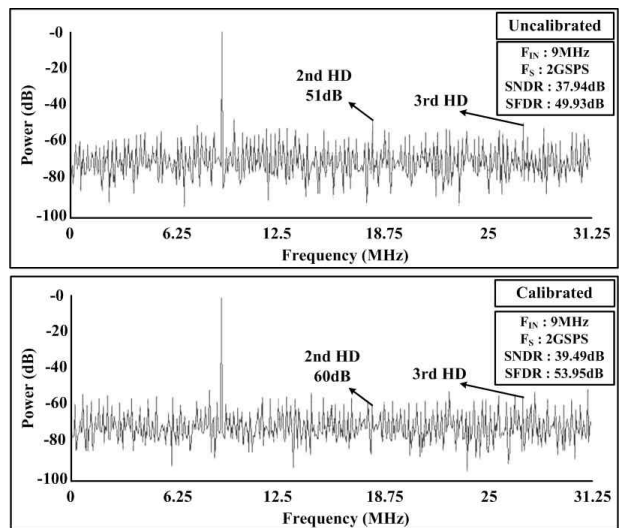


그림 13. 시제품 ADC의 FFT spectrum 측정결과

Fig. 13. Measured FFT spectrum of the prototype ADC.

나타내었다. 변환속도 2GHz에서 입력 9MHz에 대한 선형성 측정결과 calibration 전에 INL은 최대 ±1.5LSB, DNL은 ±1.5LSB 수준을 나타내었고, calibration 후에는 INL은 최대 ±0.8LSB, DNL은 최대 ±0.9LSB 수준을 유지하는 것을 확인 할 수 있다.

그림 13은 시제품 ADC의 측정결과로써 입력주파수 9MHz, 변환속도 2GHz 일 때 동일한 측정조건에서 calibration 전·후에 따른 출력 FFT 신호 스펙트럼 출력이다. 측정결과 calibration 전에는 SNDR 37.94dB (ENOB 6.01 bit), SFDR 49.93dB의 동작 성능을 보이며, Calibration 후 ADC의 성능은 SNDR 39.49dB (ENOB

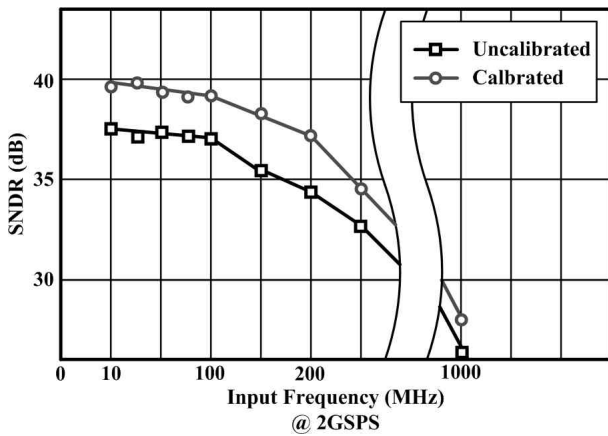


그림 14. 시제품 ADC 측정결과

Fig. 14. Measured results of the prototype ADC.

6.27 bit), SFDR 53.95dB로 각각 약 3dB, 4dB 정도 향상된 동작 성능을 보인다.

그림 12와 그림 13의 결과를 보았을 때 calibration 후에는 ADC의 2nd harmonic 성분이 calibration 하기 전보다 향상된 것을 확인할 수 있다. 이는 차동 쌍으로 이루어진 신호의 offset이 calibration 회로에 의하여 보정되었다는 것을 의미하며 적용된 calibration 회로가 원활히 동작하고 있음을 의미한다.

그림 14에 2GHz의 변환속도를 유지하면서 입력주파수를 nyquist 까지 증가하였을 때의 SNDR 측정결과를 도표로 나타내었다. Calibration을 하였을 경우의 ADC가 calibration 을 하지 않았을 때의 ADC보다 전체적으로 약 2~4dB 정도의 성능향상이 있는 것을 확인하였으며 nyquist 수준에서 calibration 작동 전에는 26.5dB, calibration 작동 후에는 28.63dB의 수준을 나타내었다.

그림 14와 같이 입력주파수가 증가함에 따라 ADC의 성능이 저하되는 이유는 여러 가지가 있다. 그 중 하나는 내부에 설계된 PLL의 clock jitter가 ADC에서 요구하는 입력주파수 대비 clock jitter를 만족하지 못하였기 때문인 것으로 보인다^[14~15].

$$SNR_{MAX} = 20\log\left(\frac{1}{2\pi F_{IN} T_{jitter}}\right) \quad (3)$$

식 (3)에 의거하여 ADC nyquist 입력주파수가 요구하는 jitter 값은 1ps 이다. 그러나 on-chip한 PLL의 clock jitter의 경우 post-layout 모의실험결과 10ps로서, 이를 만족시키지 못하고 있다. 이로 인해 설계된 ADC의 경우 그림 14에서도 나타나듯이 입력주파수가 증가함에 따라 ADC의 성능이 급격하게 떨어지는 것을 확

인 할 수 있다.

또 다른 이유로는 F/I ADC의 특성 중 하나로 입력 신호가 folding block을 거치게 되면 FR에 따라 주파수가 증가하게 되어 결과적으로 입력주파수가 제한되는 것이다. 설계된 ADC에서는 입력단 THA를 사용하여 어느 정도 극복하고자 하였지만, 실제 측정 시 2GSPS의 높은 샘플링 주파수 상황에서 기존의 THA로는 만족할 만한 성능을 보여주지 못한 것으로 판단된다.

IV. 결 론

본 논문에서는 초고속 무선통신을 위한 7-bit 2GSPS F/I ADC를 제안하였다. 7-bit 해상도, 높은 변환속도를 만족하기 위해 7-bit 해상도에 적합한 최적의 분할구조 및 folding 인자를 적용하였다. 또한 최대 1GHz의 높은 입력신호를 처리하기 위해 cascaded 구조의 preprocessing block을 적용하였으며, 전압 구동 방식 interpolation 기법을 적용하여 기준전압 생성 시 발생하는 추가적인 전력소모를 최소화하였다. 특히 기존의 F/I ADC가 갖는 offset error에 의한 성능저하는 제안하는 calibration 회로를 통하여 극복하였다.

제안하는 설계기법을 적용한 시제품 ADC는 0.13um 1-poly 7-metal CMOS 공정으로 제작되었으며, 2.5mm²의 유효 면적으로 구현되었다. 1.2V의 전원 전압 및 2GHz의 sampling 주파수에서 134mW 이하의 전력만을 소모하는 저 전력의 특성을 만족하며, 측정결과 입력주파수 100MHz 이하에서 37dB 이상의 SNDR 성능특성을 보인다. 그러나 입력주파수가 증가함에 따라 ADC의 성능이 저하되었다. 이는 PLL의 jitter 특성이 ADC가 요구하는 수치에 만족하지 못하였고, F/I ADC의 FR에 따른 입력주파수 제한을 입력단 THA로 완벽히 극복하지 못하였기 때문에 일어난 현상으로 보인다.

때문에 ADC 성능 저하를 줄이기 위해서는 입력주파수 대비 PLL의 jitter 특성을 만족시켜야 한다. 또한 고속의 샘플링 주파수에서 입력단 THA외에 아날로그 부분을 구성하는 각 전처리 증폭기단과 folding block 등에 분산 THA를 추가함으로써 folding block의 FR로 인한 입력주파수 제한을 극복할 수 있다^[15]. 표 1에 본 논문에서 제안하는 ADC의 주요사항과 측정결과를 정리한 도표를 나타내었으며, 표 2에는 7-bit 해상도 ADC의 연구동향을 본 연구결과와 비교 정리하였다.

표 1. 제안하는 7-bit 2GSPS ADC의 성능
Table 1. Performance summary of the propose ADC.

	Uncalibrated	Calibrate
Resolution	7-bit	
Conversion rate	2GSPS	
Power supply	1.2V (Analog/Digital)	
SNDR (Fin=9MHz)	37.94 dB	39.49 dB
SFDR (Fin=9MHz)	49.93 dB	53.95 dB
INL (Fin=9MHz)	+0LSB/-2LSB	+0.6LSB/-0.8LSB
DNL (Fin=9MHz)	+1.5LSB/-1LSB	+0.6LSB/-0.9LSB
Power dissipation	134mW (ADC:102mW, Calibration:32mW)	
Chip size	2.5mm ² (1.6mm×1.8mm) (ADC : 1.4mm ² , Calibration block : 1.1mm ²)	
Process	0.13um 1-poly 7-metal CMOS	

표 2. 고속 변환속도를 갖는 7-bit ADC의 최신 연구 동향

Table 2. Recent research of the high speed 7-bit ADC.

참고문헌	구조	ENOB (bits)	변환속도 (MHz)	전력소모 (mW)	면적 (mm ²)	FoM (pJ/convstep)
Kiyoshi Makigawa 2006, SOVC, [6]	Folding	5.3 (Fin=200MHz)	800	120	0.32	3.8 (Fin=200MHz)
Cheng-Chung Hsu 2007, SOVC, [13]	Sub-ranging	6.5 (Fin=29MHz)	1100	46/ch	0.19/ch	1.18 (Fin=29MHz)
Erkan Alpman 2009, ISSCC, [4]	SAR	5.4 (Fin=Nyquist)	2500	50	1	0.480 (Fin=Nyquist)
김대윤 2010, IEEK, [10]	Folding	6.1 (Fin=250MHz)	1000	110	0.87	1.6 (Fin=250MHz)
This work	Folding	6.26 (Fin=9MHz)	2000	134	2.5	0.87 (Fin=9MHz)

참 고 문 헌

[1] Paul Veldhorst, et al., "A 0.45pJ/conv-step 1.2Gs/s 6b full-Nyquist non-calibrated flash ADC in 45nm CMOS and its scaling behavior," in *Proc. ESSCIRC*, Sep. 2009, pp. 464-467.

[2] Chien-Kai Hung, et al., "A 6-bit 1.6GS/s Flash ADC in 0.18um CMOS with Reversed-Reference Dummy," in *Proc. ASSCC*, Nov. 2006, pp. 335-338.

[3] Geert Van der Plas and Bob Verbruggen, "A 150MS/s 133uW 7bit ADC in 90nm Digital CMOS," *IEEE J. Solid-State Circuits*, vol. 43, no. 12, pp. 2631-2640, Dec. 2008.

[4] Erkan Alpman, et al., "A 1.1V 50mW 2.5GS/s 7b Time-Interleaved C-2C SAR ADC in 45nm LP Digital CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 2009, pp. 76-77.

[5] Cheng-Chung Hsu, et al., "A 10b 200MS/s Pipelined Folding ADC with Offset Calibration," in *Proc. ESSCIRC*, Sep. 2007. pp. 151-154.

[6] Kiyoshi Makigawa, et al., "A 7bit 800Msps 120mW Folding and Interpolation ADC Using a Mixed-Averaging Scheme," *VLSI Circuits. Dig. Tech. Papers*, June. 2006, pp. 138-139.

[7] R. Grift. I. Rutten, M. Veen, "An 8-bit Video ADC Incorporating Folding and Interpolation Technique," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 6, pp. 944-953, Nov. 1987.

[8] Robert C. Taft, et al., "A 1.8-V 1.6-GSample/s 8-b Self-Calibrating Folding ADC With 7.26 ENOB at Nyquist Frequency," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2107-2115, Dec. 2004.

[9] Hamid Movahedian, Mehrdad Sharif Bakhtiar, "A New Offset Cancellation Technique for Folding ADC," in *Proc. IEEE ISCAS*, vol 1, May. 2005, pp. 200-203.

[10] 김대윤, 문준호, 송민규, "Offset self-calibration 기법을 적용한 1.2V 7-bit 800MSPS Folding-Interpolation A/D 변환기의 설계," *대한전자공학회 논문지*, 47권, SD 편, 제3호, pp. 18~27, 2010년 3월.

[11] 정승희, 박재규, 황상훈, 송민규, "1.8V 8-bit 500MSPS Cascaded-Folding Cascaded-Interpolation CMOS A/D 변환기의 설계," *대한전자공학회 논문지*, 제43권 SD편, 제5호, pp. 1~10, 2006년 5월.

[12] Hui pan, et al., "Signal folding in A/D Converters," *IEEE Trans. on Circuits and Systems*, vol. 51, no. 1, pp. 3~14, Jan. 2004.

[13] Cheng-Chung Hsu, et al., "A 7b 1.1GS/s Reconfigurable Time-Interleaved ADC in 90nm CMOS," *VLSI Circuits. Dig. Tech. Papers*, June. 2007, pp. 66-67.

[14] Michael Choi and Asad A. Abidi., "A 6-b 1.3-Gsample/s A/D Converter in 0.35-um CMOS," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1847-1858, Dec. 2001.

[15] Robert C. Taft, et al., "A 1.8-V 1.0-GS/s 10b Self-Calibrating Unified-Folding-Interpolating ADC With 9.1 ENOB at Nyquist Frequency," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3294-3304, Dec. 2009.

— 저 자 소 개 —



김 승 훈(정회원)
 2009년 동국대학교 반도체과학과
 학사 졸업.
 2011년 동국대학교 반도체과학과
 석사과정.
 <주관심분야 : CMOS 아날로그
 회로 설계, 고성능 데이터 변환
 기>



김 대 윤(학생회원)
 2008년 동국대학교 반도체과학과
 학사 졸업.
 2010년 동국대학교 반도체과학과
 석사 졸업.
 2010년~현재 동국대학교 반도체
 과학과 박사과정 재학.
 <주관심분야 : CMOS 아날로그 회로 설계, 고성
 능 데이터 변환기, CMOS Image Sensor 설계>



송 민 규(정회원)
 1986년 서울대학교 전자공학과
 학사 졸업.
 1988년 서울대학교 전자공학과
 석사 졸업.
 1993년 서울대학교 전자공학과
 박사 졸업.

1993년~1995년 동경대학교 초빙연구원.
 1995년~1997년 삼성전자 ASIC 설계팀 연구원.
 1997년~현재 동국대학교 반도체과학과 교수.
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전
 력 혼성모드 회로 설계, 데이터 변환기 설계>