

논문 2011-48SD-3-6

능동 인덕터를 이용한 광대역 디지털 제어 발진기의 설계

(A Design of Wide-Range Digitally Controlled Oscillator with an
Active Inductor)

부 영 건*, 박 안 수*, 박 형 구*, 박 준 성*, 이 강 윤**

(YoungGun Pu, AnSoo Park, HyungGu Park, Joon-Sung Park, and Kang-Yoon Lee)

요 약

본 논문은 넓은 튜닝 범위와 정밀한 해상도 성능을 가지는 능동 인덕터를 이용한 디지털 제어 발진기에 대한 논문이다. 디지털 제어 발진기의 주파수를 조정하기 위해 능동 인덕터의 트랜스컨덕턴스를 디지털적으로 조정하는 구조를 제안하였으며, 디지털 제어 발진기의 이득 또한 디지털적으로 조정하여 이득 변화를 상쇄하도록 하였다. 또한, 넓은 튜닝 영역과 정밀한 해상도를 구현하기 위해 자동 3 단계 주파수 및 이득 튜닝 루프를 제안하였다. 디지털 제어 발진기의 총 주파수 튜닝 영역은 2.1 GHz ~ 3.5 GHz로 1.4 GHz의 영역으로 이는 2.4 GHz의 중간 주파수에 대하여 58 %에 해당한다. 유효 주파수 해상도는 시그마 델타 모듈레이터를 사용하여 0.14 kHz/LSB를 구현하였다. 제안하는 디지털 제어 발진기는 0.13 μm CMOS 공정으로 설계 되었다. 전체 전력 소모는 1.2 V 공급전압에서 6.6 mW이며 위상 잡음 성능은 2.4 GHz 중간 주파수의 경우, 1 MHz 오프셋에서 -120.67 dBc/Hz 성능을 보이고 있다.

Abstract

This paper presents a wide tuning range, fine-resolution DCO (Digitally Controlled Oscillator) with an active inductor. In order to control the frequency of the DCO, the transconductance of the active inductor is tuned digitally. In addition, the DCO gain needs to be calibrated digitally to compensate for gain variations. To cover the wide tuning range, an automatic three-step coarse tuning scheme is proposed. The DCO total frequency tuning range is 1.4 GHz (2.1 GHz to 3.5 GHz), it is 58 % at 2.4 GHz. An effective frequency resolution is 0.14 kHz/LSB. The proposed DCO is implemented in 0.13 μm CMOS process. The total power consumption is 6.6 mW from a 1.2 V supply voltage. The phase noise of the DCO output at 2.4 GHz is -120.67 dBc/Hz at 1 MHz offset.

Keywords : wide tuning range, active inductor, automatic three-step coarse and gain tuning loop, fine-resolution, DCO (Digitally Controlled Oscillator)

I. 서 론

Sub-micron 공정에서의 digital RF 구조는 시스템에

서 요구하는 파워 소모와 비용, 면적을 최소한으로 줄이는 것이 중요하다. 이를 만족하기 위해 공급 전압 또한 내려가는 것이 일반적인데, 일반적인 아날로그 PLL (Phase Locked Loop)은 공정에 따라 재설계를 해야 한다. 그러나 디지털 PLL은 새로운 공정에 따른 설계가 용이하다. 디지털 PLL 구조에서는 몇 가지 이슈가 있는데 그 중에서 디지털 제어 발진기(digitally controlled oscillator) 블록이 그 중에서 가장 중요한 블록이다. 일반적으로 디지털 제어 발진기의 주파수는 varactor의 커패시터 값을 이용하여 조정 및 구현한다. 그러나 이

* 학생회원, ** 평생회원-교신저자, 건국대학교 전자정보통신공학부

(Department of Electronic Engineering, Konkuk University)

※ 이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 2010-0013369).

접수일자: 2010년11월13일, 수정완료일: 2011년2월24일

는 공정상에서 물리적으로 한계를 가지고 있기 때문에 우리가 원하는 커패시터 값을 구현하기 위해 시그마 델타 모듈레이터를 이용하여 작은 커패시턴스 값을 구현하게 된다^[1]. 그럼에도 불구하고 여전히 주파수 해상도가 varactor의 커패시턴스에 대하여 한계를 갖고 있기 때문에 해상도를 최대한 끌어올리기 위해서는 시그마 델타 모듈레이터의 dithering 비트의 증가가 따르게 된다. 이는 면적과 파워 소모를 증대시키는 결과가 나온다. 따라서 본 논문에서는 능동 인덕터를 사용하여 주파수를 조정하고, 주파수 해상도에 따른 위와 같은 문제점들을 해결하도록 하였다.

일반적으로 넓은 주파수 밴드를 가질 경우에 여러 개의 LC-발진기를 사용하여 그 주파수 밴드를 커버하게 된다^[2]. 이 경우 면적과 파워 소모가 발진기의 개수만큼 증가되는 문제점을 가지고 있다. 따라서 한 개의 LC-발진기로 넓은 주파수 영역을 커버하기 위해 여러 기술을 사용한다. 하지만 넓은 주파수 영역을 커버하기 위해 MIM(Metal-Insulator-Metal) 커패시터를 사용하기 때문에 주파수 튜닝 영역이 넓을수록 물리적 커패시터의 양은 증가하게 되고, 면적과 파워소모가 증가하게 된다. 또한, 넓은 주파수 영역을 가질수록 최소 주파수 커브와 최대 주파수 커브에서 디지털 제어 발진기의 이득 차이는 점점 커질 것이다. 디지털 제어 발진기의 이득은 디지털 PLL의 lock-time 및 위상 잡음과 연관이 있기 때문에 같은 밴드 내에서는 일정하도록 하는 것이 중요하다. 따라서 이와 같은 문제점을 해결하고자, 본 논문에서는 능동 인덕터를 사용하여 넓은 주파수 튜닝 영역을 갖으면서 자동 3 단계 주파수 및 이득 조정 기법을 사용하여 위에서 언급한 문제점들을 해결하였다.

II. 본 론

1. 디지털 제어 발진기의 구조

그림 1은 제안한 능동 인덕터를 갖는 디지털 제어 발진기의 블록도이다. 디지털 제어 발진기 코어, 시그마 델타 모듈레이터와 주파수 튜닝 디지털 컨트롤러로 구성되어 있다. 3차 MASH 구조의 시그마 델타 모듈레이터를 사용하였으며 디지털 제어 발진기의 입력 비트(DTW<68:0>) 중에서 5개의 dithering 비트(FDTW<4:0>)를 사용 하였다. 시그마 델타 모듈레이터의 동작을 위한 클럭(SDM_CLK)은 디지털 제어 발진기의 출력력을 4분주한 600 MHz 부근의 클럭을 제공 받도록 되

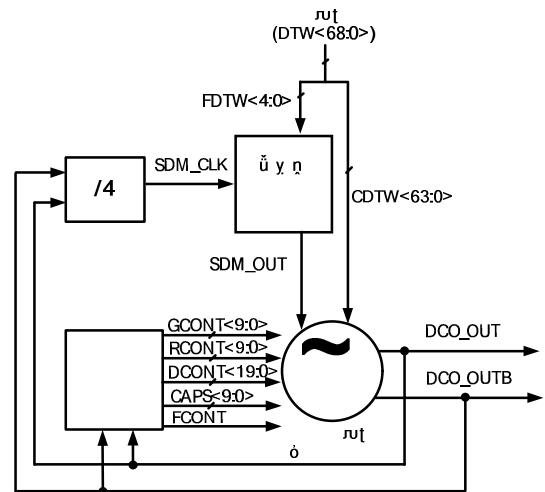


그림 1. 제안한 능동 인덕터를 가진 디지털 제어 발진기의 블록도.

Fig. 1. The block diagram of the proposed DCO with an active inductor.

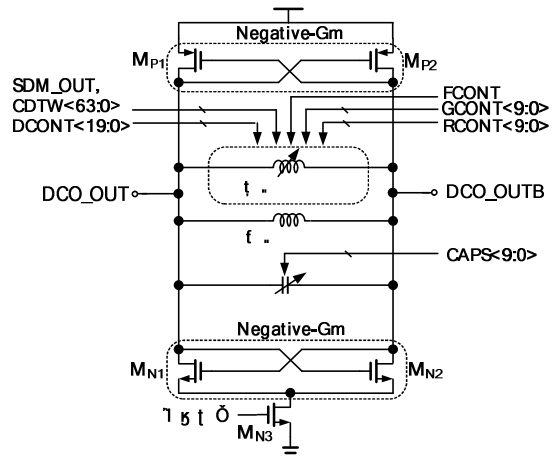


그림 2. 제안한 디지털 제어 발진기의 코어 회로도

Fig. 2. The schematic of the proposed DCO core.

어 있다.

그림 2는 디지털 제어 발진기 코어의 회로도이다. 이는 능동 인덕터, 수동 인덕터, 커패시터 बैं크와 Negative-Gm 셀로 구성되어 있다. 능동 인덕터는 광대역 주파수 튜닝과 협대역 주파수 튜닝을 조정한다. 그리고 MIM 커패시터들로 이루어진 커패시터 बैं크는 디지털 제어 발진기의 중간 대역 주파수 튜닝을 공급하고 제어한다. 능동 인덕터를 사용함으로써 발생하는 Q 값의 저하를 수동 인덕터를 능동 인덕터와 병렬로 연결함으로써 상쇄하였다. 그리하여 디지털 제어 발진기 위상 잡음의 성능을 만족시키도록 하였다.

그림 3은 능동 인덕터의 회로도이다. 차동적으로 구성된 gyrator-C 타입의 능동 인덕터를 사용하였다^[3].

능동 인덕터의 인덕턴스는 식 (1)과 같다.

$$L_{eq} = 2(C_{gs1} + C_{gs3} + C_{wire}) / G_{dsTot} (2g_{m1} + g_{m3} - G_{dsTot}) \quad (1)$$

$$G_{dsTot} = G_{ds5} + G_{ds7} + G_{ds9} + G_{ds11} + G_{dsGCB} \quad (2)$$

$$G_{ds7} \cong \lambda I_{D7} \quad (3)$$

식 (1)에서, C_{wire} 는 여러 튜닝 뱅크에서 생기는 기생 커패시턴스로 레이아웃시 최소화 할 수 있는 양이다. G_{ds5} , G_{ds7} , G_{ds9} , 와 G_{ds11} 은 각각 M_5 , M_7 , M_9 와 M_{11} 의 드레인 컨덕턴스이다. G_{dsGCB} 은 디지털 제어 발진기 이득 조정 뱅크 내에서 디지털 제어 발진기 이득 조정 셀의 PMOS (M_G)의 드레인 컨덕턴스이고, λ 는 채널 모듈레이션 계수이다. 능동 인덕터의 인덕턴스는 G_{ds5} , G_{ds7} , G_{ds9} , G_{ds11} 과 G_{dsGCB} 를 변화시킴으로써 조절할 수 있다. 식 (3)에서 G_{ds7} 는 I_{D7} 에 의해서 조절할 수 있다. 식 (3)은 포화 영역일 때의 식이지만 그렇지 않은 영역일 때 또한, G_{ds7} 는 I_{D7} 에 의해서 조절할 수 있다. L_{eq} 는 g_{m1} 과 g_{m3} 에도 의존적이지만, 이를 조정하는 것보다 G_{dsTot} 이 I_D 에 대해 선형적이기 때문에 G_{dsTot} 를 조정하도록 설계하였다. g_{m1} 과 g_{m3} 의 변화에 의한 영향은 자동 3단계 주파수 및 이득 튜닝에서 상쇄할 수 있다.

위에서 언급한 것과 같이 G_{ds9} , G_{ds11} 과 G_{dsGCB} 는 각각 I_{D9} , I_{D11} 과 I_{DGCB} 에 의해 조절되고, I_D 는 게이트 전압과 MOS(W/L) 사이즈에 의해서 조절된다. 따라서 인덕턴스를 조절하기 위해서 드레인 컨덕턴스를 조절해야 하고, 이를 위해서 MOS의 게이트 전압과 W/L 사이즈를 조절하는 방식으로 이루어진다. 일반적으로 플로팅 노드가 있을 경우 디지털 노이즈에 매우 민감해진다. 능동 인덕터의 모든 PMOS가 꺼졌을 때 M_1 과 M_3 의 게이트 노드가 플로팅 되는 것을 막기 위해 M_5 의 게이트는 GND에 연결되어 있다. I_{D7} , I_{D9} 와 I_{D11} 은 각각 $FCDTW<64:0>$, $FCONT$ 와 $DCONT<19:0>$ 의 신호에 의해서 조절되고, I_{DGCB} 는 $GCONT<19:0>$ 에 의해서 조절된다.

그림 4는 디지털 제어 발진기 이득 조정 뱅크의 회로도이다. 10개의 디지털 제어 발진기 이득 조정 셀들로 구성되어 있으며 $GCONT<9:0>$ 에 의해서 조절된다. $GCONT<N>$ 이 HIGH일 때, PMOS(M_1 , M_2)의 게이트는 $FCDTW<64:0>$ 으로 연결된다. 이와 반대로 $GCONT<N>$ 이 LOW일 때 PMOS(M_1 , M_2)의 게이트는 VDD로 연결되어 디지털 제어 발진기 이득 조정 셀은

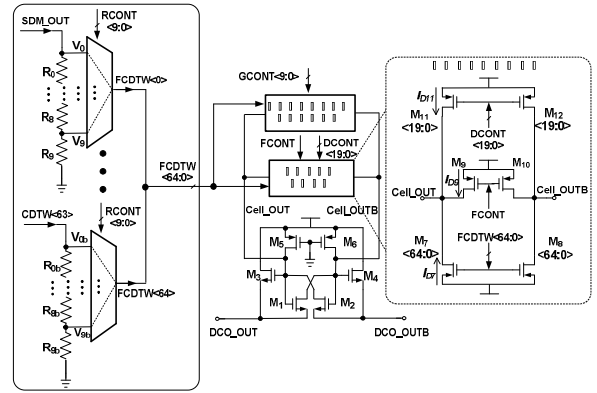


그림 3. 제안한 능동 인덕터의 회로도.
Fig. 3. The schematic of the proposed active inductor.

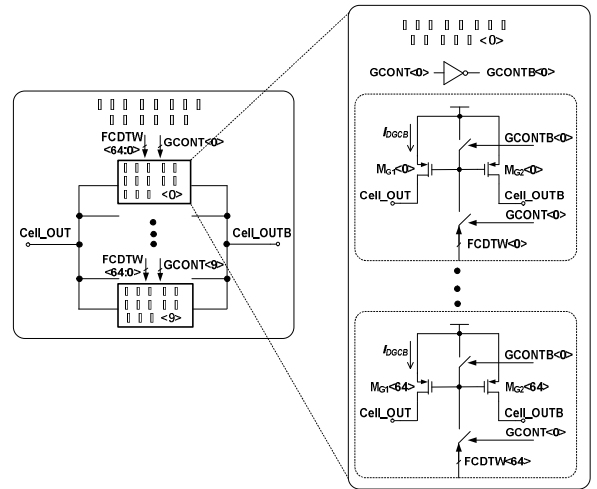


그림 4. 디지털 제어 발진기 이득 조정 뱅크의 회로도.
Fig. 4. The schematic of the DCO gain control bank.

OFF가 된다. 이 디지털 제어 발진기 이득 조정 셀의 스위치들은 PMOS의 게이트에 연결되어 스위치의 기생 커패시턴스 성분을 최소화 하였다. 이 이득 조정 뱅크는 넓은 주파수 튜닝 영역에서 디지털 제어 발진기의 이득(K_{DCO})를 조정하게 된다.

그림 5는 주파수 해상도 조정 원리를 나타낸 것이다. $CDTW<63:0>$ 과 SDM_OUT 은 $FCDTW<64:0>$ 과 일대일 매핑될 수 있는데, 주파수 해상도를 조정하기 위해 주파수 디지털 컨트롤러(그림. 1)로부터 오는 신호인 $RCONT<9:0>$ 으로 $CDTW<63:0>$ 과 SDM_OUT 의 전압 레벨을 새로 결정한 후 $FCDTW<64:0>$ 로 매핑 된다. 그 전압 레벨은 $RCONT<9:0>$ 에 의해서 저항으로 분배된 10개의 레벨 중 하나의 전압 값이 된다. 이렇게 매핑 된 $FCDTW<64:0>$ 이 능동 인덕터 조정 뱅크 블록과 디지털 제어 발진기 이득 조정 뱅크 블록 내의 PMOS 게이트 전압이 된다. PMOS의 게이트 전압 값

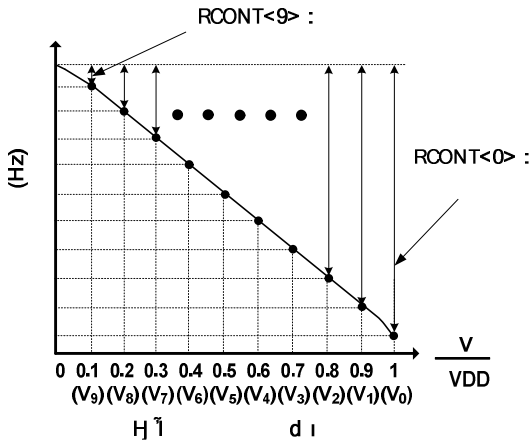


그림 5. 주파수 해상도 조정 원리.
Fig. 5. The principle of adjusting frequency resolution.

을 조정하는 것은 전류량을 조정하는 것이기 때문에 능동 인덕턴스가 변하게 되고, 디지털 제어 발진기의 출력 주파수가 변하게 된다. 예를 들어 RCONT<9:0>의 값이 "100000000"이고, SDM_OUT의 값이 HIGH 일 때 SDM_OUT은 FCDTW<0>에 매핑되고 그 전압 값은 V₉으로 결정되고, 이는 식 (4)와 같다.

$$V_9 = VDD \times \frac{R_9}{\sum_{i=0}^9 R_i} = VDD \times 0.1 \quad (4)$$

이 경우 FCDTW<0>은 최소 주파수 해상도를 갖게 된다. 모든 저항(R₀~R₉)은 같은 값을 갖고 있고, VDD는 공급 전압이다.

2. 자동 3 단계 주파수 및 이득 튜닝

그림 6은 자동 3 단계 주파수 및 이득 튜닝에 대한 원리를 나타낸 것이다.

1단계 : 1단계 주파수 튜닝은 광대역 주파수 튜닝이다. 디지털 제어 발진기의 주파수는 주파수 튜닝 디지털 컨트롤러에 의해서 측정된다. 측정된 주파수에 따라서 튜닝이 시작될 중간 주파수가 FCONT에 의해서 결정되고 이는 능동 인덕터의 큰 값의 인덕턴스가 조정되게 된다. 그래서 1단계에서는 FCONT에 의해서 G_{ds9}가 결정된다. 만약에 이를 MIM 커패시터를 이용하게 되면 상당히 큰 값을 갖는 MIM 커패시터를 사용해야 하는데 이는 많은 면적을 소비할 뿐만 아니라 출력 전압 스윙도 감소시킨다. 반면에 능동 인덕터를 사용함으로써 이와 같은 문제를 해결할 수 있다.

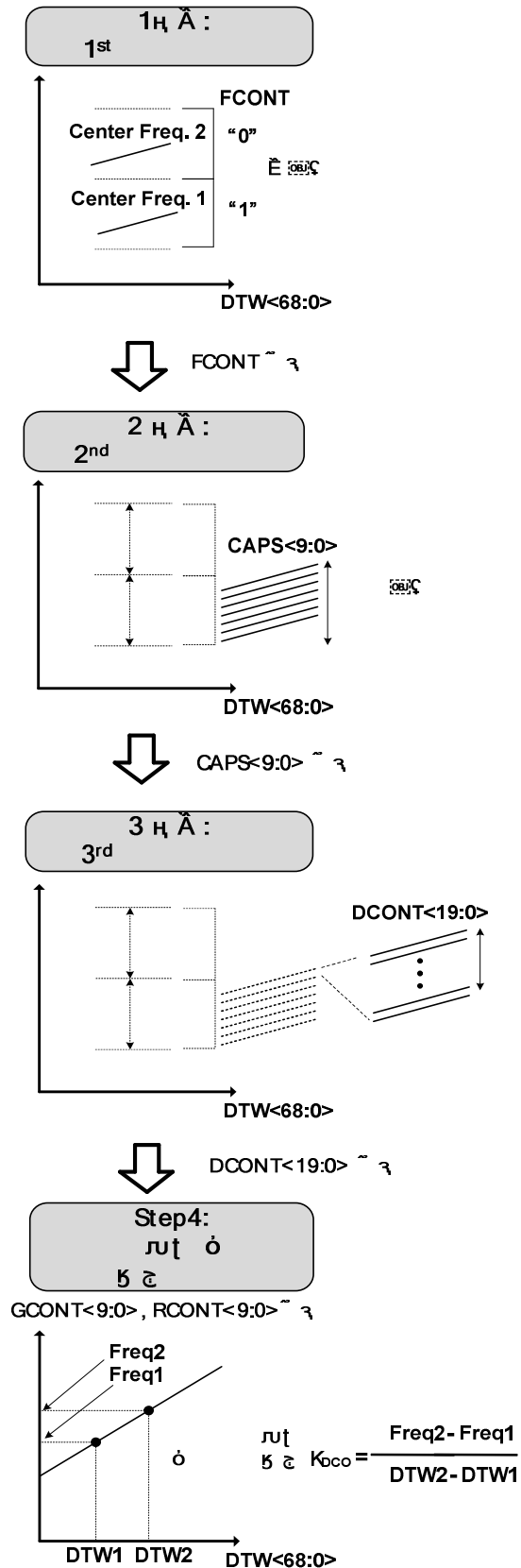


그림 6. 제안한 3 단계 주파수 및 이득 튜닝의 개념.
Fig. 6. The concept of proposed three-step coarse and gain tuning.

2단계 : 2 단계 주파수 튜닝은 중간 대역 주파수 튜닝이다. 이 단계에서는 CAPS<9:0>을 이용하여 커패시터 뱅크의 MIM 커패시터를 조정하도록 되어 있다. 2 단계 주파수 튜닝으로 최적의 MIM 커패시턴스를 선택하게 된다. 이때의 튜닝 영역은 0.9 GHz를 갖는다.

3단계 : 3 단계 주파수 튜닝은 협대역 주파수 튜닝이다. 2 단계 주파수 튜닝에서 주파수 간격이 수 MHz 로써 2 단계로 모든 주파수 튜닝을 완료시키기에는 간격이 넓은 편이기 때문에 이를 보완하고자 3 단계 주파수 튜닝을 하게 된다. 3 단계 주파수 튜닝에서는 앞서 실시한 2 단계 주파수 튜닝 커브사이에서 최적의 주파수 튜닝 커브를 찾게 된다. 이 단계에서는 DCONT<19:0>이 Gds11을 조정함으로써 능동 인덕터의 인덕턴스 값을 변화시키게 된다. 그 결과 3단계 주파수 튜닝에서 주파수 해상도는 135 kHz/LSB를 갖는다.

4단계 : 3단계 주파수 튜닝이 끝난 후 4단계에서는 디지털 제어 발진기 이득 튜닝을 하게 된다. 디지털 제어 발진기의 이득은 1 비트가 바뀌었을 때 변화되는 주파수량과 같다. 이는 디지털 제어 발진기의 최종적인 주파수 해상도와 같다. 그래서 최종적인 주파수 해상도를 결정하는 RCONT<9:0>과 GCONT<9:0>의 값을 변화함으로써 조정 가능하다. 디지털 제어 발진기의 이득은 디지털 제어 발진기의 입력으로 DTW2와 DTW1을 넣었을 때 생성되는 각각의 주파수 Freq2와 Freq1 차이를 보고 계산될 수 있다. 이 값을 주파수 튜닝 디지털 컨트롤러에 의해서 측정되고 계산되어 그 값이 우리가 원하는 값에 도달할 수 있도록 RCONT<9:0>과 GCONT<9:0>을 조정하게 된다.

III. 실험 결과

칩은 1 poly, 6 layer, 0.13 μm CMOS 공정으로 설계하였으며, MIM (Metal-Insulator-Metal) 커패시터 및 높은 쉬트 저항을 갖는 폴리 저항을 사용하였다.

그림 7은 칩 사진을 보여주고 있다. 디지털 제어 발진기 코어, 시그마 델타 모듈레이터와 주파수 튜닝 디지털 컨트롤러의 총 면적은 0.28 mm²이다.

그림 8은 3단계 주파수 및 이득 튜닝 후에 측정된 디지털 제어 발진기의 튜닝 커브를 보여주고 있다. MIM 커패시턴스만 사용할 경우 0.9 GHz의 튜닝 영역을 갖게 되는데 능동 인덕터를 사용하여 3 단계 주파수 및 이득 튜닝 기법을 적용함으로써 총 튜닝 영역은 1.4

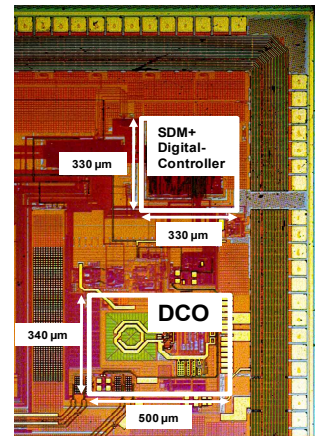


그림 7. 칩 사진.
Fig. 7. Chip Microphotograph.

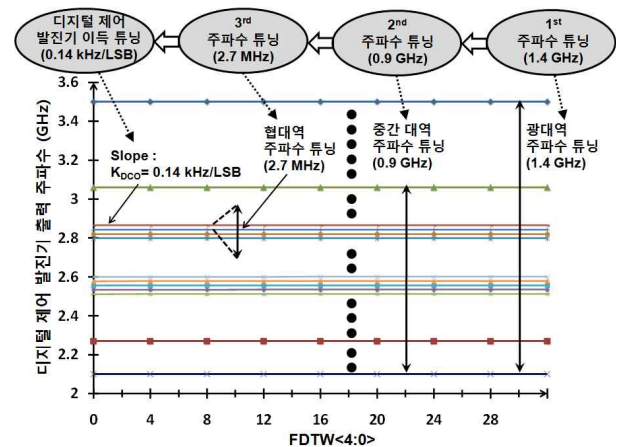


그림 8. 3단계 주파수 및 이득 튜닝 후의 디지털 제어 발진기의 튜닝 커브 측정.
Fig. 8. The measured tuning curve of the DCO after the three-step coarse and gain tuning.

GHz로 0.5 GHz를 추가적인 MIM 커패시터 없이 증가시키는 효과를 얻을 수 있다.

CDTW<63:0>의 1-LSB 주파수 해상도는 4.6 kHz이다. 이를 5-bit 시그마 델타 모듈레이터를 사용하였을 때 얻어지는 시간-평균적인 주파수 해상도는 식 (5)와 같이 0.14 kHz이며, 디지털 제어 발진기의 이득은 0.14 kHz/LSB가 된다.

$$\Delta f^{\Delta \Sigma} = 4.6 \text{ kHz} / 2^5 = 0.14 \text{ kHz} \quad (5)$$

그림 9는 3단계 주파수 및 이득 튜닝 후의 디지털 제어 발진기의 출력 스펙트럼이다. 출력 레벨은 2.4 GHz 중간 주파수에서 -11.8 dBm을 갖는다.

그림 10에서 디지털 제어 발진기의 위상 잡음은 출력 주파수가 2.4 GHz일 때, 1 MHz 오프셋에서 -120.67

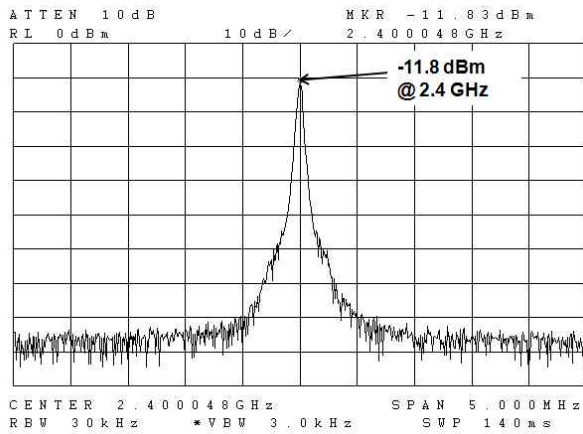


그림 9. 디지털 제어 발진기의 출력 스펙트럼.
Fig. 9. The output spectrum of the DCO.

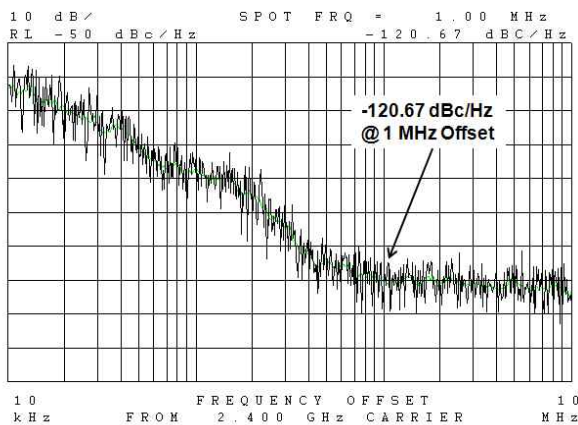


그림 10. 디지털 제어 발진기의 위상 잡음 측정.
Fig. 10. The measured phase noise of the DCO.

dBc/Hz의 값을 갖는다. 출력 주파수가 2.1 GHz와 3.5 GHz 일 때, 위상잡음은 1 MHz 오프셋에서 각각 -121.2 dBc/Hz와 -116.1 dBc/Hz의 값을 갖는다.

디지털 제어 발진기의 주파수 튜닝 영역을 적용한 FOM_T(figure of merit with the frequency tuning range)는 다음 (6)식과 같이 계산 되어 진다.

$$FOM_T = PN(f_{off}) - 20 \log\left(\frac{f_o}{f_{offset}}\right) + 10 \log\left(\frac{P_{DC}}{1mW}\right) - 20 \log\left(\frac{FDR}{10}\right) \quad (6)$$

설계된 디지털 제어 발진기의 성능은 표 1에 요약하였다. 주파수 디지털 제어 발진기의 위상잡음 성능은 참고 문헌^[4]를 제외하고 가장 좋은 성능인 1 MHz 오프셋에서 -120 dBc/Hz의 성능을 보이고 있다. 주파수 해상도는 시그마 델타 모듈레이터를 쓰지 않았을 경우 다른 디지털 제어 발진기의 성능보다 가장 해상도가 좋은

표 1. 측정 성능 요약.

Table 1. Summary of measured performance.

	[1]	[4]	[5]	This Work
공정	0.13 μ m CMOS	0.18 μ m CMOS	65nm CMOS	0.13 μ m CMOS
공급 전압 (V)	1.5	1.8	1.1	1.2
전력 소모 (mW)	3.45	5	3.3	6.6
중간 주파수 (GHz)	2.4	3.8	10	2.4
튜닝 영역 (%)	20.8	26.3	10	58
주파수 해상도 [without SDM] (kHz)	23	20	1030	4.6
위상 잡음 @1 MHz (dBc/Hz)	-117.0	-123 @1.2M Hz	-102	-120.6
FOM _T (dBc/Hz)	-185.6	-194.4	-176.8	-195.3
면적 (mm ²)	0.54	N/A	0.02	0.28

4.6 kHz의 성능을 보이고 있다. 그리고 제안한 디지털 제어 발진기와 참고 문헌과의 전체적인 성능 비교를 위해 계산된 FOM_T은 -195.3 dBc/Hz로 기존의 참고 문헌보다 좋은 편이라 볼 수 있다.

IV. 결론

본 논문은 넓은 튜닝 범위와 정밀한 해상도 성능의 능동 인덕터를 이용한 디지털 제어 발진기에 대한 논문이다. 디지털 제어 발진기의 주파수를 조정하기 위해 능동 인덕터의 트랜스컨덕턴스를 디지털하게 조정하였으며, 디지털 제어 발진기의 이득을 디지털하게 조정하여 이득 변화를 상쇄하였다. 또한, 넓은 튜닝 범위와 정밀한 해상도를 구현하기 위해 자동 3 단계 주파수 및 이득 튜닝 루프를 제안하였다. 디지털 제어 발진기의 총 주파수 튜닝 영역은 2.1 GHz ~ 3.5 GHz로 1.4 GHz의 영역을 갖는다. 유효 주파수 해상도는 시그마 델타 모듈레이터를 사용하여 0.14 kHz/LSB를 구현하였다. 전체 전력 소모는 1.2 V 공급전압에서 6.6 mW이며 위상 잡음은 1 MHz 오프셋에서 -120.67 dBc/Hz의 성능을 보이고 있다.

Acknowledgement

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (No. 2010-0013369).

참 고 문 헌

- [1] R. B. Staszewski, D. Leipold, K. Muhammad, and P. T. Balsara, "Digitally controlled oscillator (DCO)-based architecture for RF frequency synthesis in a deep-submicrometer CMOS process," *IEEE Trans. Circuits Syst. II*, vol. 50, no. 11, pp. 815 - 828, November 2003.
- [2] D. Leenaerts, R. van de Beek, G. van der Weide, J. Bergervoet, K.S. Harish, H. Waite, Y. Zhang, C. Razzell, R. Roovers, "A SiGe BiCMOS 1ns fast hopping frequency synthesizer for UWB radio," in *Proc. IEEE Int. Solid-State Circuits Conf. Dig.*, vol. 1 pp. 202-593, February 2005.
- [3] L. Lu, H. Hsieh, and Y. Liao, "A Wide Tuning-Range CMOS VCO With a Differential Tunable Active Inductor," *IEEE Trans. Microwave Theory Tech.*, vol.3, pp. 3462 - 3468, Sept. 2006.
- [4] S. Wang, J. Quan, R. Luo, and H. Cheng, "A noise reduced digitally controlled oscillator using complementary varactor pair," in *Proc. IEEE Int. Symposium on Circuits and Syst.*, pp.937-940, May 2007.
- [5] N. Da Dalt, C. Kropf, M. Burian, T. Hartig, and H. Eul, "A 10b 10GHz digitally controlled LC oscillator in 65nm CMOS," in *Proc. IEEE Int. Solid-State Circuits Conf. Dig.*, pp. 669-678, February 2006.
- [6] Koo, Hyunki Huh, Yongsik Cho, Jeongwoo Lee, Joonbae Park, Kyeongho Lee, Deog-Kyoon Jeong, and Wonchan Kim, "A fully integrated CMOS Frequency Synthesizer with charge-averaging charge pump and dual-path loop filter for PCS and Cellular-CDMA wireless systems," *IEEE J. Solid - State Circuits*, vol. 37, no.5, pp.536-542, May 2002.
- [7] 김상우, 박준성, 부영건 허정, 이강윤, "2단계 자동 트랜스컨덕턴스 조절 기능을 가진 저전력, 광대역 전압제어 발진기의 설계", *전자공학회논문지*, 제 47 권 SD편 제 2호, 87-93쪽, 2010년 2월.

— 저 자 소 개 —



부 영 건(학생회원)
 2008년 건국대학교 전자정보통신
 공학과 석사 졸업.
 2008년~현재 건국대학교 전자정
 보통신공학과 박사과정.
 <주관심분야 : RF Transceiver,
 Frequency Synthesizers>



박 안 수(학생회원)
 2009년 건국대학교 전자공학과
 학사 졸업.
 2009년~현재 건국대학교 전자
 정보통신공학과 석사과정.
 <주관심분야 : RF / 아날로그 집
 적회로 설계>



박 형 구(학생회원)
 2010년 건국대학교 전자공학과
 학사 졸업.
 2010년~현재 건국대학교 전자정
 보통신공학과 석사과정.
 <주관심분야 : Power Amplifier,
 Digital Filter>



박 준 성(학생회원)
 2010년 건국대학교 전자정보통신
 공학과 석사 졸업.
 2010년~현재 건국대학교 전자
 정보통신공학과 박사과정.
 <주관심분야 : 무선 충전 시스템,
 Sigma-Delta ADC>



이 강 윤(평생회원)-교신저자
 2003년 서울대학교 전기공학부
 박사 졸업.
 2000년~2005년 (주)지씨티리씨치
 책임 연구원.
 2005년~현재 건국대학교
 전자공학부 부교수.

<주관심분야 : RF · 아날로그 집적회로설계, 아날
 로그/디지털 Mixed Mode 설계>