

논문 2011-48SC-4-11

자동 이득 조절(AGC) 기반의 Time pickoff 회로

(Time Pickoff method using an Automatic Gain Control)

임 한 상*

(Hansang Lim)

요 약

시간 측정 시 신호 발생 시점의 기준 펄스를 발생시키는데 사용되는 time pickoff 회로는 기준 펄스의 발생 시점이 입력 신호의 크기에 영향을 받는 time walk로 인해 측정 오차를 겪는다. 본 논문에서는 이와 같은 time walk를 감소시키기 위해 자동 이득 조절(AGC: Automatic Gain Control)을 이용한 time pickoff 방식을 제안한다. 자동 이득 조절부는 가변 증폭부와 바이어스부, 입력 신호의 크기를 측정하는 크기 획득부로 구성되며, 기준 펄스를 발생하는 비교기 앞에 위치한다. 그리고, 비교기 입력 신호의 크기를 거의 일정하게 조절함으로써, time walk 발생 원인을 최소화하고 기준 펄스 발생 시점의 변화를 감소시킨다. 제안한 time pickoff 회로의 동작은 SPICE 시뮬레이션과 실험을 통하여 확인하였다. 20dB의 dynamic range와 4 ns의 상승 시간을 가지는 입력 신호에 대해 측정된 time walk는 2 ns로, 일반적으로 널리 사용되는 leading edge discriminator에 비해 약 65% 개선된 성능을 보였다.

Abstract

A time-pickoff circuit used for time measurement suffers from a timing error due to the dependence of the generation time of a timing pulse on the size of the input signal, i.e., time walk. In this study, a time-pickoff method, which employs an automatic gain control (AGC) circuit, is proposed for reducing the timing error. The AGC circuit is added to the input of the comparator, and it renders the sizes of input signals of the comparator relatively uniform. The performance of the proposed time-pickoff method is analyzed using the SPICE simulation, and experiments are performed to confirm the analytical results. The measured time walk is reduced to 2.000 ns by 65% for input signals with a dynamic range of 20 dB as compared to a typical leading-edge discriminator.

Keywords: 시간 측정, Time walk, Time pickoff, 자동 이득 조절

I. 서 론

Time of flight와 같은 시간 측정을 위해서는 원하는 신호가 발생한 시점에 정확히 생성된 기준 펄스가 필요하다. Time pickoff 회로는 이와 같은 기준 펄스를 생성하는 회로로서, 널리 사용되고 있는 방식으로는 leading edge discriminator, constant fraction discriminator,

zero crossing discriminator가 있다.

Leading edge discriminator는 가장 기본적인 time pickoff 회로로서, 비교기와 threshold 레벨 설정부로만 구성되어 구조가 매우 단순하고 세팅이 용이하다는 장점이 있다. 하지만, 기준 펄스의 발생 시점이 입력 신호의 크기에 의존하는 time walk가 커서 높은 시간 정밀도를 위해서는 offline correction, double threshold와 같은 추가 기술이 요구된다^[1~2].

Constant fraction discriminator (CFD)는 상승 시간이 일정한 입력 신호에서 신호의 크기가 일정 비율에 도달하는 시점은 크기에 상관없이 일정하다는 점을 이용한 방법으로, 이론적으로는 time walk를 갖지 않는다.

* 정회원, 광운대학교 전자융합공학과
(Kwangwoon University)

※ 이 논문은 2010년도 정부(교육과학기술부)의 재원인 한국연구재단의 기초연구사업(2010-0021393)과 2010년도 광운대학교 교내 학술비 지원으로 수행되었습니다.
접수일자: 2010년11월2일, 수정완료일: 2011년7월3일

그러나, 회로에 사용된 비교기의 응답 시간이 입력 신호의 크기에 반비례하는 성향이 있어 실제로는 time walk를 보이며^[3] 이를 감소시키기 위해 신호 크기에 따른 딜레이 조절과 같은 추가 기술이 사용되고 있다^[4].

Zero crossing discriminator는 최대 크기에 도달하는 시점은 일정하다는 점을 이용한 방법으로, CR 미분 네트워크 등을 이용하여 신호의 극성이 변화하는 지점을 파악한다^[5]. 이 방식 역시 이론적으로는 time walk가 없으나 실제로는 비교기의 특성으로 인해 입력 신호의 크기에 대한 의존성을 보이므로, 아날로그 연속 시간 분배기 등을 이용하여 이를 보상하고 있다^[6].

이와 같이 실제 time pickoff 회로들은 비교기의 응답 특성의 의존성으로 인한 time walk를 감소시키기 위하여 다양한 방법들이 사용되고 있다. 특히, 최근 AGC를 이용해 입력 신호의 크기를 normalize하는 time pickoff 개념이 제시되었다^[7]. 그러나, dynamic range가 6 dB로 매우 제한되고 실제 구현되지 않고 시뮬레이션만 수행되었다는 한계가 있다.

이에 본 논문에서는 AGC를 적용한 time pickoff 개념을 실제로 구현하고 dynamic range를 20dB로 확장한 time pickoff 방식을 제시한다. AGC를 이용한 time pickoff 개념은 비교기의 응답 시간 차이를 발생시키는 근본 원인을 최소화한다는 장점이 있다.

AGC 회로는 크게 가변 증폭부(Variable Gain Amplifier)와 바이어스 조절부, 입력 신호의 크기를 측정하는 크기 획득부로 구성된다. 다양한 크기의 입력 신호에 대해 가변 증폭부의 이득을 입력 신호의 크기에 반비례하도록 조정함으로써 비교기 입력 신호의 크기와 기울기를 균일하게 하고 비교기 응답 시간의 의존성의 영향을 감소시킨다.

제안된 time pickoff 방식은 SPICE 시뮬레이션과 실험을 통해 성능을 확인하였다. 4 ns의 상승 시간을 가지는 입력 신호에 대해 20dB의 dynamic range에서 기본적인 leading edge discriminator에 대비 약 65%의 time walk 감소를 확인하였다.

II. AGC 기반의 time pickoff 회로

1. 회로 구성

그림 1은 제안한 AGC 기반의 time pickoff 회로의 블록도이다. 비교기(COMP) 앞에 위치한 AGC 부는 입력 신호의 크기에 따라 가변 증폭부(VGA)의 이득을 조

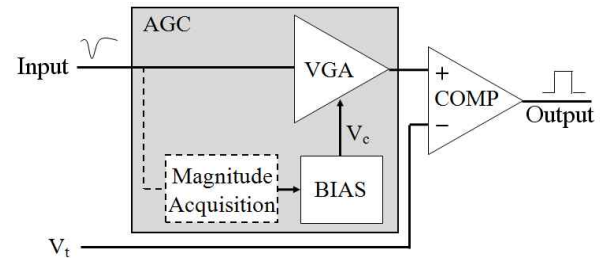


그림 1. AGC 기반 time pickoff 회로 블록도
Fig. 1. Block diagram of the proposed time pickoff circuit.

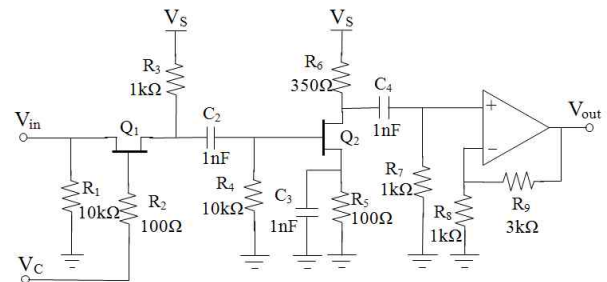


그림 2. 가변 증폭부 회로도
Fig. 2. Circuit diagram of the VGA.

정함으로써, 비교기의 입력 신호의 크기와 기울기가 거의 일정하도록 조절한다.

입력 신호는 둘로 나뉘어 크기 획득부(magnitude acquisition)와 가변 증폭부로 각각 입력된다. 크기 획득부는 입력 신호의 크기를 측정하고 측정된 크기 정보를 이용하여 바이어스부에서 가변 증폭부의 이득이 입력 신호의 크기에 반비례하도록 조절한다.

그림 2는 가변 증폭부의 회로도, Q₁으로 구현된 직렬 감쇄기와 2단으로 구성된 고정 이득 증폭기로 구성된다. 입력 신호가 크면 FET의 동작점이 선형 영역을 벗어날 수 있으므로, 감쇄기를 증폭기앞에 위치시켰다. Q₁과 Q₂는 n-channel FET인 MMBF5486을 사용하였다. 가변 이득은 직렬 감쇄기의 바이어스 전압인 V_c를 변화시켜 얻어지는데 V_c가 증가함에 따라 Q₁의 채널 저항이 작아지고 감쇄 정도가 줄어들게 된다.

상대적으로 작은 감쇄기의 출력 신호로 인해 비교기의 동작이 노이즈와 옅셋 변화에 크게 영향받는 것을 막기 위하여 2단으로 구성된 증폭기를 추가하였다. 이 2단 증폭기는 고정 이득을 가지므로 전체 가변 증폭부의 이득은 감쇄기의 바이어스 전압 V_c에 의해 조절된다.

2. 회로 분석

Q1의 채널 길이 모듈레이션 요인이 무시할만하다고 가정하면 포화 영역에서 드레인 전류 i_D 는

$$i_D = I_{DSS} \left(1 - \frac{v_{GS}}{V_p} \right)^2 \quad (1)$$

와 같이 주어진다. 식에서 I_{DSS} 는 게이트가 소스와 연결 되었을 때 드레인에서 소스로 흐르는 전류이고 v_{GS} 는 게이트와 소스사이의 전압이다.

Q1의 소스에 Δv 가 입력되었다고 하면 $v_{GS} = V_{GS} + \Delta v$ 이므로 전체 드레인 전류 i_D 는

$$i_D = I_{DSS} \left(1 - \frac{V_{GS} + \Delta v}{V_p} \right)^2 \quad (2)$$

이 된다. 입력 전압 Δv 에 의한 전류 변화 Δi_D 는

$$\begin{aligned} \Delta i_D &= i_D|_{v_{GS} = V_{GS}} - i_D|_{v_{GS} = V_{GS} + \Delta v} \\ &= -I_{DSS} \frac{\Delta v}{V_p^2} (2V_{GS} + \Delta v - 2V_p) \end{aligned} \quad (3)$$

이 되고 식 (3)으로부터 Q1의 드레인에서의 출력 전압 변화 Δv_O 는

$$\begin{aligned} \Delta v_O &= \Delta i_D R_3 \\ &= -R_3 I_{DSS} \frac{\Delta v}{V_p^2} (2V_{GS} + \Delta v - 2V_p) \end{aligned} \quad (4)$$

이 된다.

$|\Delta v| \ll |2V_{GS} - V_p|$ 인 조건에서 출력 전압 이득 G 는

$$G = \frac{\Delta v_O}{\Delta v} = -\frac{2R_3 I_{DSS}}{V_p^2} (V_{GS} - V_p) \quad (5)$$

과 같이 결정된다. 이로부터 직렬 감쇄기의 이득은 V_{GS} 에 비례하는 것을 알 수 있는데 V_{GS} 는 그림 2의 V_C 에 해당한다.

서로 다른 크기의 입력에 대해 출력 전압의 크기를 같게 하기 위해서는

$$\Delta v_O|_{v_{GS} = V_{GS1} + \Delta v_1} = \Delta v_O|_{v_{GS} = V_{GS2} + \Delta v_2} = const. \quad (6)$$

을 만족해야 하며 식 (6)을 식 (5)에 대입하면 바이어스 전압 V_{GS} 는

$$V_{GS} \approx \frac{1}{1} \frac{k}{\Delta v} + V_p \quad (7)$$

와 같은 관계를 만족해야 한다. 이로부터 바이어스 전압 V_{GS} 는 입력 신호의 크기에 반비례해야 함을 확인할 수 있다.

III. 제안한 time pickoff 회로 시뮬레이션

제안한 AGC 기반의 time pickoff 회로의 동작을 SPICE 시뮬레이션을 통해 확인한다. 먼저, 가변 증폭부에서 바이어스 전압과 이득과의 관계를 확인하고 출력 크기를 일정하게 하기 위해 요구되는 바이어스 전압을 산출한다.

그림 3의 왼쪽 그림은 바이어스 전압 V_C 를 -4V에서 0V까지 변화시키면서 얻은 이득을 정규화한 결과이고 우측 그림은 이로부터 크기가 30mV에서 300mV까지의 입력 신호에 대해 출력 신호의 크기를 일정하게 유지하기 위한 바이어스 전압을 추정한 결과이다. 식 (7)에서 확인한 바와 같이 입력 신호의 크기와 바이어스 전압은 반비례 관계임을 알 수 있다.

이와 같은 반비례 관계는 그림 4의 바이어스 회로에 의해 구현된다. 아날로그 곱셈기(AD734) 기반의 바이어스 회로는 X, Y, Z, U의 네 개의 입력을 가지며 U가 실제 입력 신호이고 나머지 세 신호들은 식 (7)의 비례상수와 오프셋을 조정하는데 사용된다. 회로에서 그림 3의 관계를 만족하는 바이어스 전압은

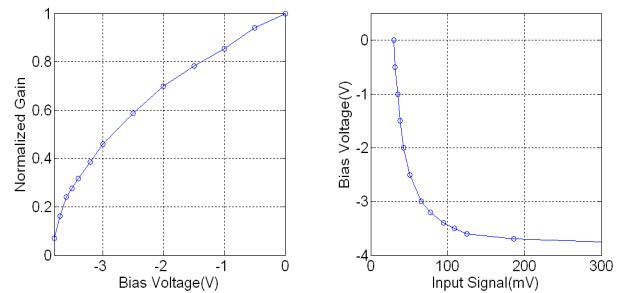


그림 3. 가변 증폭부의 시뮬레이션 결과회로도
Fig. 3. Simulated performance of the VGA.

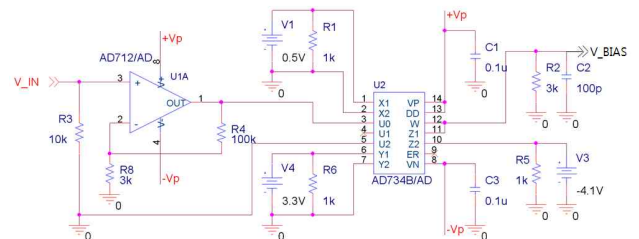


그림 4. 바이어스 회로 구성
Fig. 4. Bias circuit diagram.

$$V_{BIAS} = \frac{(X_1 - X_2)(Y_1 - Y_2)}{(U_1 - U_2)} + Z_2$$

$$= \frac{1.65}{V_{IN}} - 4.10 \quad (8)$$

와 같이 주어진다^[8].

V_IN은 크기 획득 (magnitude acquisition) 회로로부터 측정된 입력 신호의 크기이다. 이미 peak detector나 A/D 변환기 등의 많은 범용 크기 획득 회로가 존재하고 본 논문의 초점은 가변 증폭부이므로 입력 신호 V_IN은 DC 전압원으로 단순화하였다.

그림 5는 제안된 time pickoff 회로의 시뮬레이션 회로 구성이다. V1이 30mV에서 300mV까지 크기가 변하는 입력 펄스 신호로서, 상승 시간, 하강 시간, 신호 폭은 각각 4 ns, 8 ns, 3.5 ns이다. 입력 펄스 신호는 shaping을 위해 1 nF의 커패시터를 거쳐 time pickoff 회로에 입력된다. 가변 증폭부와 바이어스부는 이미 그림 2와 그림 4에서 제시되었다. 실제 기준 펄스를 발생시키는 COMP부는 4 ns의 전달 지연을 가지는 비교기 AD8611과 threshold 전압 설정을 위한 저항 분배기로 구성되었다.

그림 6은 30mV에서 300mV의 입력 신호에 대한 가변 증폭부의 출력 신호이다. 각 라인은 30mV, 60mV, 100mV, 200mV, 300mV의 입력에 대한 출력 신호이다.

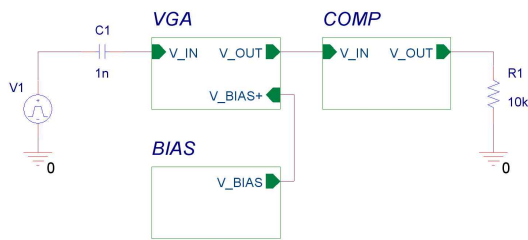


그림 5. 시뮬레이션 회로 구성
Fig. 5. Simulation schematic.

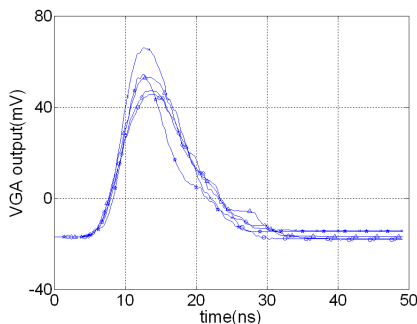


그림 6. 가변 증폭부 시뮬레이션 결과
Fig. 6. Simulated VGA outputs.

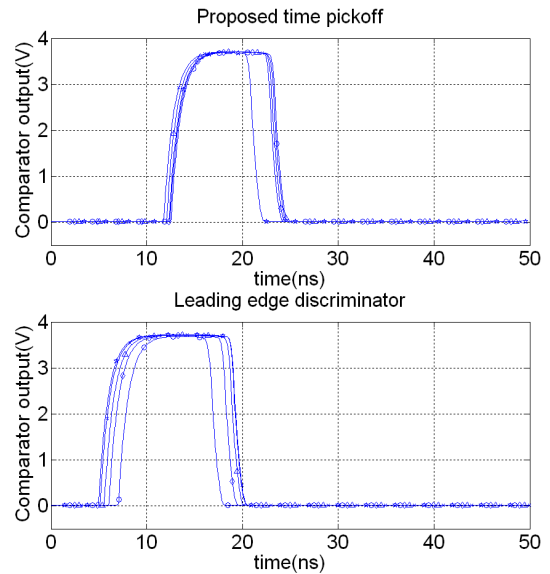


그림 7. 기준 펄스의 시뮬레이션 결과
Fig. 7. Simulation of the timing pulses.

10 : 1의 입력 신호 크기 범위에 대해 출력 신호 크기 범위는 1.34 : 1로, 이로부터 가변 증폭부의 출력 신호의 크기가 거의 일정한 크기를 가짐을 알 수 있다.

그림 7은 시뮬레이션 결과 발생한 기준 펄스를 나타낸 것으로, 위 그림이 제안한 time pickoff 회로, 아래 그림이 일반적인 leading edge discriminator의 결과이다. 제안된 방식에서의 기준 펄스의 발생 시점이 상대적으로 적게 변화함을 알 수 있다.

입력 신호가 회로에 인가된 시점과 기준 펄스가 발생한 시점 사이의 시간 간격을 응답 시간이라고 정의하자. 기준 펄스의 발생 시점은 비교기 AD8611의 출력이 하이 레벨의 최소값인 2.4V를 지날 때이다. Leading edge discriminator의 경우 입력 신호의 크기 변화에 따른 응답 시간의 변화인 time walk는 2.085 ns인데 비해 제안한 time pickoff 방식의 time walk는 0.909 ns로, 약 56% 감소를 보였다.

IV. 제안한 time pickoff 회로 실험

그림 8은 microstrip 구조의 PCB 상에 구현된 테스트 회로를 나타낸다. 바이어스 회로에 사용되는 아날로그 곱셈기(AD734)를 제외한 소자는 모두 표면 실장형 타입을 사용하였다. 입력 신호는 애질런트사의 HP8011A 펄스발생기로부터 SMA 커넥터를 거쳐 회로로 인가된다. 실험 조건은 시뮬레이션과 동일하다.

그림 9는 30mV에서 300mV 까지 입력 펄스 신호의



그림 8. 제안된 time pickoff 회로 사진
 Fig. 8. Photograph of the proposed time pickoff circuit.

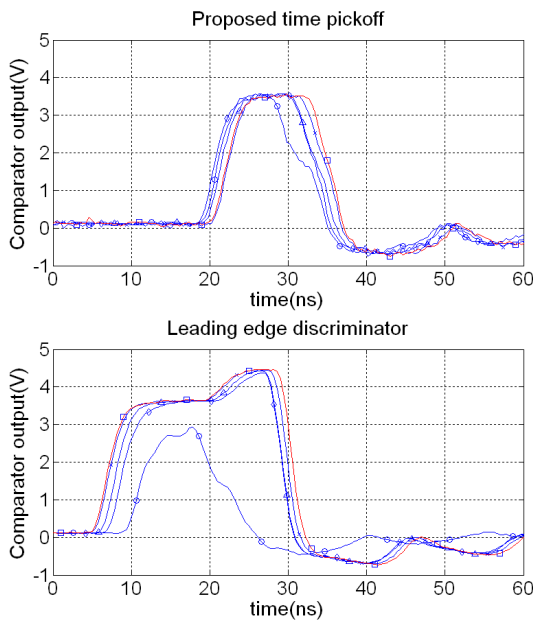


그림 9. 기준 펄스의 측정 결과
 Fig. 9. Measurements of the timing pulses.

크기를 변화하면서 측정한 기준 펄스 파형을 나타낸다. 위 그림이 제안된 time pickoff 회로, 아래 그림이 일반적인 leading edge discriminator의 기준 펄스 파형이다. 시뮬레이션 결과와 마찬가지로 leading edge discriminator에 비해 제안된 time pickoff 방식에서 기준 펄스의 발생 시점의 변화가 줄었음을 알 수 있다. 제안된 방식에서의 time walk는 2 ns로, leading edge discriminator의 5.644 ns에 비해 65% 감소하였다. 시뮬레이션 결과에 비해 time walk가 증가한 것은 노이즈로 인해 threshold 레벨을 증가시켰기 때문으로 판단된다.

그림 10은 입력 신호의 크기와 응답 시간 사이의 관계를 나타낸 것으로, 좌측 그림이 제안한 time pickoff 방식, 우측 그림이 leading edge discriminator에서의 관계이다. LED에서 입력 신호가 클수록 응답 시간이 빨

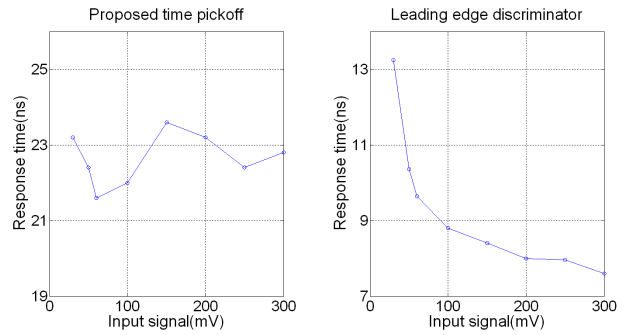


그림 10. 입력 신호 크기와 응답 시간과의 관계
 Fig. 10. Relationship between a response time and an amplitude of the input signal.

라지는 반비례 관계를 뚜렷이 보이는데 비해 제안한 방식에서는 큰 상관관계가 없음을 알 수 있다.

V. 결 론

실제 time pickoff 회로는 기준 펄스의 응답 시간이 입력 신호의 크기와 기울기에 의존하는 time walk를 보이며 이는 시간 측정의 주요한 오차가 된다. 본 논문에서는 이와 같은 time walk를 감소시키기 위해 자동 이득 조절(AGC)을 이용한 time pickoff 회로를 제안하고 PSPICE 시뮬레이션과 실험을 통해 동작을 확인하였다.

AGC부는 가변 증폭부와 크기 획득부, 바이어스부로 구성된다. 가변 증폭부의 이득을 입력 신호의 크기에 반비례하게 조절함으로써, 기준 펄스를 발생시키는 비교기의 입력 신호의 크기와 기울기를 일정하게 하고 time walk를 감소시켰다.

4 ns의 상승 시간을 가지는 입력 신호에 대해 30mV에서 300mV까지 10:1의 dynamic range에서 time walk 측정 결과는 2 ns로, 널리 사용되는 leading edge discriminator에 비해 65% 감소한 결과를 얻었다. 또한, 응답 시간이 입력 신호의 크기에 거의 무관한 경향을 보였다.

향후 넓은 입력 범위를 가지는 가변 증폭부 구조와 가변 증폭부 출력의 베이스 라인 변화 감소에 대한 연구를 통해 상용 CFD 수준 이상의 입력 dynamic range와 time walk 확보가 가능할 것으로 기대된다.

참 고 문 헌

[1] H. Lim and J. Park, "Comparison of time corrections using charge amounts, peak values,

- slew rates, and signal widths in leading-edge discriminators,” *Rev. Sci. Instr.*, Vol. 74, No. 6, pp. 3115-3119, June 2003.
- [2] A. R. Frolov, T. V. Oslopova, Y. N. Pestov, “Double threshold discriminator for timing measurements,” *Nuclear Instruments and Methods in Physics Research A*, 356, pp. 447-451, 1995.
- [3] D. M. Binkley and M. E. Casey, “Performance of Fast Monolithic ECL Comparators in Constant-Fraction Discriminators and Other Timing Circuits,” *IEEE Trans. Nucl. Sci.*, Vol. 35, pp. 226 - 230, Feb., 1988.
- [4] H. Yu, R. S. Miyaoka, and T. K. Lewellen, “Investigation of Delay Compensation Circuit Techniques to Reduce Timing Walk,” in *Proc. of IEEE Nucl. Sci. Symp. Conf. Rec.*, pp. 412 - 416, 1998.
- [5] K. Horiuchi and T. Taniguchi, “A Zero-cross Timing Discriminator for a Pure CsI Calorimeter,” in *Proc. of IEEE Nucl. Sci. Symp. Conf. Rec.*, pp. 356 - 358, Nov. 1992.
- [6] M. W. Jochmann, “Development of a CMOS Integrated Zero-Crossing Discriminator using Analog Continuous-Time Division,” *IEEE Trans. Nucl. Sci.*, Vol. 44, No. 3, pp. 308 - 311, June 1997.
- [7] H. Lim, J. Yoon, S. Min and J. Park, “Time Pick-off method by using the Automatic Gain Control (AGC),” in *Proc. of IEEE Nucl. Sci. Symp. Conf. Rec.*, pp. 800-802, Nov. 2001.
- [8] Analog Devices Inc., *AD734 Data Sheet*, 1999. [Online]. Available:<http://www.analog.com>

 저 자 소 개



임 한 상(정회원)

1996년 서울대학교
전기공학부 학사 졸업.

1998년 서울대학교
전기컴퓨터공학부
석사 졸업.

2004년 서울대학교 전기컴퓨터
공학부 박사 졸업.

2009년~현재 광운대학교 전자융합공학과
조교수

<주관심분야 : 고속 계측 시스템, 자동차 전장>