

논문 2011-48SC-2-9

마이크로프로세서 디지털 입력포트에 대한 히스테리시스 특성 부여방법에 관한 연구

(A Study on the Method of Giving Hysteresis Characteristics to the
Digital input port of Microprocessors)

이 현 창*

(Hyun Chang Lee)

요 약

본 논문에서는 마이크로프로세서의 디지털 입력포트에 히스테리시스 특성을 부여하는 방법 및 설계 순서를 제시하고 이를 실험해 그 효과를 확인하였다. 프로세서의 입력포트가 있을 때 제시한 방법을 이용하면 저항 2개의 추가만으로 히스테리시스 특성을 얻을 수 있으며, 더구나 기존의 TTL과 CMOS의 슈미트 트리거 게이트에 비해 큰 히스테리시스 폭을 얻을 수 있다.

Abstract

This paper presents the method of giving hysteresis characteristics to the digital input port of microprocessors or micro-controllers and its design procedures. And this paper shows the example of circuit design and the effect of this method by experiments. Presented method has advantages : By the additional one port and two resistors, input port can have hysteresis characteristics and hysteresis band is larger than TTL, CMOS schmitt trigger gates.

Keywords : schmitt, hysteresis, microprocessor, micro-controller, embedded

I. 서 론

최근의 반도체 및 컴퓨터 기술의 발전에 힘입어 마이크로컴퓨터, 마이크로컨트롤러를 비롯한 마이크로프로세서의 응용분야가 크게 확장되고 있으며, 특히 타 기기의 부속 개념인 임베디드 시스템이 정립되면서 그 중요성이 증가하고 있다. 이에 따라 마이크로컨트롤러의 종류와 응용이 급격히 늘어나고 소형화, 저가격화 및 고신뢰성이 요구되고 있다. 마이크로프로세서의 임베디드화에 있어서 특히 중요한 것은 센서 신호 같은 아날로그 신호의 입력방법인데, 이러한 목적에 부응해 최근의 마이크로컨트롤러들은 자체에 아날로그/디지털 변환

회로나 아날로그 비교기를 내장하는 등 아날로그 신호의 입력에 대한 처리능력을 강화하는 추세이다.^[1~2] 그러나 응용에 따라서는 매우 단순한 아날로그 신호를 처리해야 하는 경우도 자주 있는데, 예를 들어 전자시계에 광센서를 적용해 실내가 기준 이상 밝으면 시계를 밝게 하고 기준 이하로 어두우면 시계를 어둡게 제어하는 것이나, 어떤 적분 출력전압을 0과 1로 입력받는 등이 이에 해당한다. 이와 같이 단순한 아날로그 신호를 입력받기 위해 아날로그/디지털 변환기능이 내장된 마이크로컨트롤러를 사용하는 것은 가격이나 시스템 복잡성 면에서 그다지 바람직하지 않으며, 특히 아날로그/디지털 변환기능이 없던 시스템에 이와 같은 단순한 아날로그 입력을 처리하도록 확장하기 위해 마이크로컨트롤러를 아날로그/디지털 변환기가 내장된 것으로 교체한다는 것은 매우 비효율적이라 할 수 있다. 단순한 아날로그 신호를 입력받기 위해 슈미트 트리거 게이트를

* 정회원, 국립 공주대학교 정보통신공학부
(Dept. of Information and Telecommunication
Engineering, Kongju National University)
접수일자: 2009년9월8일, 수정완료일: 2011년3월10일

고려할 수 있는데, 시스템 중에 잉여의 슈미트 트리거 게이트가 있는 경우는 관계없지만 한 개의 슈미트 트리거 게이트를 위해 IC 소자 한 개를 추가하는 것은 매우 단순한 시스템 입장에서는 큰 변화가 아닐 수 없다. 그리고 일반적인 슈미트 트리거 게이트는 히스테리시스 폭이 그다지 크지 않기 때문에 아날로그 신호의 작은 변화량들이 히스테리시스 폭보다 큰 경우에는 효과를 얻을 수 없다. 큰 히스테리시스 폭을 얻기 위해 아날로그 비교기를 사용해 원하는 히스테리시스 특성을 부여하기도 하지만 이는 IC 소자와 주변의 수동소자들을 포함해야 하는 등 부담이 더 커지는 것이 사실이다. 본 논문에서는 이러한 단순한 아날로그 입력을 위해 최소의 부품으로 기존의 디지털 입력포트에 히스테리시스 특성을 부여할 수 있는 방법과 설계 순서를 제시하고 이를 실험해 그 성능과 효과를 보인다.

II. 본 론

1. 아날로그 신호의 입력방법

디지털 입력은 그림 1(a)와 같이 특정 전압 V_{TH} 를 경계로 출력이 반응하는 특성이 있지만 이 전압은 소자의 동작조건에 따라 변화하기 때문에 데이터 시트에는 그림 1(b)와 같이 디지털 레벨이 보증되는 'L' 영역과 'H' 영역만을 "Noise margin"으로 표시하고 있다.^[3]

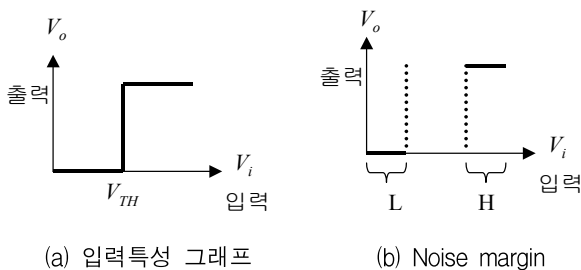


그림 1. 디지털 게이트의 특성
Fig. 1. Characteristics of a digital gate.

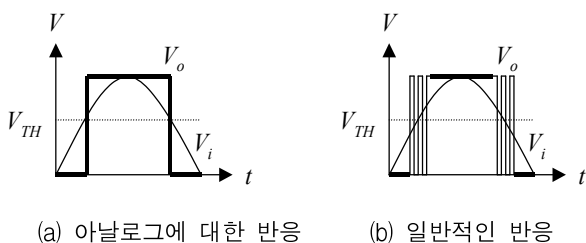


그림 2. 디지털 게이트의 아날로그 특성
Fig. 2. Analog characteristics of a digital gate.

이러한 특성을 가진 디지털 소자에 아날로그 전압을 입력하면 경계전압 V_{TH} 에서 그림 2(a)와 같은 반응을 나타낸다.

그러나 아날로그 전압에는 잡음이 혼합되어 있고, 입력되는 전압 및 소자의 동작상태에 의해 V_{TH} 가 변화하기 때문에 일반적으로 그림 2(b)와 같이 발진과 유사한 반응을 한다. 이와 마찬가지로 마이크로프로세서의 디지털 포트에 직접 아날로그 전압을 입력하면 이상과 같은 문제점들이 발생하므로 특별한 방법을 사용해야 하는데, 현재 마이크로프로세서 및 마이크로컨트롤러 분야에서 주로 사용되고 있는 아날로그 전압 입력 방법에 대해 간단히 살펴본다.

가. 아날로그/디지털 변환

이는 아날로그 신호를 입력받기 위한 가장 적극적이면서도 복잡한 방법으로서, 정확한 디지털 변환값을 입력받아 시스템에서 필요로 하는 처리를 소프트웨어로 자유롭게 구현할 수 있지만 비용 및 회로의 복잡성이 크게 증가하는 단점이 있다.^[4]

나. 슈미트 트리거 게이트

TTL과 CMOS 게이트 중 74LS14나 4093 등과 같이 슈미트 트리거 기능이 내장된 것을 이용하면 간단히 히스테리시스 특성을 얻을 수 있지만, 소자 1개를 추가해야 하는 부담은 물론 히스테리시스 폭이 약 0.2V 정도로 매우 작아 응용에 한계가 있다.^[5-6]

다. 히스테리시스 특성을 가진 비교기

이는 히스테리시스 특성을 원하는 대로 설정해 부여할 수 있는 방법으로서 기본 형태는 그림 3과 같이 구성되며 특성 식은 식 (1)과 같다.^[7]

$$\begin{cases} UTP = \frac{R_1}{R_2} \cdot V \\ LTP = -\frac{R_1}{R_2} \cdot V \end{cases} \quad (1)$$

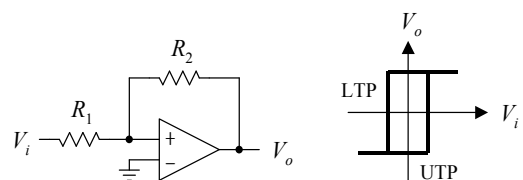


그림 3. 연산증폭기에 의한 슈미트 트리거 회로
Fig. 3. Schmitt trigger circuit by the OP-Amp.

이는 히스테리시스 특성을 사용자가 필요에 따라 설정할 수 있지만 연산증폭기를 비롯해 별도의 소자들이 다수 추가되는 단점이 있고, 일반 연산증폭기를 사용한 경우 (+)와 (-)의 양전원이 필요함은 물론 출력전압의 레벨이 맞지 않아 이를 변환하는 회로가 추가된다. 단 전원용 전압 비교기를 사용하면 이러한 문제는 해결되지만 pull-up 저항이 더 추가된다.^[8]

라. 일반 게이트의 히스테리시스 특성 부여

이는 그림 4(a)에 나타난 바와 같이 일반 버퍼 게이트에 저항으로 정귀환을 걸어 출력이 'L'일 때는 R_2 에 의해 입력이 쉽게 'H'로 이동하지 못하도록 저지하고, 출력이 'H'가 되면 입력이 쉽게 'L'로 이동하지 못하도록 저지한다. 이는 정귀환을 이용하므로 반드시 비반전 버퍼에서만 가능하고 반전버퍼로는 불가능하므로 만약 반전 버퍼를 이용하려면 그림 4(b)와 같이 2개의 게이트를 사용해야 한다.

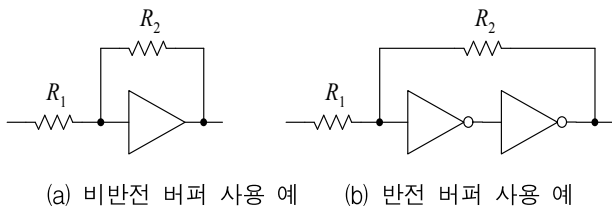


그림 4. 버퍼에 의한 슈미트 트리거 회로
Fig. 4. Schmitt trigger circuit by the buffer.

2. 디지털 포트의 히스테리시스 특성 부여 방법

앞서 논한 바와 같이 히스테리시스 특성을 발생시키는 원리는 입력이 'L'에 해당될 때는 쉽게 'H'로 이동하지 못하도록 전압을 저지하고, 반대로 입력이 'H'에 해당될 때는 쉽게 'L'로 이동하지 못하도록 전압을 보강하는 것이었다. 따라서 마이크로프로세서의 포트에서 이

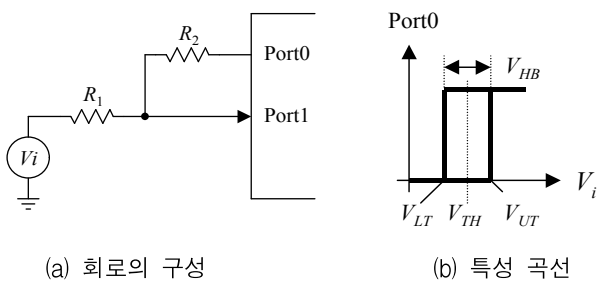


그림 5. 마이크로프로세서 포트의 구성
Fig. 5. Construction port of the microprocessor.

와 동일한 동작을 하도록 그림 5(a)와 같이 2개의 포트를 이용해 접속하고, 이 중 포트 1은 입력용으로, 포트 0은 히스테리시스 제어 출력용으로 할당한다.

소프트웨어는 포트 1을 관독해 'L'이면 쉽게 'H'로 이동하지 못하도록 포트 0에 'L'을 출력하고, 포트 1이 'H'이면 쉽게 'L'로 이동하지 못하도록 포트 0에 'H'를 출력해 그림 5(b)의 특성이 나타나도록 한다.

가. V_{LT} 의 계산

그림 5(b)에서, 히스테리시스의 하한인 V_{LT} 는 출력이 'H'에서 'L'로 변화하는 과정이므로 전압이 쉽게 저하되지 않도록 포트 0이 'H'로 되어 그림 6과 같은 등가 회로로 나타낼 수 있다.

그림 6에서 포트 입력전압 V_P 는 V 와 V_i 가 R_1 과 R_2 에 의해 분압된 것으로서, 이 전압이 V_{TH} 와 동일할 때의 V_i 가 V_{LT} 이므로 식 (2)와 같이 나타낼 수 있다.

$$\frac{R_1}{R_1 + R_2} \cdot (V - V_{LT}) + V_{LT} = V_{TH} \quad (2)$$

식 (2)를 V_{LT} 에 대해 정리하면 식 (3)과 같다.

$$V_{LT} = \frac{R_1}{R_2}(V_{TH} - V) + V_{TH} \quad (3)$$

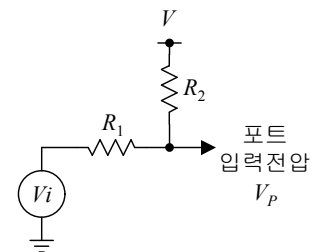


그림 6. V_{LT} 상태 등가회로
Fig. 6. Equivalent circuit at V_{LT} state.

나. V_{UT} 의 계산

히스테리시스의 상한인 V_{UT} 는 출력이 'L'에서 'H'로 변화하는 과정이므로 전압이 쉽게 증가하지 않도록 포

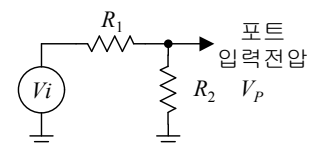


그림 7. V_{UT} 상태 등가회로
Fig. 7. Equivalent circuit at V_{UT} state.

트 0이 'L'로 되어 그림 7과 같은 등가회로로 나타낼 수 있다.

그림 7에서 포트 입력전압 V_p 는 V_i 가 R_1 과 R_2 에 의해 분압된 것으로서, 이 전압이 V_{TH} 와 동일할 때의 V_i 가 V_{UT} 이므로 식 (4)와 같이 나타낼 수 있다.

$$\frac{R_2}{R_1 + R_2} \cdot V_{UT} = V_{TH} \quad (4)$$

식 (4)를 V_{UT} 에 대해 정리하면 식 (5)와 같다.

$$V_{UT} = \left(1 + \frac{R_1}{R_2} \right) \cdot V_{TH} \quad (5)$$

다. 히스테리시스 폭

히스테리시스 폭은 식 (6)과 같이 정의된다.^[7]

$$V_{HB} = V_{UT} - V_{LT} \quad (6)$$

식 (6)에 식 (3)과 식 (5)를 대입하고 (R_1 / R_2)의 비로 정리하면 식 (7)과 같다.

$$\frac{R_1}{R_2} = \frac{V_{HB}}{V} \quad (7)$$

디지털 회로에서는 V_{LT} 가 0 이상이어야 하므로 식 (3)은 식 (8)과 같은 조건식으로 나타낼 수 있다.

$$\left\{ \frac{R_1}{R_2} (V_{TH} - V) + V_{TH} \right\} > 0 \quad (8)$$

이를 정리하면

$$\frac{R_1}{R_2} < \frac{V_{TH}}{V - V_{TH}} \quad (9)$$

식 (7)을 식 (9)에 대입하고 정리하면 히스테리시스 폭 V_{HB} 는 식 (10)에 의해 제한된다.

$$V_{HB} < \frac{V \cdot V_{TH}}{V - V_{TH}} \quad (10)$$

라. 임피던스 조건

히스테리시스 회로의 전류흐름은 그림 8과 같다.

정확한 히스테리시스 특성을 얻으려면 히스테리시스 전류 I_{LT} , I_{HT} 는 입력포트 전류 I_{IL} , I_{IH} 에 영향을 받지 않아야 하므로 I_{IL} , I_{IH} 보다 10배 이상 커야 한다.^[9] 만약 I_{LT} , I_{HT} 가 매우 작을 만큼 R_1 , R_2 가 크다면 입

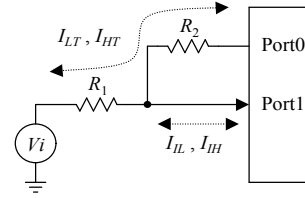


그림 8. 입력포트의 전류들
Fig. 8. Currents of the input port.

력전압 V_i 는 R_1 과 입력포트 내부 임피던스로 분압되어 포트에 입력되는 전압은 동작점 V_{TH} 보다 커지지 않거나 작아지지 않아 정상적으로 동작하지 않는다.

(1) 하위 트립점 기준

입력이 'L'로 관독되어 출력포트가 'L'로 설정된 직후 (하위 트립점)가 히스테리시스 발생 전압 중 최저점이므로 히스테리시스 발생 유입전류가 최소이며, 이 때의 전류흐름을 그림 9에 나타내었다.

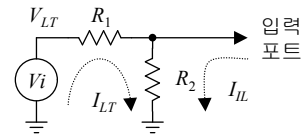


그림 9. 하위 트립점에서의 전류들
Fig. 9. Currents at the lower trip point.

히스테리시스 발생전류 I_{LT} 가 입력포트 전류 I_{IL} 에 영향을 받지 않으려면 최소 10배 이상 커야 하므로 식 (11)과 같은 조건이 주어진다.

$$I_{LT} \geq 10 \cdot I_{IL} \quad (11)$$

이 조건 상태에서는 I_{IL} 이 회로에 미치는 영향을 무시할 수 있으므로 히스테리시스 전류 I_{LT} 는 식 (12)와 같이 나타낼 수 있다.

$$I_{LT} \cong \frac{V_{LT}}{R_1 + R_2} \quad (12)$$

따라서 하위 트립점에서의 히스테리시스 전류는 식 (13)과 같은 조건을 만족해야 한다..

$$\frac{V_{LT}}{R_1 + R_2} \geq 10 \cdot I_{IL} \quad (13)$$

그러므로 저항합은 식 (14)와 같이 구할 수 있다.

$$R_1 + R_2 \leq \frac{V_{LT}}{10 \cdot I_{IL}} \quad (14)$$

(2) 상위 트립점 기준

입력이 'H'로 판독되어 출력포트가 'H'로 설정된 직후 (상위 트립점)도 마찬가지로 히스테리시스 발생 유출전류가 최소이며, 이 때의 전류흐름을 그림 10에 나타내었다.

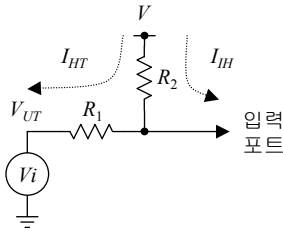


그림 10. 상위 트립점에서의 전류들
Fig. 10. Currents at the upper trip point.

히스테리시스 발생전류 I_{HT} 가 입력포트 전류 I_{IH} 에 영향을 받지 않으려면 최소 10배 이상 커야 하므로 식 (15)와 같은 조건이 주어진다.

$$I_{HT} \geq 10 \cdot I_{IH} \quad (15)$$

이 조건 상태에서는 I_{HH} 가 회로에 미치는 영향을 무시할 수 있으므로 히스테리시스 전류 I_{HT} 는 식 (16)과 같이 나타낼 수 있다.

$$I_{HT} \cong \frac{V - V_{UT}}{R_1 + R_2} \quad (16)$$

따라서 상위 트립점에서의 히스테리시스 전류는 식 (17)과 같은 조건을 만족해야 한다..

$$\frac{V - V_{UT}}{R_1 + R_2} \geq 10 \cdot I_{IH} \quad (17)$$

그러므로 저항합은 식 (18)과 같이 구할 수 있다.

$$R_1 + R_2 \leq \frac{V - V_{UT}}{10 \cdot I_{IH}} \quad (18)$$

식 (14)와 식 (18)에 의해 계산된 저항 합 중 더 작은 값이 나타나는, 즉 큰 전류가 나타나는 쪽을 상한선으로 선택해야 한다.

마. 출력포트 전류 조건

히스테리시스 제어용 출력포트로 전류가 유입되는 것은 그림 9의 경우이므로 이 때의 출력포트 전류는 식 (19)와 같다.

$$I_{OL} = I_{LT} + I_{IL} \quad (19)$$

식 (19)를 식 (11)에 대입하면 출력포트의 유입전류는 식 (20)의 조건을 가져야 한다.

$$I_{OL} \geq 11 \cdot I_{IL} \quad (20)$$

마찬가지로 출력포트의 전류가 유출되는 것은 그림 10의 경우이므로 출력포트 전류는 식 (21)과 같다.

$$I_{OH} = I_{HT} + I_{IH} \quad (21)$$

식 (21)을 식 (15)에 대입하면 출력포트의 유출전류는 식 (22)의 조건을 가져야 한다.

$$I_{OH} \geq 11 \cdot I_{IH} \quad (22)$$

바. 하드웨어 설계 순서

지금까지 유도한 각종 식과 조건들을 토대로 히스테리시스 회로 설계순서를 나열하면 다음과 같다.

- ① 데이터시트에서 출력포트 드라이브 전류 I_{OH} , I_{OL} 와 입력포트의 동작전압 및 유출입 전류를 구한다.
- ② 다음 식을 이용해 출력포트의 드라이브 전류 조건을 검사한다.

$$\begin{cases} I_{OL} \geq 11 \cdot I_{IL} \\ I_{OH} \geq 11 \cdot I_{IH} \end{cases} \quad (23)$$

- ③ 실측에 의해 입력포트 동작전압 V_{TH} 를 측정하거나 데이터 시트의 Noise margin 사이 전압의 중점을 가상의 V_{TH} 로 설정한다.

- ④ 다음 식에 의해 히스테리시스 폭 제한을 검사한다.

$$V_{HB} < \frac{V \cdot V_{TH}}{V - V_{TH}} \quad (24)$$

- ⑤ 이상의 조건들이 충족되면 다음 식에 의해 원하는 히스테리시스 폭에 대한 저항비를 구한다.

$$\frac{R_1}{R_2} = \frac{V_{HB}}{V} \quad (25)$$

- ⑥ 다음 식에 의해 각 트립점들을 구한다.

$$\begin{cases} V_{LT} = \frac{R_1}{R_2}(V_{TH} - V) + V_{TH} \\ V_{UT} = \left(1 + \frac{R_1}{R_2}\right) \cdot V_{TH} \end{cases} \quad (26)$$

⑦ 다음 조건에 맞는 저항값을 구한다.

$$\left. \begin{cases} R_1 + R_2 \leq \frac{V - V_{UT}}{10 \cdot I_{IH}} \\ R_1 + R_2 \leq \frac{V_{LT}}{10 \cdot I_{IL}} \end{cases} \right\} \text{이들 중 작은 값} \quad (27)$$

사. 소프트웨어의 구성

입력포트가 히스테리시스 특성을 가지도록 출력포트를 제어하려면 입력포트가 'L'일 때는 출력포트를 'L'로 출력해 입력전압이 쉽게 'H'로 변화되지 않도록 하며, 입력포트가 'H'일 때는 출력포트를 'H'로 출력해 입력전압이 쉽게 'L'로 변화되지 않도록 한다. 따라서 입력포트를 판독할 때 그 값을 출력포트로 다시 출력하면 되므로 소프트웨어 부담은 거의 없다.

3. 설계 예

자주 사용되는 마이크로프로세서 포트용 소자 및 마이크로컨트롤러에 대한 설계 예를 든다.

가. 인텔 8051 계열

데이터 시트에 따르면 AT89C51, 8051의 경우 입력포트의 유출입 전류는

$$I_{IL}, I_{IH} = \pm 10\mu A_{max}$$

이고, 출력포트의 구동능력은

$$I_{OH} = \begin{cases} -60\mu A \text{ at } 2.4V \\ -10\mu A \text{ at } 0.9 \cdot V_{CC} \end{cases}$$

이다. 식 (23)에 의해

$$I_{OH} \geq 11 \cdot I_{IH} = 110\mu A$$

이므로 포트의 드라이브 능력이 부족해 적용할 수 없으며 반전 버퍼나 비반전 버퍼를 사용해야 한다.

나. 인텔 8155, 8255 PPI

데이터 시트에 따르면 입력포트의 유출입 전류는

$$I_{IL}, I_{IH} = \pm 10\mu A_{max}$$

이고, 출력포트의 구동능력은

$$I_{OH} = \begin{cases} -2.5mA \text{ at } 3.0V \\ -100\mu A \text{ at } 4.6V \end{cases}$$

$$I_{OL} = 2.5mA \text{ at } 0.4V$$

이다. 식 (23)에 의해

$$I_{OH} \geq 11 \cdot I_{IH} = 110\mu A$$

이므로 히스테리시스 구동이 가능하다. 8255의 경우 실측에 의하면 $V_{TH} = 1.2V$ 이므로 식 (24)에 의해 히스테리시스 폭은 다음과 같이 정해진다.

$$V_{HB} < \frac{5 \times 1.2}{5 - 1.2}$$

$$\therefore V_{HB} < 1.58V$$

즉 인텔 8255 PPI는 최대 1.58V까지의 히스테리시스 폭을 가질 수 있다. 히스테리시스 폭을 1V로 잡는다면 식 (25)에 의해

$$\frac{R_1}{R_2} = \frac{V_{HB}}{V} = \frac{1}{5}$$

식 (26)에 의해 트립점들은 다음과 같다.

$$\begin{cases} V_{LT} = 0.2 \cdot (1.2 - 5) + 1.2 = 0.44V \\ V_{UT} = (1 + 0.2) \cdot 1.2 = 1.44V \end{cases}$$

입력포트 유출입 전류 $I_{IL}, I_{IH} = \pm 10\mu A_{max}$ 이므로 저항합은 식 (27)에 의해

$$\begin{cases} R_1 + R_2 \leq 4.4K\Omega \\ R_1 + R_2 \leq 35.6K\Omega \end{cases}$$

이므로 더 작은 값인 하위 트립점 값을 사용하면,

$$R_1 + R_2 = 4.4K\Omega$$

이다. 저항비는 $R_1 / R_2 = 1 / 5$ 이었으므로 이를 풀면 다음과 같다.

$$\begin{cases} R_1 = 733.33\Omega \\ R_2 = 3.67K\Omega \end{cases}$$

다. 기타 마이크로컨트롤러

ATMEL의 AVR 계열이나 모토롤라의 MC68HC05 계열, PIC 계열 등 대부분의 소자들은 출력포트의 전류가 충분하므로 이 회로가 적용 가능하며 따라서 유사한 과정으로 설계해 사용할 수 있다.

III. 실험 및 고찰

이상에서 살펴본 결과를 확인하기 위해 인텔 8255의 2개 포트에 그림 11과 같이 계산 값에 근사한 저항을 접속하고 5V_{pp}, 100Hz의 정현파를 입력했을 때의 결과를 그림 12에 나타내었다.

그림 11(a)는 히스테리시스 보상이 없는 상태에서의 파형으로서 V_{TH} = 1.2V에서 디지털 값이 변화한다. 그림 11(b)는 오실로스코프를 X-Y 모드로 설정해 관찰한 것으로서 V_{TH} = 1.2V 지점에서 변화함을 알 수 있다. 이에 비해 그림 11(c)는 히스테리시스 보상을 한

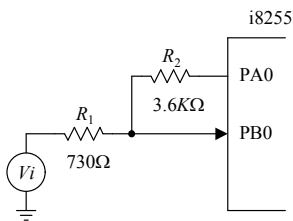
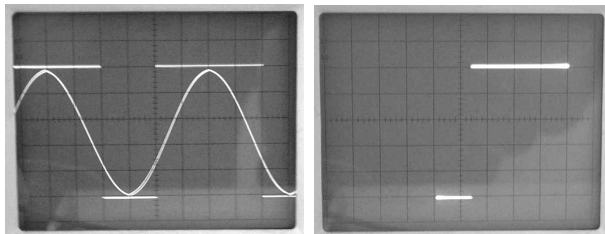
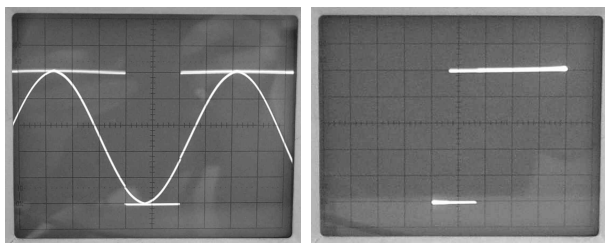


그림 11. 실험 회로
Fig. 11. Circuit for experience.

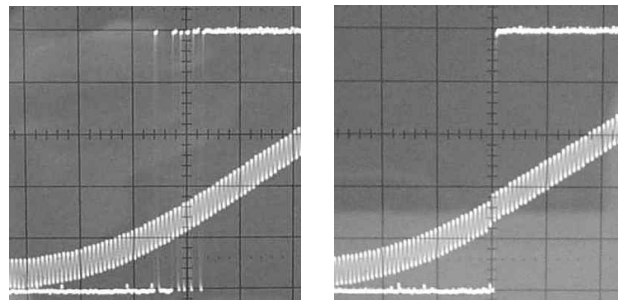


(a), (b) 히스테리시스 보상 없을 때



(c), (d) 히스테리시스 보상 있을 때

그림 12. 8255에서의 실험 결과-1
Fig. 12. Result of the experience using Intel 8255.



(a) 보상 없을 때 (b) 보상 있을 때

그림 13. 8255에서의 실험 결과-2
Fig. 13. Another result of the experience using Intel 8255.

경우의 파형으로서 하위 트립점은 약 0.6V, 상위 트립점은 약 1.6V 정도로 나타나고 있다. 그림 11(d)에서는 파형의 ‘L’ 직선과 ‘H’ 직선이 일부 겹쳐 나타나며 이 크기가 히스테리시스 폭으로서 설계 값인 V_{HB} = 1V와 거의 동일함을 알 수 있다. 설계 시의 계산에서는 하위 트립점이 0.44V, 상위 트립점이 1.44V로 계산되었으나 실험에서 약간의 차이가 발생한 것은 사용한 저항이 계산된 저항값과 정확히 일치하지 않는 것을 사용했고, 소자의 출력전류 변동과 발진회로 출력의 변화 등이 작용했기 때문인 것으로 보인다. 히스테리시스 보상 효과를 확인하기 위해 4.4V_{pp}, 100Hz인 정현파에 0.6V_{pp}, 25KHz의 정현파를 혼합해 인가했을 때의 결과를 그림 13에 확대해 나타내었다.

그림 13(a)는 보상이 없는 상태의 파형으로서 디지털 출력이 불안정함을 보이고 있으며, 이에 비해 그림 13(b)에서는 이러한 불안정한 상태가 해소되었음을 알 수 있다.

IV. 결 론

본 논문에서는 디지털 입력포트에 히스테리시스 특성을 부여하는 방법 및 설계 순서를 제시하였고 이를 실험해 그 효과를 확인하였다. 프로세서의 잉여포트가 있을 때 제시한 방법을 이용하면 포트 1개와 저항 2개만으로 히스테리시스 특성을 얻을 수 있으며, 더구나 기존 TTL과 CMOS의 슈미트 트리거 게이트에 비해 큰 히스테리시스 폭을 얻을 수 있다. 제시한 방법은 대부분의 프로세서에 적용 가능함을 확인하였으나 극히 일부의 구형 프로세서에서는 출력포트의 드라이브 전류가 약해 사용할 수 없는 경우가 있다. 그러나 이러한 경

우 버퍼, 특히 비반전 버퍼도 활용 할 수 있는 장점이 있다. 다양한 프로세서들을 대상으로 계산하고 실험한 결과 대부분의 프로세서들은 히스테리시스 중심전압이 낮다는 공통된 결과를 얻었는데, 중심전압을 상향 이동 할 수 있도록 개선한다면 더욱 활용도 높은 회로가 되리라 사료된다.

참 고 문 헌

- [1] Frank Vahid and Tony Givargis, *Embedded System Design - A Unified Hardware/Software Introduction*, pp. 1-25, John Wiley & Sons, 2002.
- [2] Steven F. Barrett and Daniel J. Pack, *Embedded Systems - Design and Applications*, pp. 1-8, Pearson Prentice-Hall, 2005.
- [3] M. Morris Mano, *Digital Logic and Computer Design*, pp. 26-29, Prentice-Hall, 1984.
- [4] John B. Peatman, *Design with Microcontrollers*, pp.34-43, p.552, McGraw-Hill, 1989.
- [5] Motorola Inc., *CMOS Integrated Circuits Data-book*, pp.195-198, Motorola Inc.,
- [6] National Semiconductor, *ナショナル半導体 ハンドブック - バイポーラ デジタル IC*, pp. 85-86, National Semiconductor.
- [7] Albert Malvino and David J. Bates, *Electronic Principles*, pp. 856-861, McGraw-Hill, 2007.
- [8] National Semiconductor, *Linear Databook*, Vol.I, pp. 541-547, National Semiconductor.
- [9] Robert Boylestad and Louis Nashelsky, *Electronic Devices and Circuit Theory*, pp. 165-169, Prentice-Hall, 1992.

저 자 소 개



이 현 창(정회원)

1986년 단국대학교 전자공학과 학사
 1989년 단국대학교 대학원 전자공학과 석사
 1996년 단국대학교 대학원 전자공학과 박사
 1996년~2004년 국립 천안공업대학 정보통신과 부교수
 2005년~현재 국립 공주대학교 공과대학 정보통신공학부 교수
 <주관심분야 : 멀티미디어 회로, 인터넷 응용, 마이크로프로세서 >