

논문 2011-48IE-3-1

삼각형 모양의 출력 전류 모형을 이용한 CMOS 인버터 지연 모사

(CMOS Inverter Delay Model Using the Triangle-shaped Waveform of Output Current)

최 득 성*

(Deuk-Sung Choi)

요 약

본 연구는 submicrometer CMOS 인버터의 신호 전달 지연에 대한 모사로서 출력 전류 파형을 삼각형 모양으로 근사하고 두 개의 실험적 변수를 사용하여 구현 하였다. 본 모사의 결과는 HSPICE 결과와 매우 부합된 결과를 보인다. 모델의 시뮬레이션 결과 인버터 지연 값과 jitter의 최대 오류치는 각각 0.6%와 2.8% 이하의 결과를 보인다. 앞선 연구자들의 결과와 비교해 볼 때 본 연구의 모사는 작은 동작 전압에서 더 나은 결과를 보이는 특성을 가지고 있다. 이러한 모사의 결과를 실험적으로 증명하기 위해 인버터 체인을 제작 하였고 인버터 지연과 jitter 특성을 평가하였다. 제작된 시료의 결과는 새로운 모델과 매우 근사한 값을 보인다.

Abstract

In this paper, we develop an analytical expression for the propagation delay of submicrometer CMOS inverter using the triangle-shaped waveform of output current and two fitting parameters. Our model shows that simulation results are well in accordance with HSPICE results. Maximum simulation errors of total inverter delay and jitter are below 0.6% and 2.8%, respectively. Comparing with previous researches, the new model has better fitting characteristics in the range of low operating voltage. We also have fabricated the inverters with ten chains and estimated inverter delay and jitter characteristics. The results show that the values of delay and jitter in the fabricated samples come close to the values of those in the new model.

Keywords : Complementary Metal Oxide Semiconductor (CMOS), Propagation Delay, Jitter, Ring Oscillator (R/O) Delay, Inverter

I. 서 론

디지털 CMOS 회로의 스위칭 속도는 소자 성능을 대변하는 가장 기초적인 평가 지표다. 인버터 지연은 pull-up 동작 (PMOS drive) 지연과 pull-down 동작 (NMOS drive) 지연의 합으로 이뤄지는데, 이 둘의 상대적인 차이인 duty는 매우 중요한 의미를 가지고 있는

지수이다. 또한 입력에서 duty가 몇 단의 인버터 체인을 통과한 후 변동하는 양을 Duty Cycle Amplification (DCA)이라고 하는데 이 역시 자주 사용되는 품질 지수이다. 인버터 체인 지연의 전원 전압에 대한 의존성을 Power Sensitivity (PS)로 표현하며, 일정한 전원 전압 변동에 대한 지연의 변동량을 Jitter로 정의하여 관리하기도 한다. 이 모든 지표들이 인버터 지연을 기초로 하고 있으며 design 입력의 품질을 높이기 위해서는 인버터 지연의 소자 parameter에 대한 의존성을 정확히 파악하고 값을 구하는 것이 중요하다. 따라서 인버터 지연에 대한 device 관점의 모델이 필요하다.

* 정회원, 영남대학교 전자정보계열
(Dept. of Electronic & Information Engineering,
YNC)
접수일자: 2011년8월12일, 수정완료일: 2011년9월6일

CMOS Inverter의 지연에 대한 연구들이 여러 가지 방법들을 이용하여 제안되었다^[1~7]. Berkeley short channel IGFET Model (BSIM)을 기초로 하여 전달 지연을 구분적으로 표현하여 모사한 Model^[2], 비록 sub-micrometer 소자에서는 잘 맞지 않지만 MOSFET 소자의 2차 전류와 전압의 의존성을 사용하여 CMOS inverter의 출력 응답을 표현한 Model^[1, 3], inverter의 overshooting과 단락 회로 전류를 고려하여 실험적인 식을 구현한 Model^[4] 등이 있다.

한편으로는 앞서 고려한 inverter의 overshooting과 단락 회로 전류에 nth-power law MOSFET model을 근간으로 하여 수치 해석적 방법으로 해를 구한 model이 있으나 정확한 수치를 유도해 낼 수 있는 장점이 있는 반면에 해를 구하는데 걸리는 시간 소모가 크다는 단점이 있다. 이러한 단점을 해결하기 위해 Bisdounis는^[6] CMOS inverter의 동작 구간을 일곱 개로 나누어 구분적해를 구하는 Model을 제안하였다. 또한 Kabbani는^[7] 입력과 출력간의 상호 작용 정전 용량을 고려하지 않고 포화 전류와 gate-source 전압사이의 2차적 표현 관계를 생각한 변동 시간 Model을 제안하였다.

본 논문에서는 CMOS의 inverter 출력 전류의 실험적 관찰 결과로부터 얻은 예측을 통하여 NMOS, PMOS MOSFET이 전이되는 순간의 전류를 간단한 삼각형 모형으로 모사하고 이를 근간으로 하여 CMOS inverter의 지연되는 시간을 최종 모델화 하였다. 몇 개의 변수는 실험적인 fitting parameter를 사용 하여야 하지만 매우 간단한 수식으로부터 얻은 실험 결과는 HSPICE 결과와 매우 잘 맞는 결과를 얻을 수 있었다.

본 논문은 기존 Model에 대한 benchmarking을 통해 장 단점을 논의하고, 새로운 Model에 대한 전개, 그리고 그 Model에 대한 검증 및 결론으로 구성되어 있다.

II. 기존 모델에 대한 고찰

본 연구에서 인버터 지연 모델은 식 (1)로 일반화 되어 표현 할 수 있다.

$$t_D = \frac{C_L V_{DD}}{\langle I \rangle} \quad (1)$$

여기서 C_L 은 출력 부하 용량이며, $\langle I \rangle$ 는 평균 전이 전류이다. C_L 은 게이트 용량, 접합 용량, 밀러 용량 및

Interconnection Capacitance 등으로 구성 된다.

평균 전류는 pull-up과 pull-down 동작 중 흐르는 N/PMOS current 인데 이를 구하는 방법은 여러가지로 제안되어 있다. model의 정확도 및 효율성은 평균 전류를 어떻게 정의하느냐에 따라서 결정되는데, 이중 대표적인 것들을 먼저 살펴보고 그 결과의 장점, 단점에 대해 토의를 진행 한다.

1. Weighted Idsat Method

평균 전류를 구하는 가장 간단한 방법으로 포화 전류 (I_{dsat})을 이용하는 방식이 있다. 즉, 전이 구간동안 N/PMOS를 흐르는 전류는 I_{dsat} 에 일정한 가중치를 곱한 것으로 정의하는 방식이다. 즉, 식 (2)와 같이 표현되며,

$$\langle I \rangle \equiv K \cdot I_{DSAT} \quad , \quad 0 < K < 1 \quad (2)$$

따라서 CMOS Inverter의 Pull-down과 Pull-up delay의 평균 delay (t_{PD})는 식 (3)과 같이 표현할 수 있다 (K는 Pull-up, Pull-down시 동일하다고 가정함.)

$$\begin{aligned} t_{PD} &= \frac{t_{D,PD} + t_{D,PU}}{2} \\ &= \frac{C_L V_{DD}}{2K} \left(\frac{1}{I_{DSATN}} + \frac{1}{I_{DSATP}} \right) \end{aligned} \quad (3)$$

위 model에서 fitting parameter인 K를 적당히 잘 결정하면, 가장 간단하고 정확한 model로 사용될 수 있다. 그러나, 위 model은 CMOS를 제조하는 기술이 서로 다른 경우 동일한 K를 사용하지 못하고 해당되는 기술마다 다른 것을 구하여 사용해야 하는 단점이 있다. 또 다른 단점으로 동일한 기술에 대해서도 부정확한 V_{DD} 의 의존성의 특징을 보여준다. 따라서 Jitter의 정의가 V_{DD} 의 의존성을 평가하는 것이므로 Jitter를 평가하기에는 부적합한 model이다.

2. Effective Drive Current Method [8]

이 model은 평균 전류를 구하기 위해서 실제 inverter 동작시의 I_{ds} 의 경로 (V_{ds}, V_{gs} plane에서의)의 조사로 부터 출발한다. I_{ds} 의 경로 (trajectory)는 입력 파형의 스윙 속도에 영향을 받는데, Ring-Oscillator의 경우 current의 경로는 식 (4)와 같다고 할 수 있다.

$$I_{ds}(V_{ds}=V_{DD}, V_{gs}=V_{DD}/2) \rightarrow I_{ds}(V_{ds}=V_{DD}/2, V_{gs}=V_{DD}) \quad (4)$$

따라서 지연 시간은 식 (5)와 같은 적분식이 성립한다.

$$t_D = \int_{V_{gs}=V_{DD}/2}^{V_{ds}=V_{DD}/2} \frac{C_L dV_{ds}}{I_{ds}(V_{ds}, V_{gs})} \quad (5)$$

적분을 구하기 위한 몇 개의 단순화 과정을 거치면 최종적으로 식 (6)과 같은 model을 완성 할 수 있다.

$$t_D = \frac{C_L V_{DD}}{2} \frac{1}{I_{eff}}, I_{eff} = \frac{I_H + I_L}{2} \quad (6)$$

where $I_H / I_L > 3$

$$I_H = I_{ds}(V_{ds}=V_{DD}/2, V_{gs}=V_{DD})$$

$$I_L = I_{ds}(V_{ds}=V_{DD}, V_{gs}=V_{DD}/2)$$

위의 model은 평균 전류를 I_{dsat} 한가지로 부터 구하는 방식이 아니라 실제 전류 경로를 고려한 두가지 bias set에서 구한 것으로 정확도가 향상된 model이라고 할 수 있고, 모델의 복잡성도 그리 크게 늘어나지 않는 장점도 있다.

그림 1은 inverter의 Power Down (PD) 동작시 전류의 변화 경로를 표시한 것이다. HSPICE simulation 경

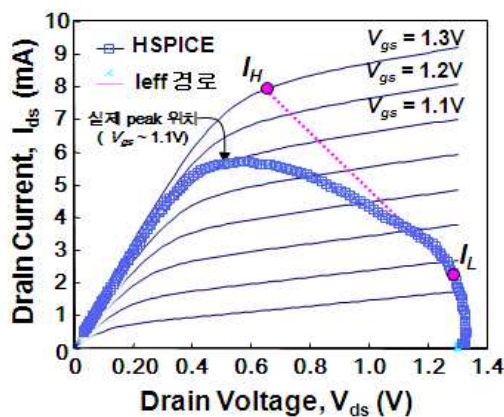


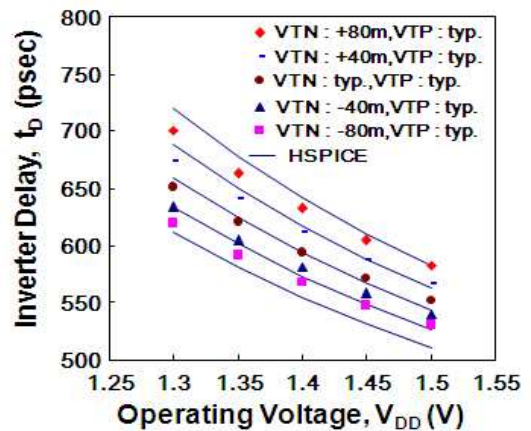
그림 1. Power Down시 HSPICE와 leff 각 경우에 대한 Inverter의 전류 경로 비교 (10단 인버터 체인, fanout=3, 채널 길이 NMOS/PMOS = 0.1/0.11)

Fig. 1. Comparison of current trajectory between HSPICE and leff at inverter during the power down mode (10 inverter chain, fanout=3, channel length NMOS/PMOS = 0.1/0.11).

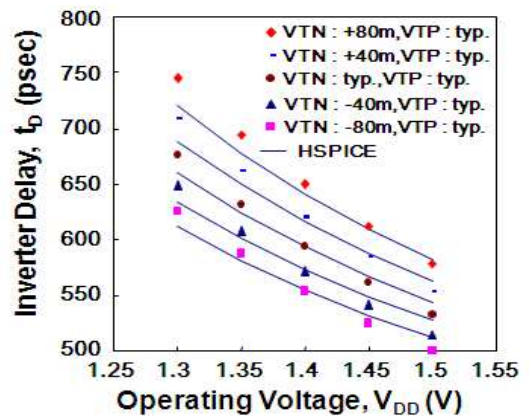
로와 I_{eff} 의 경로 가정이 잘 맞지 않는 것을 볼 수 있다. 실제 PD시 피크 전류는 $V_{gs}=V_{DD}$ 에서 형성되지 않고 0.2V 정도 감소한 상태에서 형성되는 것을 알 수 있다.

이러한 피크 전류에서의 V_{gs} 감소는 실제 인버터 체인 (혹은 링 발진기)의 입력 전압 파형이 이상적인 삼각파형이 아닌 바로 전 단 inverter의 출력 파형의 tail이 늘어지는 모습의 파형이고, $V_{gs}=V_{DD}$ 까지 올라가는데 지연 현상이 발생하여 이로 인해 V_{ds} 가 충분히 Pull-down 되어 saturation 영역에 머물러 있기엔 너무 작아지기 때문이다.

앞의 두 가지 모델에 대한 정확도를 점검해 보면 그



(a) Weighting Idsat Model



(b) Effective Drive Current Model

그림 2. NMOS 트랜지스터의 문턱 전압을 변수로 한 동작 전압에 따른 10단 인버터 체인의 총 지연 시간 (fanout=3, 채널 길이 NMOS/PMOS=0.1/0.11)

Fig. 2. Operating Voltage vs. Total Delay Time with varying the NMOS Threshold Voltage at 10 inverter chain (fanout=3, channel length NMOS/PMOS =0.1/0.11).

림 2의 (a), (b)와 같다.

그림 2는 앞의 두 가지 Model에 대해 각각 V_{DD} 를 1.3~1.5V까지 변화시키고, NMOS 문턱 전압 V_{TN} 을 -80mV~80mV까지 변화를 주면서 인버터 체인의 전체 지연을 모사한 결과이다. 두 가지 모델 모두 V_{TN} 이 변화 할 때 hspice 값과 상당한 오차를 보임을 알 수 있다. 특히 V_{DD} 값이 낮아 질수록 오차의 크기는 심화되는 현상을 보인다. 지연의 V_{DD} 의존성이 부정확하면 Jitter 분석에 심각한 오차가 발생하게 되어 빠른 동작을 요구하는 회로 설계에 큰 오류를 발생 시킬 수 있다.

그림 3은 인버터 체인에서 실제 입력 파형 V_{in} 과 출력 파형 V_{out} 을 표시한 것이다. 그리고, 이때의 흐르는 전류를 IPD로 표시하였다. 이 파형을 자세히 살펴보면, IPD 전류의 궤적이 $V_{gs}=V_{DD}$ 까지 도달하지 못하는 이유가 V_{in} 이 초반에는 이상적 ramping을 따라가다가 마지막에는 상당한 tail이 생기면서 V_{gs} 를 제대로 증가시키지 못하는 것에 기인한다.

즉, $V_{gs}=V_{DD}$ 가 되는 시점은 상당히 뒤로 밀리고, 이때 NMOS pull-down이 충분히 일어나서 $V_{ds}(V_{out})$ 이 saturation 상태에 머물기에는 너무 작아져서 IPD는 선형 영역의 작은 전류로 밖에 흐르지 못하는 상황이 발생하고 있음을 알 수 있다.

이 현상은 흡사 입력의 V_{DD} 전압이 완전히 gate에 인가되지 않은 상황과 유사하고, 이것을 “입력 전압 Reduction”으로 해석하고 새로운 model의 단초를 제공해 주고 있다.

두 번째로 주목해 봐야 할 현상은 IPD의 모양이 거의 삼각형이라는 사실이다. 특히 IPD_model로 표시된

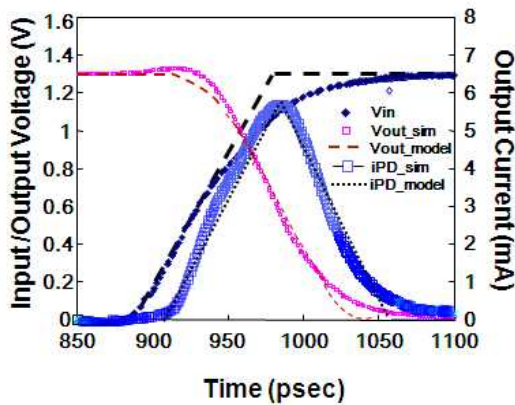


그림 3. 시간에 따른 inverter의 입/출력 전압 파형과 출력 전류 파형

Fig. 3. Time vs. Input/Output voltage waveform and Output Current waveform.

선과 모사 결과가 유사하게 일치하고 있다. 이를 model에 반영하면 비교적 간단한 2차식의 전압 곡선을 얻을 수 있는데, 새로운 model에서는 이를 이용하였고 다음장에서 좀 더 자세히 서술한다.

III. 새로운 모델에 대한 제안

1. 삼각형 전류 근사

MOSFET의 I-V model을 간단하게 표현하면 식 (7)과 같다.

$$i_N = W_N K_N (V_{GS} - V_{TAN}) \quad (7a)$$

$$i_P = W_P K_P (V_{GS} - V_{TAP}) \quad (7b)$$

여기서, W_N, W_P 는 채널폭, K_N, K_P 는 트랜지스터의 transconductance factor, V_{TAN}, V_{TAP} 는 saturation 상태에서 정의된 V_T 를 의미한다. 위 Model은 N/PMOS가 모두 saturation 영역에서 동작 할 때 성립하며, 이때 drain 전압에 따른 i_N 의 변화는 무시한다. 또한 gate에 따른 i_N 의 변화는 MOSFET의 drain current가 $V_{GS}-V_T$ 에 선형적으로 비례한다고 가정한 것이고, “alpha power-law model [9]”에서 alpha=1로 놓은 것으로 gate 길이가 0.1um 정도에서 유효한 가정이다. 그리고, 앞에서 서술한 것처럼 최대 전이 current는 전압 감소인자 “r”을 포함하여 식 (8)과 같이 표시한다.

$$i_{MAXN} = W_N K_N (r_N V_{DD} - V_{TAN}) \quad (8)$$

그림 4를 참조하여 다음과 같은 추론을 이끌어 낼 수 있다. 이 그림에서 t=0인 지점은 입력 전압이 pull-up을 시작하는 시점이며, pull-up의 파형은 τ_{PU} 의 기울기로

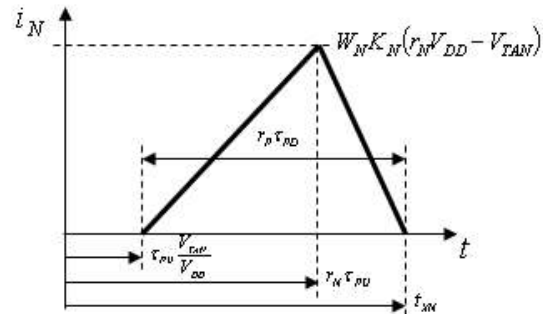


그림 4. 시간에 따른 전류 파형 근사화

Fig. 4. Simple Modeling of current waveform vs. time.

선형적 증가 파형으로 단순화 가정한다. 즉, NMOS의 전류가 흐르는 시점은 $\tau_{PU} \times V_{TAN}/V_{DD}$ 이며, 최고값을 갖는 시점은 $r_N \times \tau_{PU}$ 가 된다.

다음 단계로 전이 current가 삼각형임을 이용하여 $i_{N(t)}$ 를 식 (9)와 같이 표현할 수 있다.

$$i_N(t) = \begin{cases} W_N K_N \left(\frac{t}{\tau_{PU}} V_{DD} - V_{TAN} \right) & \\ : \frac{V_{TAN}}{V_{DD}} \cdot \tau_{PU} \leq t < r_N \tau_{PU} & \\ W_N K_N (r_N V_{DD} - V_{TAN}) \left(1 - \frac{t - r_N \tau_{PU}}{t_{XN} - r_N \tau_{PU}} \right) & \\ : r_N \tau_{PU} \leq t < t_{XN} & \end{cases} \quad (9)$$

$i_{N(t)}$ 의 피크 값은 식 (8)로 표시된다. 이는 앞서 살펴본 바와 같이 전압 reduction이 고려되었다.

피크 값을 지난 전류는 다시 선형적으로 감소하여 $t=t_{XN}$ 시점에서 0이 된다.

여기서 t_{XN} 을 결정하기 위해서는 NMOS 뿐만 아니라 PMOS의 거동도 같이 살펴보아야 한다.

그림 5는 인버터 체인 두 단이 연결되었을 때 첫 번째 inverter가 Pull-Up (PU) 동작을, 두 번째 inverter는 Pull-Down (PD) 동작을 하는 것을 간단히 도식화 한 그림이고, 그림 6은 각 경우에 $i_{P(t)}$ 와 $i_{N(t)}$ 의 파형을 시간에 따라 그린 것이다.

첫 번째 inverter에서 PMOS PU이 먼저 일어나서 $r_P \times \tau_{PU}$ 시간이 경과 후에 최대값을 갖는다. i_P 가 흐르기 시작하면, 첫 번째 inverter의 출력 단 전압은 0V로 부터 증가한다. 출력단 전압이 NMOS V_T 에 도달하면 ($t = \tau_{PU} \times V_{TAN}/V_{DD}$), 두 번째 inverter의 NMOS에 의한 PD 이 시작된다. NMOS current가 최대가 되는 순간은 PMOS에 의한 PU이 완료된 순간, 즉 첫 번째 inverter의 출력 전압이 V_{DD} 가 되는 시점이다.

이상의 논의에 의해 시간 상관관계를 따져보면, i_P 가 흐르는 기간, 즉, PU 전이 시간은 $r_N \times \tau_{PU}$ 이 된다. 마찬가지로, NMOS의 PD 전이 시간은 $r_P \times \tau_{PD}$ 이 된다.

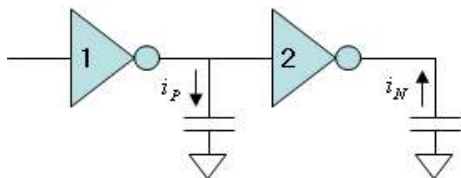


그림 5. 인버터 체인의 도식화
Fig. 5. Simple schematization of inverter chain.

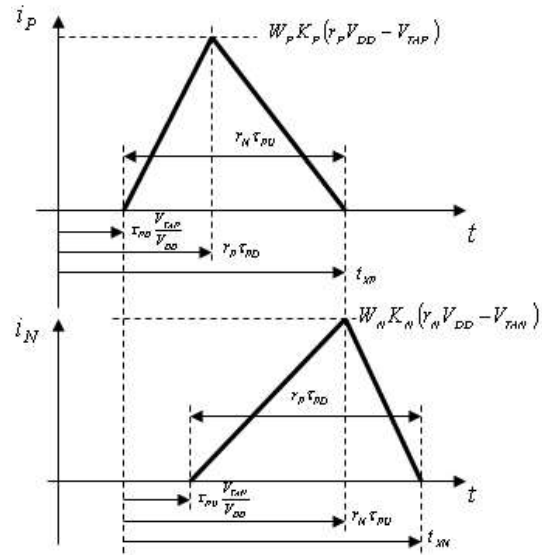


그림 6. 시간에 따른 인버터 체인의 전류 파형 근사화
Fig. 6. Time vs. Simple Modeling of N/PMOS current waveform of inverter chain.

그리고, i_P 혹은 i_N 의 총 면적은 전체 충전과 방전량에 해당되는 $C_L \times V_{DD}$ 이다.

삼각형의 면적 공식을 이용하면 식 (10) 같은 관계식을 얻을 수 있다.

$$r_P \tau_{PD} = \frac{2C_L V_{DD}}{I_{MAXN}} = \frac{2C_L V_{DD}}{W_N K_N (r_N V_{DD} - V_{TAN})} \quad (10a)$$

$$r_N \tau_{PU} = \frac{2C_L V_{DD}}{I_{MAXP}} = \frac{2C_L V_{DD}}{W_P K_P (r_P V_{DD} - V_{TAP})} \quad (10b)$$

2. 출력의 전압 관계식

MOSFET의 I-V model을 간단하게 표현하면 식 (7)과 같다.

다음으로 출력 파형을 살펴보면, 두 번째 inverter V_{out} 에서 $i_{N(t)}$ 가 흐르기 시작하면 출력 단 전압은 C_L 이 방전되면서 감소하는데, 이를 수식으로 표현하면 다음 식 (11)과 같이 표현된다.

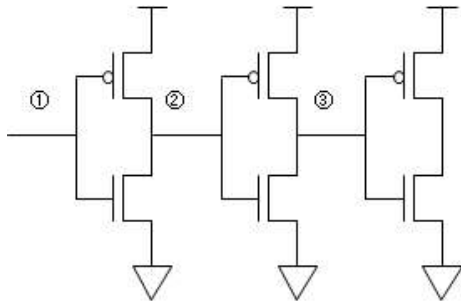
$$\begin{aligned} V_{out}(t) &= V_{DD} - \frac{1}{C_L} \int_{\frac{V_{TAN}}{V_{DD}}}^t i_N(t) \cdot dt \\ &= V_{DD} - \frac{W_N K_N V_{DD}}{2C_L \tau_{PU}} \left(t - \frac{V_{TAN}}{V_{DD}} \tau_{PU} \right)^2 \end{aligned} \quad (11)$$

$$: \frac{V_{TAN}}{V_{DD}} \tau_{PU} \leq t < r_N \tau_{PU}$$

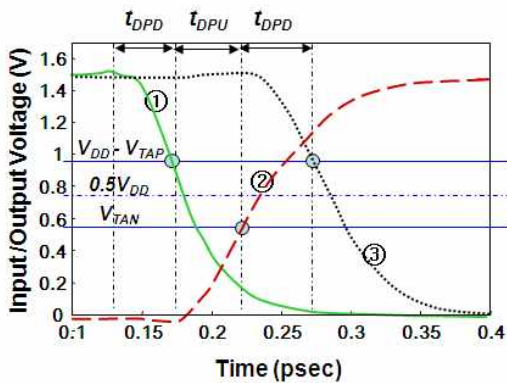
식 (11)로 모델된 V_{out} 파형으로 부터 지연 t_{DPD} (PD 지연)를 NMOS turn-on 시점부터 ($V_{out} = V_{DD}$) PD가 진행되어 다음단의 PMOS turn-on 시점까지의 ($V_{out} = V_{DD}-V_{TAP}$) 경과 시간으로 정의한다. 마찬가지로 t_{DPU} (PU 지연)는 PMOS turn-on 시점부터 PU이 진행되어 다음 stage의 NMOS turn-on 시점의 경과시간으로 정의할 수 있다.

그림 7에 t_{DPD} , t_{DPU} 의 의미를 부연 설명 한다. 즉, node ①의 전압이 그림 7(b)와 같이 Pull-down (NMOS on)이 일어나고, t_{DPD} 의 시간 경과후 즉, node ①의 전압이 $V_{DD}-V_{TAP}$ 가 되면 node ②에서 Pull-up (PMOS on)이 시작 된다. 그리고, 다시 t_{DPU} 의 시간 경과후 node ③의 Pull-down이 이어진다. $t_{DPD} + t_{DPU}$ 는 2 단의 inverter를 거친 지연 즉, ①과 ③ 전압 파형간의 지연에 해당함을 알 수 있다.

위와 같이 지연을 정의하면 우리는 앞선 식(11)로 부터 t_{DPD} , t_{DPU} 를 식 (12)와 같이 얻을 수 있다.



(a) 인버터 체인의 간단한 회로도
(a) Simple schematization of inverter chain



(b) 각 노드별 시간에 따른 출력 파형
(a) Output Voltage vs. Time for inverter nodes

그림 7. 인버터 체인의 각 노드별 출력 파형도

Fig. 7. Time vs. Input/Output Node voltage of inverter chain (fanout=3, channel length NMOS/PMOS = 0.1/0.11).

$$t_{DPD} = \sqrt{\frac{2C_L \tau_{PU} V_{TAP}}{W_N K_N V_{DD}}} \quad (12a)$$

$$t_{DPU} = \sqrt{\frac{2C_L \tau_{PD} V_{TAN}}{W_P K_P V_{DD}}} \quad (12b)$$

식(10)과 식(12)를 결합하면 최종적으로 다음과 같은 식 (13)의 지연 model을 완성 할 수 있다.

$$t_{DPD} = 2C_L \cdot \sqrt{\frac{V_{TAP}}{r_N W_N W_P K_N K_P (r_P V_{DD} - V_{TAP})}} \quad (12a)$$

$$t_{DPU} = 2C_L \cdot \sqrt{\frac{V_{TAN}}{r_P W_N W_P K_N K_P (r_N V_{DD} - V_{TAN})}} \quad (12b)$$

$$Delay = \frac{1}{2} N_{Stage} \cdot (t_{DPD} + t_{DPU}) \quad (13)$$

식(12), 식(13)은 새로운 model의 최종 식에 해당하는 다. 이 model을 적용함에 있어 다음과 같은 고려 사항이 있다.

1) 전압 감소 인자 r_n , r_p 에 대한 확정이 필요한데, 이 parameter들은 기술에 따라 다른 값을 갖는 의존성이 예상된다. 그러나, 동일 기술내에서는 회로 configuration (F/O, N/P ratio 등)에 거의 의존성이 없어 $r_n = r_p =$ 상수로 놓아도 크게 문제없음을 확인 하였다. 즉, $r_n=r_p$ 는 fitting parameter로 취하여도 무방하다.

2) t_{DPD} 와 t_{DPU} 는 통상적인 지연 정의와 차이가 있다. 통상적인 지연은 $0.5V_{DD}$ 의 cross 시점에서 정의되는데, 본 연구에서 정의한 t_{DPD} , t_{DPU} 는 문제의 복잡성을 피하기 위해서 $V_{out}=V_{TAN}$ or $V_{DD}-V_{TAP}$ 에서 정의하였으므로, $0.5V_{DD}$ 에서 정의된 지연과는 차이가 있을 수 있다. 그러나, $t_{DPD} + t_{DPU}$ 는 정의방식에 상관없이 동일한 결과를 보인다.

3) C_L 에 대한 정확한 정의가 어렵기 때문에 현실적으로 fitting parameter를 사용하게 된다 앞선 두 가지 model에서도 사실 C_L 은 “best fitting” parameter로 간주되었고, 새로운 model은 전압 감소 인자, r 도 fitting parameter이므로, 2개의 fitting parameter가 사용되었다. Model fitting의 flexibility가 증가했다는 의미도 있다고 생각된다.

4) 새로운 지연 model의 두드러진 장점으로 꼽을 수 있는 것은 Device parameter (V_T , K)의 explicit 표현식으로 인해 각 parameter의 미치는 영향을 보다 명확하게 알 수 있다는 점이다. 가령, 지연 개선을 위해서 K (transconductance factor) 보다는 V_T 가 더 효과가 크다는 사실도 위 model로 부터 알 수 있다.

IV. 새로운 Model의 평가 결과

그림 8은 새로운 model을 사용하여 10단 chain의 인버터 지연을 평가한 결과이다. 기존 model의 평가 결과인 그림 2와 비교 해 보면 새로운 model은 hspice 결과와 매우 잘 일치하고 있음을 알 수 있다. 특히 기존 model의 단점인 낮은 V_{DD} 에서도 매우 정확한 값을 보이고 있다. hspice 모사와 model간의 지연 최대차는 0.6%에 불과하다.

또한 그림 9는 문턱 전압에 따른 jitter의 특성을 HSPICE, t_{PD} Model 그리고 새로운 Model을 이용하여 각각 구한 값을 도식화 하였다. 지연의 V_{DD} 에 따른 변화인 jitter 특성 역시 새로운 model을 이용할 때 평균 2.8% 수준으로 기존 t_{PD} model (weighted I_{dsat} model)에 비해 크게 향상되어 jitter 평가에 매우 적합함을 알 수 있다.

다음으로, 실제로 제작한 링 발진기에서 전기적으로

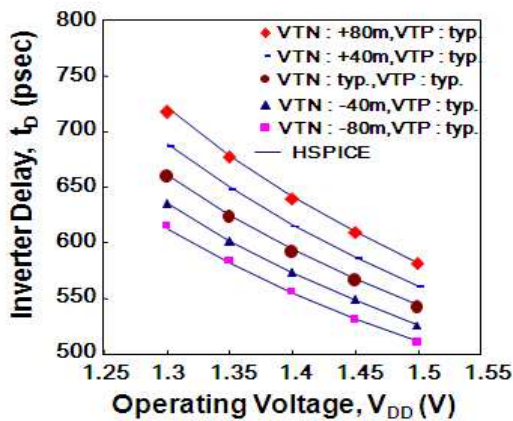


그림 8. NMOS 트랜지스터의 문턱 전압을 변수로 한 동작 전압에 따른 10단 인버터 체인의 총 지연 시간 (fanout=3, 채널 길이 NMOS/PMOS = 0.1/0.11)

Fig. 8. Operating Voltage vs. Total Delay Time with varying the NMOS Threshold Voltage at 10 inverter chain (fanout=3, channel length NMOS/PMOS = 0.1/0.11).

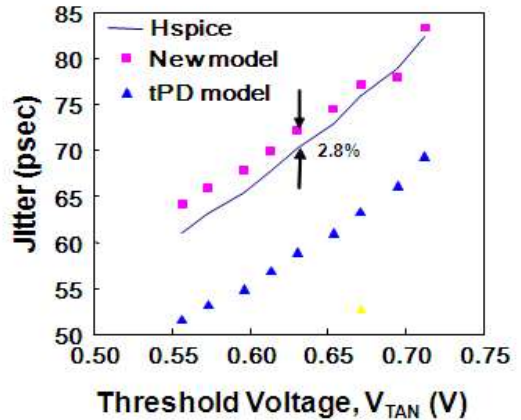


그림 9. NMOS 트랜지스터의 문턱 전압에 따른 Jitter 특성 (fanout=3, 채널 길이 NMOS/PMOS = 0.1/0.11)

Fig. 9. NMOS Threshold Voltage vs. Jitter at 10 inverter chain (fanout=3, channel length NMOS/PMOS = 0.1/0.11)

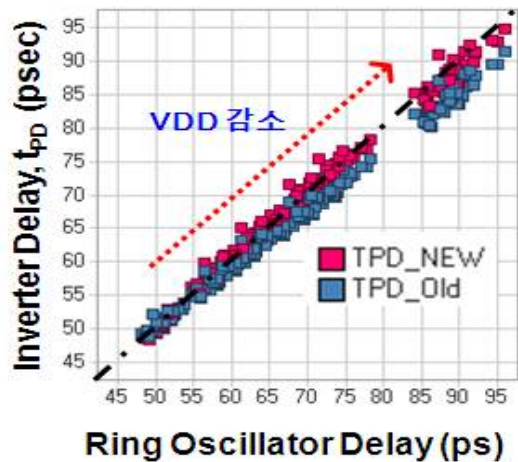


그림 10. 실제 제작한 링 발진기에서 측정된 지연시간과 모사 한 결과 비교

Fig. 10. Fabricated Ring Oscillator Delay vs. Simulated Inverter Delay

측정 한 인버터 지연과 모사 한 인버터 지연을 비교 분석 하였다. 링 발진기는 80nm DRAM CMOS 공정을 [10] 기본으로 제작하였다.

그림 10의 표기에서 t_{PD_NEW} 는 새로운 model, t_{PD_Old} 는 기존의 weighted I_{dsat} model을 의미한다. model과 실제 제작한 시료에서 측정된 측정치가 일치하는 녹색 점선을 기준으로 놓고 비교해 보았을 때 새로운 model의 정확도가 좀 더 이상적 값에 근접함을 알 수 있다. 특히 V_{DD} 가 감소하면서 그 차이가 점점 벌어지고 있음을 관찰 할 수 있는데, 향후 Power 소모를 줄이기 위해 Low V_{DD} 동작 전압을 필수적으로 사용해야

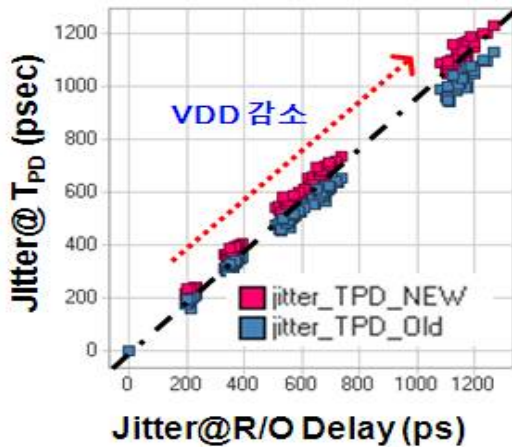


그림 11. 실제 제작한 링 발진기에서 측정된 Jitter 특성과 모사 한 Jitter 특성 비교

Fig. 11. Fabricated Ring Oscillator Jitter vs. Simulated Inverter jitter characteristics.

할 기술 동향을 생각 했을 때 기존의 t_{PD} model이 점점 신뢰성이 떨어짐을 알 수 있고, 새로운 model 결과의 효용성이 증가 할 것으로 생각 되어 진다.

그림 11은 제작한 링 발진기에서 전기적으로 측정 한 jitter 특성과 모사 한 inverter jitter 특성을 나타낸 것이다. 물리적인 의미의 jitter 특성은 동작 전압의 일정한 변화에 대한 지연 변동량을 의미하므로 앞선 결과와 마찬가지로 실측치와 유사한 결과를 보이는 새로운 model의 jitter 특성 모사 결과가 t_{PD} model 보다 측정치에 근접한 결과를 보임을 알 수 있다.

V. 결 론

본 논문에서는 CMOS의 inverter 출력 전류의 실험적 관찰 결과를 이용하여 NMOS, PMOS MOSFET이 전이되는 순간의 전류를 간단한 삼각형 모형으로 모사하고 이를 근간으로 하여 CMOS inveter의 지연되는 시간을 최종 모델 하였다. 몇 개의 변수는 실험적인 fitting parameter를 사용 하여야 하지만 매우 간편한 수식을 유도 하였다.

새로운 model의 검증 결과 HSPICE 결과와 매우 잘 일치하고 있으며, 지연의 최대 오차는 0.6% 미만임을 확인하였다. 또한 지연의 V_{DD} 에 따른 변화인 jitter 특성 역시 새로운 model을 이용할 때 평균 2.8% 수준으로 기존 t_{PD} model (weighted I_{dsat} model)에 비해 크게 향상되어 jitter 평가에 매우 적합함을 알 수 있다.

또한 실제 제작한 시료에서 측정된 결과와 비교 하였

는데 기존 model에 비해 측정결과에 보다 근접한 결과를 얻을 수 있었고, 특히 동작 전압이 낮은 영역에서의 결과는 기존 model 대비 월등하게 실제 값과 유사함을 보인다.

참 고 문 헌

- [1] K. O. Jeppson, "Modeling the influence of the transistor gain ratio and the input-to-output coupling capacitance of the CMOS inverter delay," IEEE J. Solid-State Circuits, vol. 29, pp. 646 - 654, June 1994.
- [2] P. Cocchini, G. Piccinini, and M. Zamboni, "A comprehensive submicrometer MOST delay model and its application to CMOS buffers," IEEE J. Solid-State Circuits, vol. 32, pp. 1254 - 1262, Aug. 1997.
- [3] L. Bisdounis et al., "Propagation delay and short-circuit power dissipation modeling of the CMOS inverter," IEEE Trans. Circuits Syst. I, vol. 45, pp. 259 - 270, Mar. 1998.
- [4] J. M. Daga and D. Auvergne, "A comprehensive delay macro modeling for submicrometer CMOS logics," IEEE J. Solid-State Circuits, vol. 34, pp. 42 - 55, Jan. 1999.
- [5] A. Hirata, H. Onodera, and K. Tamaru, "Estimation of propagation delay considering short-circuit current for static CMOS gates," IEEE Trans. Circuits Syst. I, vol. 45, pp. 1194 - 1198, Nov. 1998.
- [6] L. Bisdounis, S. Nikolaidis, and O. Koufopavlou, "Analytical transient response and propagation delay evaluation of the CMOS inverter for short-channel devices," IEEE J. Solid-State Circuits, vol. 33, pp. 302 - 306, Feb. 1998.
- [7] A. Kabbani, D. Alkhalili, and A. J. al-Khalili, "Technology portable analytical model for DSM CMOS inverter transition time estimation," IEEE Trans. Computer-Aided Design, vol. 22, pp. 1177 - 1187, Sept. 2003.
- [8] M.H. Na, E.J. Nowak, W. Haensch and J. Cai, "The effective drive current in CMOS inverters," Electron Devices Meeting, 2002. IEDM '02. Digest, pp. 121 - 124.
- [9] T. Sakurai, D.R. Newton, "Alpha-power law MOSFET model and its application to CMOS inverter delay and other formulas," IEEE J. Solid-State Circuits, vol. 25, pp. 584 - 594, Apr. 1990.
- [10] Y. S. Kim, K. Y. Lim, M. G. Sung, et al, "Low

Resistive Tungsten Dual Polymetal gate Process for High Speed and High Density Memory Device,” Solid State Device Research Conference, ESSDERC 2007, pp. 259-262, Sept., 2007.

저 자 소 개



최 득 성(정회원)

1985년 고려대학교 전자공학과
학사.

1987년 한국과학기술원 전기전자
공학과 석사.

1995년 한국과학기술원 전기전자
공학과 박사.

1987년~2009 하이닉스 반도체 연구소.

2010년~현재 영남이공대학 전자정보계열
전임강사.

<주관심분야 : 반도체 공정 및 소자>