

2-병렬 QD-ROM 방식을 이용한 광대역 직접 디지털 주파수 합성기

The wideband direct digital frequency synthesizer using the 2-Parallel QD-ROM

김 종 일*, 홍 찬 기*

Chong-Il Kim*, Chan-ki Hong*

요약

본 논문에서는 DPCM 방식의 차동 양자화 기술 및 병렬 기법을 응용하여 새로운 ROM 압축방식을 사용한 고속의 저 전력 직접 디지털 주파수 합성기를 제안하고 FPGA를 사용하여 설계 및 제작한다. ROM 크기를 줄이기 위해 사인파를 표본화하여 양자화된 값을 양자화 ROM(Quantized ROM : Q-ROM)에 저장하고 각 표본화 사이클 차동 양자화하여 차동 ROM(Differential ROM : D-ROM)에 저장한다. 또한 낮은 클럭에서 동작하는 위상 누적기를 병렬로 2개 연결하여 높은 주파수를 생성하는 위상-사인 변환기를 설계 및 제작한다. 이를 사용함으로써 67.5%의 ROM 사이즈를 감소시킬 수 있고 ROM의 크기를 줄여 전력 소모를 줄일 수 있을 뿐만 아니라 고속의 직접 디지털 주파수 합성기를 설계 및 제작할 수 있다.

Abstract

In this paper, the differential quantized method and the parallel method to reduce the size of ROM in the direct digital frequency synthesizer(DDFS) is proposed. And we design the DDFS by FPGA. The new ROM compression method can reduce the ROM size by using the two ROM. The quantized value of sine is saved by the quantized-ROM(Q-ROM) and the differential ROM(D-ROM). Also we design the phase-to-sine converter using the phase accumulator of parallel type for generating the high frequency. So the total size of the ROM in the proposed DDFS is significantly reduced compared to the original ROM. The ROM compression ratio of 67.5% is achieved by this method. Also, the power consumption is decreased according to the ROM size reduction and we can design the DDFS generating the high frequency.

Keywords : Direct Digital Frequency Synthesizer, DDFS, phase-to-sine converter, phase accumulator, ROM reduction

I. 서론

주파수 합성기는 무선통신 분야에서 원하는 반송파 주파수를 합성하여 발생시키는 반도체 집적회로로서, 민수분야의 무선휴대통신단말기, 무선 LAN등과 군수분야의 전술 무선휴대통신 단말기, 레이더 등에 활용되고 있다. 주파수 합성기는 PLL(Phase Lock Loop) 방식을 이용한 간접 주파수 합성기와 직접 디지털 주파수 합성기(DDFS, Direct Digital Frequency Synthesizer) 방식이 있다. 기존의 대표적인 주파수 합성기로 사용되어온 PLL은 주파수 변환 속도가 느리고, 정밀한 주파수 조정이 어렵기 때문에 최근 이러한 단점들을 극복하는 직접 디지털 주파수 합성 방식이라는 새로운 방식이 주목을 받고 있다. DDFS 방식의 주파수 합성기는 주파수 간섭에 의한 페이딩(Fading)에 강하고 보안성이 뛰어나서 군수분야의 주파수 홉핑(Frequency Hopping)에 의한

대역확산(Spread Spectrum) 방식의 통신 분야에 활용되고 있다 [1]. 그러나 직접 디지털 주파수 합성 방식은 하드웨어 부담이 매우 크고 전력 소모가 커서 발전에 많은 장애를 받아 오고 있다. 따라서 전력 소모를 줄이기 위한 기법이 많이 개발되고 있다. 그 중에 최근 각광받고 있는 ROM 테이블 방식은 출력에 필요한 정현파의 모든 샘플을 ROM에 저장하여 주파수를 발생시키게 된다. 그러나 이것 또한 원하는 주파수를 얻기 위해서는 출력 품질에 비례하여 ROM 테이블의 크기가 커지게 된다. ROM 테이블 크기가 커질 경우 ROM 테이블을 참조하는 속도가 매우 느려지게 되는데, 이러한 단점을 보완하고자 ROM의 크기를 줄이려는 연구가 많이 수행되어져 왔다[2~5]. 이에 본 논문에서는 DDFS에서 사용되는 ROM의 크기를 감소시켜 전력이 낮은 고속의 직접 디지털 주파수 합성기를 설계 개발하고 이를 FPGA를 이용하여 제작하고자 한다. 이렇게 함으로써 기존의 PLL방식의 주파수 합성기를 성능이 좋은 DDFS 방식의 주파수 합성기로 대체하여 페이딩과 보안성이 좋은 고속 주파수 홉핑 방식에 의한 무선 단말기를 제작 할 수 있다. 이를 수행하기 위해 본 논문의 제 II장에서는 DDFS의 기본 구조에 대하여 설명하고 제 III장에서는 낮은 전력의 광대역 DDFS를 구현하기 위한 알고리즘을 제안한다. 제 IV장

* 관동대학교

투고 일자 : 2011. 9. 28 수정완료일자 : 2011. 10. 27

게재확정일자 : 2011. 11. 1

에서 제안한 DDFS를 설계 및 제작하여 실험하고 제 V장에서 결론을 맺는다.

II. DDFS의 기본 구조

직접 디지털 주파수 합성기는 PLL에 비해 앞에서 말한 디지털 방식이기에 가지고 있는 장점과 더불어 빠른 주파수 천이 (frequency switching) 속도와 높은 주파수 해상도(frequency resolution)를 가지는 이점이 있다. 그리고 주변소자들이 디지털화 되어 가고 있기에 DDFS는 더욱 중요해지고 있다.

DDFS의 기본 구조와 각각의 구성요소에서의 출력 파형은 그림 1과 같다[6][7]. 매 클럭마다 k 비트의 FCW(frequency control word)는 위상 누적기(phase accumulator)에 입력되어 기존의 값과 누적되어 진다. 위상 누적기에서는 FCW가 계속 더해 지므로 overflow하게 되고, 위상 누적기에 입력되어 있는 k 비트의 값 중에서 MSB쪽에 있는 상위 N 비트가 위상-사인 변환기(phase-sine converter)로 입력된다. 위상-사인 변환기에서는 입력되어지는 N 비트의 위상에 해당되는 사인값을 출력한다[4][5]. 위상-사인 변환기를 구현하는 방법은 ROM을 이용하는 방법, CORDIC (COordinated Rotation DIgital Computer)를 이용하는 방법, 선형 인터플레이션(interpolation) 기법을 이용하는 방법 등이 있다[10~12]. 위상-사인 변환기의 디지털 출력값이 DAC를 통과하고 나면 아날로그 값으로 변환되고, 끝으로 LPF에 통과시켜서 최종적으로 부드러운 파형을 얻는다. 위상 누적기의 기본 구조는 그림 2와 같다.

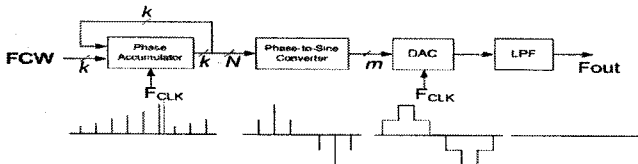


그림 1. DDFS의 기본 블록 다이어그램
Fig 1. The block diagram of DDFS

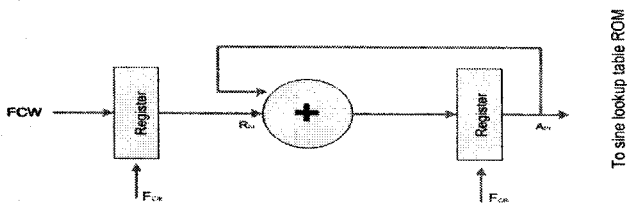


그림 2. 위상누적기의 기본구조
Fig 2. The block diagram of phase accumulator

III. 저전력 광대역 직접 디지털 주파수 합성기 설계

3.1 ROM 크기를 줄이기 위한 기법

새롭게 제안된 ROM 압축방식은 두 개의 ROM을 사용하여 사인파를 형성하여 ROM들의 크기를 줄여준다. 표본화된 사인파의 양자화 값은 양자화 ROM(Quantized ROM : Q-ROM)과 차동 ROM(Differential ROM : D-ROM)에 저장된다. 그림 3처럼 사인파의 원래 ROM의 어드레스가 2^{k+j} 에 데이터 길이 m 비트로 양자화 되었을 때 2^{k+j} 의 어드레스를 2^k 블록으로 나누어 양자화 하여 Q-ROM에 저장한다. D-ROM에는 Q-ROM의 표본화 간격

을 2^j 로 나누어 표본화하고 양자화된 값은 그 블록의 표본화된 Q-ROM과의 차이만을 양자화하여 저장한다. 이렇게 함으로써 D-ROM에 저장되는 양자화 값의 최대 크기는 Q-ROM에 저장되는 양자화 값보다 작은 양이기 때문에 m 비트보다 적은 데이터 길이로도 저장이 가능하다. 전통적인 방법으로 사인파를 ROM에 저장했을 때 필요한 ROM의 사이즈는 $2^{k+j} \times m$ 이다. ROM 축소 방법으로 사인파를 저장했을 때 Q-ROM에 저장되는 ROM 사이즈는 $2^k \times m$ 이며 D-ROM에 저장되는 ROM 사이즈는 $2^{k+j} \times n$ (단, $n < m$)가 된다.

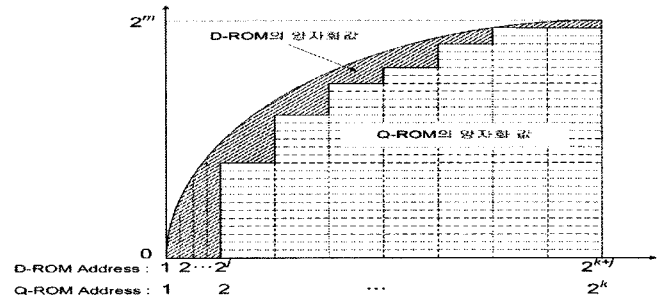


그림 3. ROM 축소 기법을 적용한 사인파의 양자화
Fig. 3. Quantization of sine using ROM reduction method

여기서 D-ROM의 데이터 길이 n 비트는 Q-ROM과 D-ROM의 표본화 값 차이의 최대값을 양자화 할 수 있는 길이만큼 충분히 길어야 한다. 만일 그림 4처럼 Q-ROM의 데이터 비트 길이가 m 이고 Q-ROM의 어드레스 비트 길이가 k 이라 할 때 표본화 간격 ΔT 은

$$\Delta T = \frac{1}{2^k} \quad (1)$$

이 되며, 양자화 간격 Δv 는

$$\Delta v = \frac{1}{2^m} \quad (2)$$

이 된다.

임의의 위상 어드레스 α 인 경우 양자화 값은

$$\sin\left(\frac{\pi}{2} \times \frac{\alpha}{2^k}\right) \quad \text{단, } \alpha = 0, 1, \dots, 2^k - 1 \quad (3)$$

이다. D-ROM에 저장되는 양자화 값의 최대값은

$$\Delta n = \max \left[\frac{\left| \sin\left(\frac{\pi}{2} \times \frac{\alpha}{2^k}\right) - \sin\left(\frac{\pi}{2} \times \frac{\alpha-1}{2^k}\right) \right|}{\Delta v} \right] \quad (4)$$

가 된다. 여기서 $\lfloor \cdot \rfloor$ 는 \cdot 를 넘지 않은 최대 정수이다. 따라서 D-ROM에 이러한 양자화 값을 저장시키기 위해 필요한 비트수는

$$n = \lfloor \log_2 \Delta n + 1 \rfloor \quad (5)$$

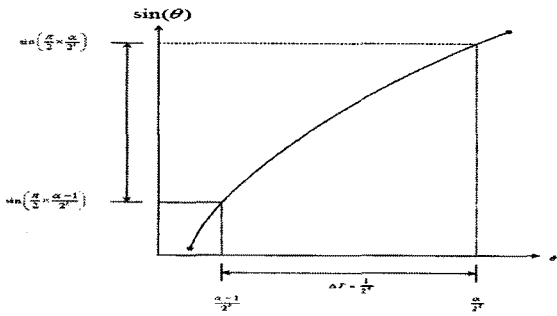


그림 4. D-ROM에 저장되는 데이터 비트 길이 계산

Fig. 4. Data bit length of D-ROM

이 된다.

예를 들면 Q-ROM의 데이터 비트 길이가 10비트 Q-ROM의 어드레스 비트 길이가 9라고 할 때 표본화 간격 ΔT 은

$$\Delta T = \frac{1}{2^k} = \frac{1}{2^9} \quad (6)$$

이 되며, 양자화 간격 Δv 는

$$\Delta v = \frac{1}{2^m} = \frac{1}{2^{10}} \quad (7)$$

이 된다.

D-ROM에 저장되는 양자화 값의 최대값은 보통 $\alpha = 1$ 일 때 성립하며

$$\Delta n = \max \left[\frac{\sin\left(\frac{\pi}{2} \times \frac{\alpha}{2^k}\right) - \sin\left(\frac{\pi}{2} \times \frac{\alpha-1}{2^k}\right)}{\Delta v} \right] \quad (8)$$

$$= \max \left[\frac{\sin\left(\frac{\pi}{2} \times \frac{1}{2^k}\right)}{1/2^{10}} \right]$$

$$= 3$$

가 된다.

따라서 D-ROM에 이러한 양자화 값을 저장시키기 위해 필요한 비트수는

$$n = \lceil \log_2 \Delta n + 1 \rceil \quad (9)$$

$$= \lceil \log_2 3 + 1 \rceil$$

$$= 2 \text{ [bit]}$$

가 된다. 따라서 원래 $2^{12} \times 10$ 의 용량이 필요한 ROM을 그림 5처럼 Q-ROM과 2-비트 길이의 D-ROM으로 나누어 저장할 때 Q-ROM은 10비트의 어드레스 비트만 필요하며 D-ROM은 2비트의 데이터 길이만 필요하게 된다. 즉 $2^{10} \times 10$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM이 필요하게 된다. 여기서 Q-ROM의 10비트의 어드레스 비트와 D-ROM의 12비트 어드레스는 상호 공유하여 사용하게 된다. 즉, D-ROM의 어드레스 비트 12비트중 상위 10비트를 Q-ROM의 어드레스로 사용함으로써 데이터를 생성할 수 있다.

Original ROM		Quantized ROM		Differential ROM	
Address	Data	Address	Data	Address	Data
0000000000	000000000	000000000	000000000	0000000000	00
0000000001	000000000			0000000001	00
0000000010	000000000			0000000010	00
0000000011	000000001			0000000011	01
0000000100	000000001	000000001	000000001	0000000100	00
0000000101	000000001			0000000101	00
0000000110	000000010			0000000110	01
0000000111	000000010			0000000111	01
0000001000	000000011	000000010	000000011	0000001000	00

그림 5. Q-ROM과 D-ROM에 저장된 데이터

Fig. 5. Data of Q-ROM and D-ROM

이렇게 2개의 ROM에 저장된 데이터는 최종적으로 그림 5처럼 Q-ROM의 데이터와 D-ROM의 데이터를 더해서 최종적인 데이터를 생성하게 된다. FCW N 비트중 상위 $k+j+2$ 비트가 ROM의 어드레스 비트로 사용되어지며 이중 MSB 2비트는 phase truncation 기법을 위해 사용되어지고 2개의 최상위 MSB비트를 제외한 상위 $k+j$ 비트가 D-ROM의 어드레스 비트로 상위 k 비트가 Q-ROM의 어드레스 비트로 사용된다. Q-ROM의 출력 비트 m 비트와 D-ROM의 출력 n 비트가 그림 6과 같이 더해져 양자화된 사인파형을 출력하게 된다. 이러한 QD-ROM 기법을 이용함으로써 얻어지는 ROM 축소 비율은 컴퓨터 시뮬레이션을 통해 표 1처럼 요약할 수 있다. 전통적인 ROM 기법으로 $2^{12} \times 10$ 의 Q-ROM만을 사용했을 때 필요한 총 비트 수는 40,960비트가 된다. 11비트의 어드레스를 사용하는 Q-ROM을 이용할 때 D-ROM에 저장되는 데이터 비트는 1비트만 필요하다.

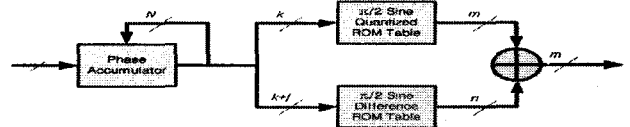


그림 6. 제안된 QD-ROM의 위상-사인 변환기블록도

Fig. 6. Block diagram of phase-to-sine converter of proposed QD-ROM

표 1. QD-ROM 사용시 축소된 ROM 크기의 비율

Table 1. Ratio of reduced ROM size(1)

	Address	데이터	데이터	Address	데이터	데이터
	비트 길이	비트 길이	비트수	비트 길이	비트 길이	비트수
Q-ROM 데이터비트수	12	10	40,960	11	10	20,480
D-ROM 데이터비트수	0	0	0	12	1	4,096
총 데이터 비트수	12	10	40,960	12	11	24,576
감소율			100.0			40.0
	Address	데이터	데이터	Address	데이터	데이터
	비트 길이	비트 길이	비트수	비트 길이	비트 길이	비트수
Q-ROM 데이터비트수	10	10	10,240	9	10	5,120
D-ROM 데이터비트수	12	2	8,192	12	2	8,192
총 데이터 비트수	12	12	18,432	12	12	13,312
감소율			55.0			67.5

표 1. QD-ROM 사용시 축소된 ROM 크기의 비율
Table 1. Ratio of reduced ROM size(2)

Q-ROM 데이터비트수	8	10	2,560	7	10	1,280
D-ROM 데이터비트수	12	3	12,288	12	4	16,384
총 데이터 비트수	12	13	14,848	12	14	17,664
감소율			63.8			56.9
	Address 비트 길이	데이터 비트 길이	데이터 비트 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트 비트수
Q-ROM 데이터비트수	6	10	640	5	10	320
D-ROM 데이터비트수	12	5	20,480	12	6	24,576
총 데이터 비트수	12	15	21,120	12	16	24,896
감소율			48.4			39.2

따라서 $2^{11} \times 10$ 의 Q-ROM과 $2^{12} \times 1$ 의 D-ROM을 사용했을 때 필요한 비트는 24,576비트로 약 40%의 ROM 용량을 축소할 수 있다. 마찬가지로 $2^{10} \times 10$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM을 사용했을 때 필요한 비트는 18,432비트로 약 55%의 ROM 용량을 축소할 수 있다. 표에서 보는 바와 같이 $2^9 \times 10$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM을 사용했을 때 67.5%의 가장 많은 ROM을 축소할 수 있다. 따라서 본 논문에서는 $2^9 \times 10$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM을 사용하여 위상-사인 변환기를 설계하고자 한다.

3.2 고속 DDFS를 구현하기 위한 병렬 위상-사인 변환기

DDFS의 출력 주파수는 클럭 주파수에 의하여 제한된다. 이론적으로, 최고 출력주파수는 클럭 주파수의 절반까지 이를 수 있지만, 실제 응용에서는 클럭 주파수의 3분의 1의 주파수를 최고 출력 주파수라고 생각한다. 기존의 DDFS의 동작 클럭 주파수가 높지 않지 때문에, DDFS의 응용 분야는 최고 출력 주파수에 의하여 제한된다. DDFS의 속도를 높이기 위한 한 가지 방식은 파이프라인 수를 증가시키고 높은 클럭 주파수를 사용하는 것이다. 그러나 파이프라인의 수의 증가에 비례하여 칩의 크기와 소모 전력이 선형적으로 증가한다. 또한, 동작 클럭 주파수의 증가에 비례하여 소모 전력이 선형적으로 증가한다. 따라서 파이프라인의 수를 증가시키고 클럭 주파수를 높이는 방식을 사용할 경우, DDFS의 동작 속도에 비례하여 칩의 크기는 선형적으로 증가하고 소모 전력은 제곱으로 증가한다. 따라서, 동작 속도를 높이면서도 면적과 소모 전력을 줄일 수 있는 새로운 방식의 DDFS가 요구된다. 고속 DDFS를 구현하기 위하여 누적기의 위상 출력을 사인 값으로 바꾸는 위상-사인 변환기를 병렬로 여러개 사용하여 구현하였다. 누적기의 출력 속도를 높이고 누적기의 입력에서 출력까지의 시간 지연을 감소시키기 위하여, 파이프라인 기법을 사용하지 않고 그림 7에서와 같이 2개의 N비트 덧셈기를 사용한 누적기가 제안되었다.

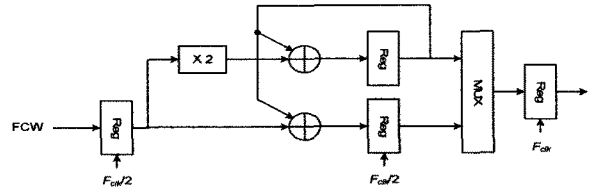


그림 157. 2-병렬 기법을 사용한 누적기
Fig. 7. Accumulator using 2-parallel method

IV. 2-병렬 QD-ROM을 이용한 DDFS 설계 및 시뮬레이션

4.1 2-병렬 QD-ROM 크기 축소 기법을 이용한 위상-사인 변환기 설계

본 논문에서는 고속의 저 전력 DDFS를 구현하기 위해 앞 절에서 설명한 ROM 축소 기법을 FPGA로 구현한다.

Xilinx의 FPGA를 이용하여 위상-사인 변환기(PA 및 ROM 부분)를 설계한다. FPGA가 최대 400MHz에서 동작 가능하는 Virtex-4 계열에 ROM이 내장되어 있는 XC4VLX25 계열을 사용한다. 여기서 최대 주파수 300MHz를 얻기 위해 클럭은 800MHz를 사용하고 1Hz의 해상도를 구현하기 위해 다음 식에 의하여 30비트의 FCW가 사용되어진다.

$$\Delta F = \frac{F_{CLK}}{2^k} : \Delta F = 1[Hz], F_{CLK} = 800[MHz] \quad (10)$$

$$\therefore k = 30[bit]$$

또한 phase truncation 기법을 사용하여 실제로 사용되어지는 ROM의 데이터 비트를 10비트를 사용할 때 어드레스 비트는 다음 식에 의하여 12비트를 사용한다.

$$\sin\left(\frac{2\pi}{2^N}\right) \leq \frac{1}{2^{i-1}} : i = 10[bit], \therefore N = 12[bit] \quad (11)$$

앞 장에서 설명한 QD-ROM을 이용한 DDFS의 FPGA 설계 블록도가 그림 8에 나와 있다. QD-ROM 축소 기법을 이용한 위상-사인 변환기의 입력 데이터는 외부에서 발생한 100MHz 클럭과 FPGA를 구동시키기 위한 Reset신호, 그리고 주파수를 정해주는 30비트의 FCW 신호가 입력되어진다. 출력 데이터는 ROM에 저장된 10비트의 데이터와 부호비트로 이루어진 총 11비트의 출력 데이터이다. 여기서 클럭은 100MHz의 오실레이터를 이용하여 FPGA로 입력되어지며 FPGA 내부에서 DCM을 이용하여 300MHz로 채택되어진다. 단, QD-ROM을 이용하기 위해서는 두개의 ROM이 필요하며 표 1의 결과에 의하여 $2^9 \times 10$ 의 Q-ROM을 사용하고 $2^{12} \times 2$ 의 D-ROM을 사용한다. 전통적인 ROM 기법을 사용한 것보다 67.5%의 ROM 크기를 축소할 수 있다. Xilinx의 ISE를 이용하여 이러한 기법을 사용한 위상-사인 변환기 시뮬레이션 한 결과가 그림 9~10과 같이 56MHz, 168MHz에 나와 있다.

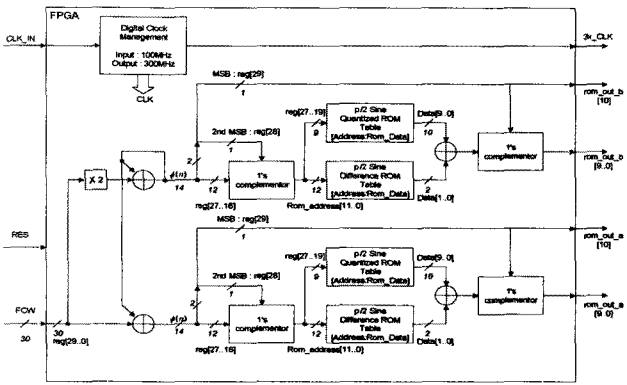


그림 8. 2-병렬 QD-ROM 축소 기법을 이용한 위상-사인 변환기 블록도

Fig 8. Phase-sine converter block diagram using 2-parallel QD-ROM method

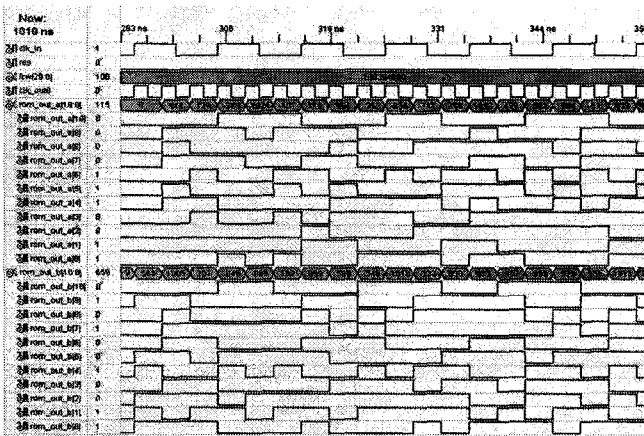


그림 9. 2-병렬 QD-ROM 축소 기법을 이용한 위상-사인 변환기의 로직 시뮬레이션 결과 : 56MHz

Fig. 9. The logic simulation result of using 2-parallel QD-ROM phase-sine converter : 56MHz

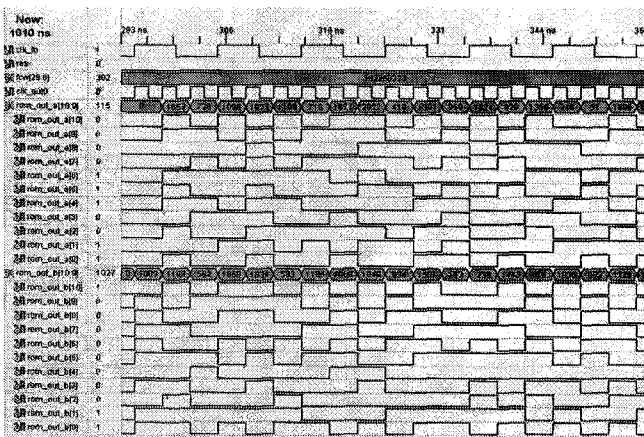


그림 10. 2-병렬 QD-ROM 축소 기법을 이용한 위상-사인 변환기의 로직 시뮬레이션 결과 : 168MHz

Fig. 10. The logic simulation result of using 2-parallel QD-ROM phase-sine converter : 168MHz

4.2 2-병렬 QD-ROM 축소 기법을 이용한 DDFS의 실험

본 절에서는 앞에서 설명한 2-병렬 QD-ROM 축소 기법을 이용한 DDFS를 FPGA를 이용하여 제작하고 실험을 하고자 한다. 그림 11에 설계 및 제작한 DDFS의 시스템 블록도가 나와 있다. 입력에 원하는 주파수에 해당하는 FCW값을 인가하면 출력에 해당되는 출력 주파수가 발생된다. 이를 이용하여 출력 주파수가 37.5MHz, 101.9MHz, 192.0MHz의 출력 스펙트럼이 그림 12~14에 나와 있다.

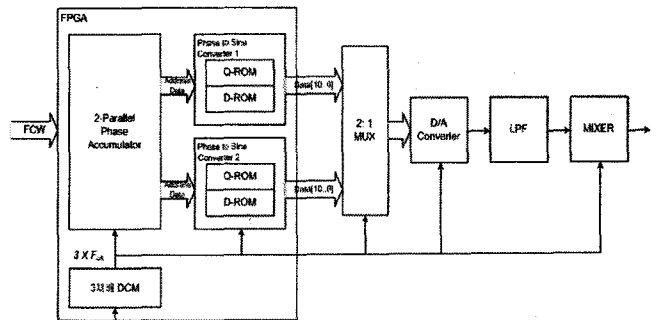


그림 11. 설계 및 제작된 DDFS의 시스템 블록도

Fig. 11. System block diagram of designed DDFS

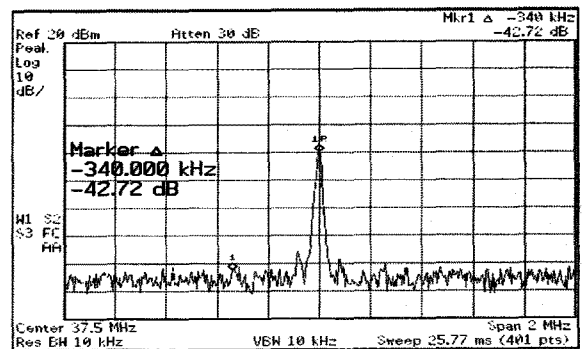


그림 12. 제작한 DDFS의 중심 주파수 37.5MHz 스펙트럼

Fig. 12. Spectrum of central frequency 37.5MHz

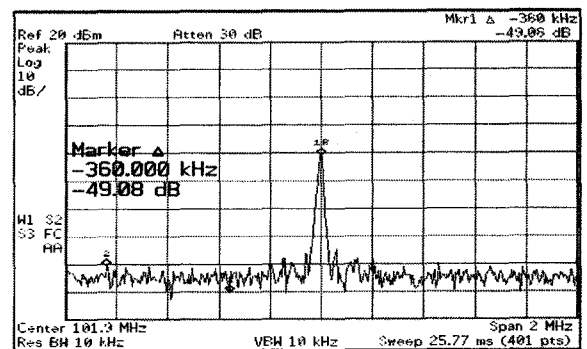


그림 13. 제작한 DDFS의 중심 주파수 101.9MHz 스펙트럼

Fig. 13. Spectrum of central frequency 101.9MHz

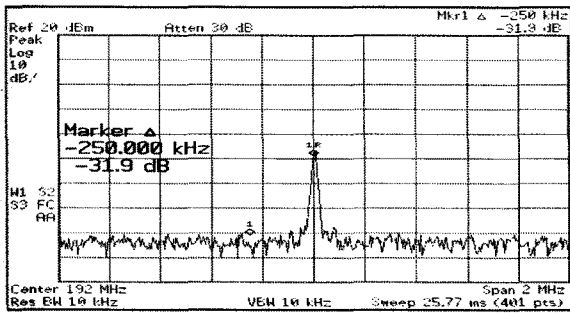


그림 14. 제작한 DDFS의 중심 주파수 192.0MHz 스펙트럼

Fig. 14. Spectrum of central frequency 192.0MHz

따라서 앞에서 제안한 2-병렬 QD-ROM 방식을 이용하여 광대역의 주파수 합성기를 설계 및 제작 할 수 있다. 그러나 출력 주파수가 올라가면서 SFDR의 성능이 약간씩 저하되고 있다. 출력 주파수가 150MHz이하에서는 SFDR이 -45dBc이하로 양호하게 나오고 있으나 주파수가 200MHz이상 이 되면 SFDR이 -45dBc이상 이 된다. 이는 결국 높은 주파수에서 좋은 성능을 얻기 위해서는 좀 더 높은 클럭 주파수에서 동작하는 위상-사인 변환기를 설계 해야 되나 본 논문에서 사용한 FPGA의 최대 동작 주파수가 300MHz로, 두 개를 병렬로 연결한다고 해도 600MHz 정도이다. 만일 좀 더 높은 클럭에서 동작하는 FPGA를 사용한다면 좋은 성능을 얻을 수 있으리라 생각 된다

표 2. 2-병렬 QD-ROM 축소 기법을 이용한 DDFS의 실험 결과

Table 2. The result of 2-parallel QD-ROM DDFS

출력 주파수	SFDR	대역폭
37.5MHz	-42.72dBc	2MHz
101.9MHz	-49.08dBc	
192.0MHz	-31.9dBc	

위에서 실험한 결과에 의해 본 연구에서 제작한 DDFS는 클럭 주파수 600MHz, FCW는 30비트로 구성되어 주파수 해상도는 0.56Hz로 1Hz보다 더 높은 주파수의 해상도를 갖는다.

V. 결론

본 논문에서는 높은 주파수를 얻기 위하여 낮은 클럭에서 동작 하는 병렬방식의 위상 누적기(phase accumulator)를 사용한 위상-사인 변환기와 ROM의 크기를 줄여 전력 소모를 줄일 수 있는 DDFS를 제안하였다. 새롭게 제안된 ROM 압축방식은 두 개의 ROM을 사용하여 ROM들의 크기를 줄여준다. 표본화된 사인파의 양자화 값은 양자화 ROM과 차동 ROM에 저장된다. ROM 크기를 줄이기 위해 사인파를 양자화 할 때 일련의 차동 양자화 기술을 응용, 변형하여 두 개의 ROM을 사용한 QD-ROM 압축방식을 이용하였으며, 이를 FPGA로 설계하고 제작하였다. 이 방법을 사

용함으로써 67.5%의 ROM 사이즈를 감소시킬 수 있었다. 본 연구 결과를 DDFS에 적용함으로써 병렬 기법에 의해 부품 수가 증가할 수 있지만 ROM 사이즈를 줄일 수 있어 전체적인 전력 소모는 감소된다. 향후 본 논문의 연구 결과를 이용하여 여러 가지 DDFS 제작 방식에 적용할 수 있고 결과적으로 one-chip DDFS를 구현 할 수 있다.

참고 문헌

- [1] D. A. Sunderland, R. A. Strauch, S. S. Wharfield, H. T. Peterson, and C. R. Cole, "CMOS/SOS frequency synthesizer LSI circuit for spread spectrum communications", IEEE JSSC, pp. 497~05, Aug. 1984.
- [2] H. T. Nicholas, H. Samuelli, and B. Kim, "The optimization of direct digital frequency synthesizer performance in the presence of finite word length effects", in 42nd Annu. Frequency Control Symp, pp. 356~63, 1988.
- [3] H. T. Nicholas III and H. Samuelli, "A 150-MHz direct digital frequency synthesizer in 1.25- μ m CMOS with -90dBc spurious performance," IEEE J. Solid-State Circuits, vol. 26, no. 12, pp. 1959 - 1969, Dec. 1991.
- [4] V.F. Kroupa, Direct Digital Frequency Synthesizers. New York: IEEE Press, 1999.
- [5] Byung-Do Yang, Jang-Hong Choi, Seon-Ho Han, Lee-Sup Kim, and Hyun-Kyu Yu, "An 800-MHz Low-Power Direct Digital Frequency Synthesizer With an On-Chip D/A Converter," IEEE J. of Solid-State Circuits, vol. 39, no. 5, pp. 761-774, May 2004.
- [6] J. Tierney, C. M. Radre, and B. Gold, "A Digital Frequency Synthesizer," IEEE Transactions on Audio and Electroacoustics, vol. AU-19, pp. 48-57. March 1971.
- [7] Ferrel G. Stremier, Introduction to Communication Systems 3rd Edition, Addison-Wesley Publishing Company, 1990.
- [8] Avanindra Madiseti, Alan Y Kwentus, and Alan NWilson, "A 100MHz, 16-b Direct Digital Frequency Synthesizer with a 100dBc Spurious Free Dynamic Range," IEEE J. of Solid State Circuits , vol. 34, no. 8, pp. 1034-1043, August, 1999.
- [9] L. A. Weaver, "High Resolution Phase to Sine Amplitude Conversion", U.S. Patent 4905177, February 1990
- [10] S. Morteza pour and E. K. F. Lee, "Design of Low-Power ROM-Less Direct Digital Frequency Synthesizer Using Nonlinear Digital-to-Analog Converter," IEEE J. Solid-State Circuits, vol. 34, no. 10, pp.1350-1359, Oct. 1999.
- [11] J. Volder, "The CORDIC trigonometric computing technique," IEEE Trans. Computers, vol. EC-8, pp. 330-334, Sept. 1959.
- [12] Y.H.Hu, "The Quantization Effects of the CORDIC Algorithm," IEEE Trans. on Signal Processing, vol. 40, no. 4, pp. 834-844, Apr. 1992.



김 중 일 (Chong-II Kim)

正會員

1987 서강대학교 전자공학과 공학사

1989 연세대학교 전자공학과 공학석사

1993 연세대학교 전자공학과 공학박사

1993~현재 관동대학교 정보기술공학부 교수.

※주관심분야 : 이동통신, STC, TCM, OFDM,
주파수 합성기 등



홍 찬 기 (Chan-Ki Hong)

1986년 중앙대학교 전자계산학과 공학사

1988년 중앙대학교 컴퓨터공학과 공학석사

1992년 중앙대학교 컴퓨터공학과 공학박사

1992년 - 현재 관동대학교 컴퓨터학과 교수

※주관심분야 : 소프트웨어 공학, 객체지향 설계, CBD
