

누설전류 감소를 위한 Bird's Beak 공정을 이용한 다결정 실리콘 박막 트랜지스터의 구조 연구

이진민^{1,a}

¹ (주)엘엔티연구소

A Researching about Reducing Leakage Current of Polycrystalline Silicon Thin Film Transistors with Bird's Beak Structure

Jin-min Lee^{1,a}

¹ Institute of Research and Development, ElnT.Co.,Ltd, Suwon 441-360, Korea

(Received November 22, 2010; Revised December 22, 2010; Accepted January 11, 2011)

Abstract: To stabilize the electric characteristic of Silicon Thin Film Transistor, reducing the current leakage is most important issue. To reduce the current leakage, many ideas were suggested. But the increase of mask layer also increased the cost. On this research Bird's Beak process was use to present element. Using Silvaco simulator, it was proven that it was able to reduce current leakage without mask layer. As a result, it was possible to suggest the structure that can reduce the current leakage to 1.39nA without having mask layer increase. Also, I was able to lead the result that electric characteristic (on/off current ratio) was improved compare from conventional structure.

Keywords: Poly crystalline silicon thin film transistor, Leakage current, Bird's beak structure, Sensor, MEMS (micro electro mechanical system), NEMS (nano electro mechanical system)

1. 서론

실리콘 박막 트랜지스터는 절연기판 상에 구현시킬 수 있는 반도체 소자로써 MEMS (micro electro mechanical system)/NEMS (nano electro mechanical system) 소자와 함께 기존의 센서를 소형화, 집적화시킬 수 있을 뿐 아니라 [1] 기존의 센서보다 더 낮은 저 전압으로 구동시킬 수 있기 때문에 그 응용분야가 매우 넓을 것으로 예상된다. 이 때 많이 사용되는 실리콘 박막 트랜지스터는 활성층이 실리콘 형성에 따라 다결정 실리콘 박막 트랜지스터와 비정질 실리콘 박막 트랜지스터로 구분되어진다. 이 중

다결정 박막 트랜지스터는 트랜지스터의 채널 영역에 형성되는 다결정 실리콘의 박막입자가 가지는 결정에 의해 높은 전하이동도가 큰 장점인 반면 결정입계의 미 결합 부분인 댕글링 본드에서 발생하는 EHP (electron-hole pair)에 의해 누설전류가 높아지는 것으로 알려져 있다. 이러한 누설전류는 트랜지스터가 오프되어 있을 때 유지되고 있는 드레인과 게이트 측의 전압에 의해 결합되지 않은 전자들이 드레인 측으로 이동하며 발생하는 것으로 잘 알려져 있다. 누설전류는 센서들의 미 동작 시에도 특정한 값을 나타내는 문제를 가지고 있게 되므로 [2,3] 구동회로를 센서와 집적시키기 위해서는 이를 감소시키기 위한 연구는 매우 중요하다. 누설전류를 감소시키기 위한 방안으로는 FID (field

a. Corresponding Author; bonafidej@naver.com

induced drain) LDD (lightly doped drain/source) 또는 오프셋 구조 등이 알려져 있으나 사진공정이 증가로 인한 제조기간의 증가와 제조원가가 증가로 이어지거나 공정상의 이유로 제조되는 소자의 특성이 변화되는 등의 단점을 가지게 된다 [4,5].

따라서 본 논문에서는 이러한 누설전류를 감소시키기 위한 구조로 마스크가 증가되지 않으면서도 드레인/소오스와 게이트의 거리를 떨어뜨리기 위해 bird's beak 구조를 통해 트랜지스터를 설계하였다. 이러한 구조를 얻기 위한 공정설계의 핵심으로는 일반 TFT (thin film transistor)를 게이트전극까지 제조한 후 습식산화를 통해 드레인/소오스의 양 끝단이 게이트와 벌어지게 하여 드레인 영역에서 발생하는 전계를 게이트와 거리 증가를 통해 bird's beak 구조가 되도록 제한하였다. 이 때 습식산화 공정이 진행되며 주입된 드레인/소오스의 이온들은 게이트 쪽으로 확산되도록 유도하되 그 확산영역이 벌어진 드레인 측의 게이트까지 도달하지 않도록 하여, 전계효과의 감소와 함께 누설전류의 감소를 유도하도록 하였다.

2. 실험 방법

2.1 시뮬레이션

제안된 구조의 다결정 실리콘 박막 트랜지스터의 공정설계 순서를 설명하면 다음과 같다. 우선 알루미늄 나 또는 석영의 절연기판 위에 비정질 실리콘을 250 nm 형성시킨 후 건식산화법을 이용해 게이트 산화막과 화학기상증착 (chemical vapor deposition) 방식으로 게이트 전극을 증착시킨다. 각 박막의 조건은 950°C에서 100 nm, 625°C에서 300 nm이다. 게이트전극용 다결정 실리콘은 $POCl_3$ 방식으로 $5 \Omega/cm^2$ 저항을 갖도록 도우핑 시킨다. 이 후 산화막과 질화막을 형성시킨 후 건식식각 방법을 통해 70 nm의 스페이서를 형성시키고 그 후 건식식각 방법을 통해 게이트 영역을 지정한 후 n형의 인 (phosphorous) 이온을 50 KeV, $5.0 \times 10^{15}/cm^2$ 을 주입시켜 드레인과 소오스를 형성시킨다. 이 후 스페이서를 습식식각 방법을 통해 제거하였다. 이 후 본 논문에서 의도한 bird's beak 공정을 위해 습식산화를 통해 약 200 nm의 산화막을 성장시켜 드레인과 소오스의 채널 영역이 게이트와 벌어지도록 제조하였다. 이 후 패시베이션과 메탈을 각각 화학기상증착법과 스퍼터링 방식을 통해 형성시켜

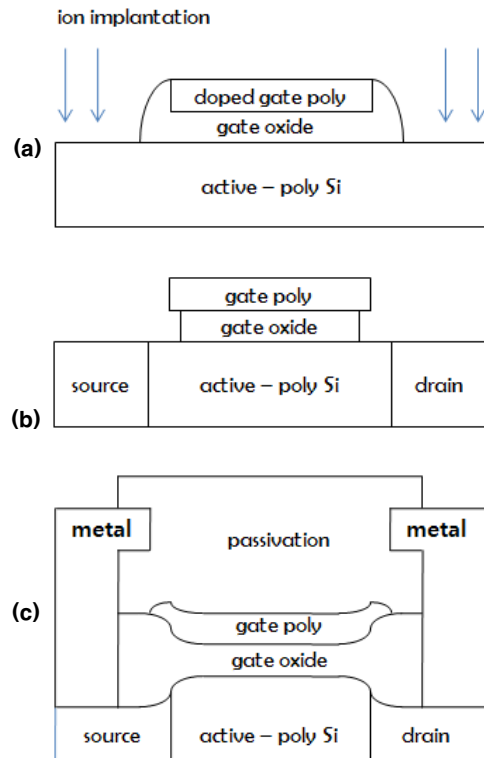


Fig. 1. The schematics of process flow for suggested TFT. (a) Spacer and Ion Implantation, (b) Removed SiO_2 , (c) Structure of device.

소자 설계를 마무리 하였다.

이렇게 형성시킨 소자의 제조순서를 그림 1에 간략히 나타내었다. 소자 시뮬레이터는 실마코 (Silvaco)를 이용하였으며, 제안된 소자의 구조를 구현시켜 그림 2에 나타내었다.

2.2 소자의 구조제조

제안된 소자를 동일한 조건이 되도록 구조를 제조하였으며, 이 때 제조한 소자는 이온주입을 실시하지 않고 구조 확인하기 위해 실제 소자제조의 가능성을 높이도록 제조하였다. 그림 3의 SEM분석을 통해 그 결과 값을 도출한 결과 bird's beak 구조로 형성된 게이트 전극의 드레인과 소오스 끝 부분의 길이는 약 250 nm, 드레인 끝단에서 활성층까지의 수직높이는 약 200 nm 이었으며, 이 때 드레인/소오스 측의 활성층 두께는 150 nm, 채널영역의 활성층 두께는 250 nm로 분석되어 시뮬레이터를 통해 설계된 그림 2의

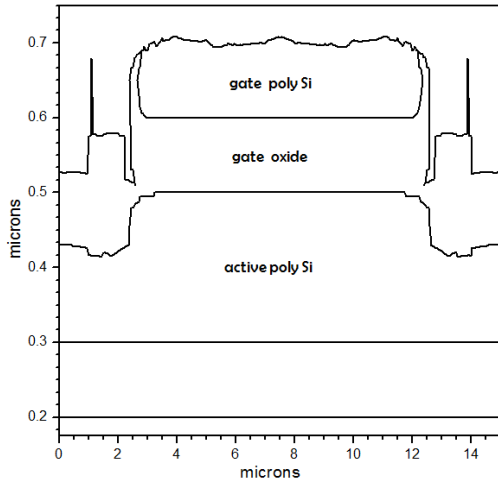


Fig. 2. The simulation result of TFT structure by Silvaco simulator.



Fig 3. SEM image of the fabricated TFT with bird's beak process.

구조와 비슷한 결과를 유도할 수 있었다. 그림 3에는 구조 검증을 위해 제조한 소자의 bird's beak 부위를 나타내었다.

3. 결과 및 고찰

제안된 소자의 전기적 특성을 시뮬레이터를 이용해 그 특성을 측정 한 후 제조된 소자의 특성을 그림 4

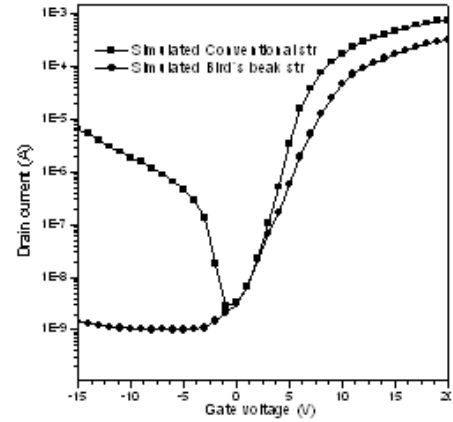


Fig. 4. The simulation result of V_g - I_d transfer characteristics.

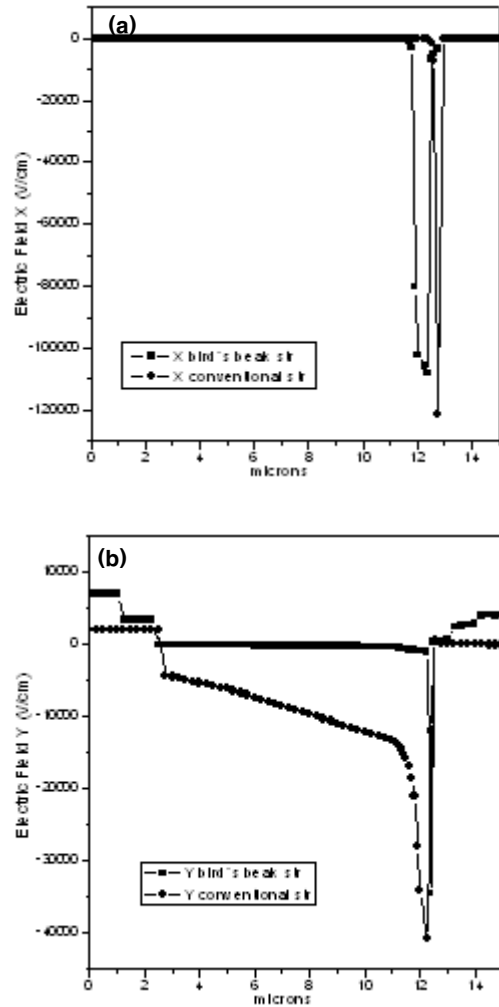


Fig. 5. The simulation result of electric field distribution in channel X, Y region ($V_g, V_d = -5V, W/L = 11/11\mu m$). (a) X direction, (b) Y direction.

에 비교평가 하였다. 시뮬레이션에 의한 bird's beak 구조를 갖는 소자의 누설전류는 높은 게이트 역전압에 대해 6.43 μA 로 높은 반면 bird's beak 구조로 설계된 소자는 1.39 nA로 매우 낮고 게이트 역전압의 향상에 대해서도 일정한 특성을 나타내었다. on/off 전류비의 경우 최대 전압차에서 전형적인 구조를 갖는 소자특성이 1.17×10^2 인 반면 bird's beak 구조를 갖는 소자는 1.00×10^5 로 10^3 정도의 차이로 향상되었다. 이러한 누설전류 감소의 원인을 분석하기 위해 그림 5.에 소자크기 $W \times L = 11 \times 11 \mu\text{m}$ 인 채널영역의 전계를 나타내었다. 그래프 a)와 b)는 모두 채널을 기준으로 표시되었으며, 소오스가 시작되는 영역이 그래프 x축의 2microns에서 시작되어 약 13microns에서 드레인이 형성된다. 이 때 y방향은 채널표면에서 기관방향의 전계분포이고, x방향은 소오스에서 드레인 방향의 전계분포이다. 시뮬레이션 결과 모든 전계가 주로 드레인 영역에서 발생하는 것으로 분석되었으며, bird's beak 구조를 갖는 소자의 전계가 전형적인 구조를 갖는 다결정 실리콘 박막 트랜지스터의 그 값보다 낮게 나타났다. 특히 드레인 영역에서 채널 표면에서 기관방향으로 형성된 y축 전계가 bird's beak 구조를 갖는 트랜지스터에서 보다 더 낮은 값을 갖는 것으로 분석되어 bird's beak 구조에 의해 게이트의 양끝구조가 드레인에서 멀어짐으로, 전계의 감소에 기인해 누설전류가 감소됨을 확인할 수 있었다.

4. 결 론

본 논문에서는 드레인 영역의 높은 전계에 의해 발생하는 높은 누설전류를 감소시키기 위해 새로운 구

조를 갖는 소자를 제안하고 제조 후 특성을 시뮬레이션을 통해 누설전류의 감소를 분석, 검증 하였다. 제안된 소자의 구조를 시뮬레이터를 통해 구조와 전기적 특성을 비교 분석하였다. 소자의 제조결과 새롭게 제안된 bird's beak 구조를 갖는 소자의 누설전류는 1.39 nA로 전형적인 구조를 갖는 소자 보다 10^3 A 정도 낮은 off특성을 보였으며, 최대 전압차에서 발생하는 on/off 전류비의 경우 일반구조를 갖는 소자가 갖는 1.17×10^2 보다 10^3 정도 높은 결과 값을 갖는 결과를 확인할 수 있었다. 또한 시뮬레이터를 통해 그 특성향상의 원인이 드레인과 게이트 영역에서 발생하는 전계의 감소에 기인함을 분석할 수 있었다. 따라서 본 연구에서 제안한 다결정 실리콘 박막트랜지스터를 통해 마스크의 증가가 없이 향상된 특성을 갖는 소자의 가능성을 확인할 수 있었으며, 그 특성이 단결정 실리콘 트랜지스터와 비슷하여 센서 분야와 다른 분야에서도 응용이 가능할 것으로 예측된다.

REFERENCES

- [1] H. Oshima and S. Morozumi, *IEDM*, 157 (1989).
- [2] K. Suzuki, *Digest, SID* **92**, 39 (1992).
- [3] A. Rodriguez, E. G. Moreno, H. Pattyn, J. F. Nijs, R. P. Mertens, *IEEE Trans Electron Dev*, **40**, 938 (1993).
- [4] J. I. Ohwada, M. Takabatake, Y. A. Ono, A. Mimura, K. Ono, N. Konishi, *IEEE Trans. Electron. Dev*, **36**, 9, 1923 (1989).
- [5] S. Seki, O. Kogure and B. Tsujiyama, *IEEE Electron Dev. Lett*, **EDL-8**, 0, 434 (1987).