

# Ku-대역 BiCMOS 저잡음 증폭기 설계

## Design of Ku-Band BiCMOS Low Noise Amplifier

장 동 필 · 염 인 복

Dong-Pil Chang · In-Bok Yom

### 요 약

0.25 um SiGe BiCMOS 공정을 이용하여 Ku-대역 저잡음 증폭기가 설계 및 제작되었다. 개발된 Ku-대역 저잡음 증폭기는 BiCMOS 공정의 HBT 소자를 이용하여 설계되었으며, 9~14 GHz 대역에서 2.05 dB 이하의 잡음 지수 특성과 19 dB 이상의 이득 특성을 가지고 있다. 제조 공정과 관련되어 제공된 PDK의 부정확성 및 부족한 인덕터 라이브러리를 보완하기 위하여 p-tap 값 최적화와 인덕터의 EM 시뮬레이션 기법 등을 활용하였다. 총 2회의 제작 공정을 수행하였으며, 최종 제작된 Ku-대역 저잡음 증폭기는 0.65 mm×0.55 mm의 크기로 구현되었다. 특히 최종 제작된 저잡음 증폭기의 레이아웃에서 입/출력 RF Pad와 Bias Pad 등을 제외하고 약 0.4 mm×0.4 mm 정도의 크기를 갖도록 조정되어 다기능 RFIC의 증폭단으로 활용되었다.

### Abstract

A Ku-band low noise amplifier has been designed and fabricated by using 0.25 um SiGe BiCMOS process. The developed Ku-band LNA RFIC which has been designed with hetero-junction bipolar transistor(HBT) in the BiCMOS process have noise figure about 2.0 dB and linear gain over 19 dB in the frequency range from 9 GHz to 14 GHz. Optimization technique for p-tap value and electro-magnetic(EM) simulation technique had been used to overcome the inaccuracy in the PDK provided from the foundry service company and to supply the insufficient inductor library. The finally fabricated low noise amplifier of two fabrication runs has been implemented with the size of 0.65 mm×0.55 mm. The pure amplifier circuit layout with the reduced size of 0.4 mm×0.4 mm without the input and output RF pads and DC bias pads has been incorporated as low noise amplification stages in the multi-function RFIC for the active phased array antenna of Ku-band satellite VSAT.

Key words : SiGe BiCMOS LNA, Ku-Band RFIC, Ku-Band LNA

### I. 서 론

최근까지 X-대역 이상의 주파수 대역에 대하여 저잡음 증폭기는 GaAs pHEMT 소자를 이용하여 개발되어 왔다. 그러나, 최근에는 CMOS 공정 또는 BiCMOS 공정을 이용하여 저잡음 증폭기를 설계 및 제작하여 그 성능이 GaAs pHEMT 공정에서 개발된 저잡음 증폭기에 근접한 성능을 보여주는 사례들이

발표되고 있다<sup>[1]~[8]</sup>. CMOS 공정이나 BiCMOS 공정을 이용하여 증폭기가 개발될 경우, 디지털 회로 및 바이어스 회로 등을 하나의 칩에 집적할 수 있어 송수신기의 소형화 및 단일 칩 구현에 많은 장점을 가지게 된다. 특히 CMOS 공정에 비하여 RF 특성이 월등하게 향상된 BiCMOS 공정을 이용하여 RFIC를 개발하고자 하는 노력이 높아지고 있는데, 최근에 많은 관심이 모아지고 있는 분야가 위상 배열 안테나

한국전자통신연구원(Electronics and Telecommunications Research Institute)

· 논문 번호 : 20101005-01S

· 교신저자 : 장동필(e-mail : dpjang@etri.re.kr)

· 수정완료일자 : 2011년 2월 21일

시스템을 위한 다기능 칩을 BiCMOS로 구현하는 연구이다. 위상 배열용 BiCMOS는 내부에 위상 조절 기능과 이득 조절 기능이 포함되어 있으면서 동시에 이 기능들을 조절하기 위한 디지털 제어 회로가 구현되어야 소형화 경량화가 가능하게 되며, 위상 배열 소자의 배열수를 높이기 위해서는 소형화가 반드시 필요하지만, 저잡음 특성 및 고출력 특성 등의 RF 성능이 보장되어야 하며, 이를 위해서는 CMOS 공정보다 BiCMOS 공정이 훨씬 적합한 공정으로 평가되고 있다. 위상 배열 안테나용 다기능 칩은 레이더의 고성능화 또는 위성통신용 단말기의 고성능 소형화를 위해 가장 중요한 요소로 평가되고 있다 [5]~[7].

이러한 평가는 SiGe BiCMOS 공정에서는 CMOS 공정에서 제공하지 못하는 HBT 소자를 제공하고 있기 때문이며, 이 HBT 소자는 CMOS 공정에서 제공하는 MOSFET보다 높은 동작 주파수 특성, 그리고 저잡음 특성과 RF 전력 특성이 우수하여<sup>[9]</sup> 최근의 마이크로파 및 밀리미터파 대역의 저잡음 수신 칩 및 전력 증폭기가 포함되는 송수신기 칩 개발에 더욱더 장점을 가지고 있으며, 본 연구와 관련된 위성 통신용 단말기의 위상 배열 안테나용 다기능 칩의 개발에 적합한 공정으로 판단되었다.

최근 발표된 문헌에 따르면, SiGe BiCMOS 공정을 이용하여 X-대역에서 2 dB 정도의 저잡음 증폭기가 개발되었고<sup>[2]</sup>, Ku-대역에서 5 dB 이하의 저잡음 증폭기가 개발되었다<sup>[1],[3],[4]</sup>. 그리고 이 논문들에서 활용한 BiCMOS 공정은 모두 미국의 IBM 사 공정인 것으로 확인되었으며, 이 공정은 현재 전세계적으로 가장 정밀하고 정확한 BiCMOS 공정으로서 밀리미터파 대역 RFIC 개발에도 많이 활용되고 있는 공정이다.

그러나 본 논문에서는 독일의 IHP사에서 운영하는 0.25  $\mu\text{m}$  SiGe BiCMOS 공정을 이용하였으며, 단 위소자의 게이트 길이가 크기 때문에 IBM사의 공정에 비하여 구현 가능 주파수 대역이 낮지만, 공정비용이 상대적으로 저렴한 공정으로 알려져 있다. 본 논문에서 개발한 저잡음 증폭기는 한 Ku-대역 위성 배열 안테나용 수신용 다기능 RFIC에 포함될 증폭기로서 저잡음 특성과 P1 dB 특성을 고려하여 개발되었다. 특히 저잡음 특성의 경우 2.5 dB 이하가 잡

음 지수 성능이 구현되어야 만이 GaAs HEMT 공정의 저잡음 증폭기 특성과 경쟁할 수 있을 것으로 판단되어 잡음 지수 성능을 최우선적으로 고려하여 설계하였다.

## II. Ku-대역 BiCMOS 저잡음 증폭기 설계

본 연구에서 개발하고자 하는 저잡음 증폭기는 Ku대역 위성용 단말기에 적용하기 위한 것으로서 위성단말기의 수신 주파수 대역인 12~14 GHz 대역과 X대역 능동 위상 배열 레이더용 주파수인 10 GHz 대역을 모두 포함하도록 동작 주파수 범위를 설정하였으며, 위상 배열 부품의 다기능 RFIC의 요구 성능으로부터 잡음 지수는 2.5 dB 이하이면서, 선형 이득이 20 dB 정도이어야 하며, 또한, 0 dBm 이상의 P1 dB 특성이 개발 목표 성능으로 설정되었다.

Ku 대역 저잡음 증폭기를 개발하기 위하여 상용 0.25  $\mu\text{m}$  SiGe BiCMOS 공정에서 제공하는 HBT( $f_t=110$  GHz)를 사용하였다. 증폭기의 이득을 높이고, 또한, 동시에 입출력 전력 특성을 개선하기 위하여 캐스코드(cascode) 구조를 적용하였다.

일반적으로 알려진 바와 같이 캐스코드 구조의 증폭기는 입력단과 출력단 사이의 격리 특성이 단일 공통 에미터(Emitter) 증폭기에 비하여 향상되기 때문에 높은 이득을 구현함에 있어 안정도가 높아진다. 또한, 컬렉터 전압을 높일 수 있기 때문에 증폭기의 전력 특성인 P1 dB 성능의 향상이 가능하다<sup>[8],[10]</sup>. 참고문헌에 따르면 X-대역에서 동작하는 저잡음 증폭기의 경우 직렬 피드백을 가지는 캐스코드 형태의 증폭기가 잡음 특성과 안정도 특성, 그리고 입력 매칭 특성을 동시에 만족할 수 있는 최선의 구조라고 평가하고 있다<sup>[10]</sup>. 특히 캐스코드 구조의 BiCMOS HBT의 경우 1 nH 이하의 비교적 작은 인덕턴스를 이용하여 높은 안정도를 유지하면서 높은 이득, 그리고 저잡음 특성을 구현할 수 있는 장점이 있다고 분석되었다. 따라서 위상 배열 안테나용 다기능 RFIC에서 요구되는 높은 안정성과 이득 특성을 만족하면서 전력 특성과 저잡음 특성을 동시에 만족하기 위해서는 캐스코드 증폭기 구조가 최적의 구조로 판단되었다.

그리고 캐스코드 구조에 있어서 출력단 소자인

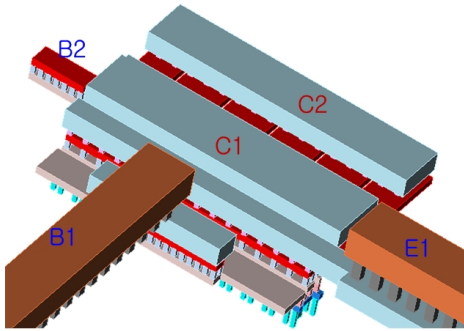


그림 1. Cascode HBT의 레이아웃 형상  
Fig. 1. Layout configuration of cascode HBT.

T2 트랜지스터의 베이스 전압을 적절히 조절하면 증폭기 전체의 전류를 조절하여 증폭기의 전력 소모량을 조정할 수 있다.

본 Ku-대역 BiCMOS 저잡음 증폭기 개발을 위하여 선택된 공정은 독일의 IHP사의 0.25  $\mu\text{m}$  SiGe BiCMOS 공정으로서, 회로 설계용 PDK에서 제공하는 저잡음 증폭기용 소자의 기본 면적은  $0.18 \mu\text{m}^2$ 이며, 캐스코드 HBT의 출력 전력 특성 시뮬레이션을 통하여 그림 2와 그림 3의 회로도 상의 한 개의 HBT 소자는 기본 소자 12개를 묶어서 구현하였다. 또한, 12개의 기본 소자를 묶어서 하나의 HBT가 되고, 이 HBT를 캐스코드 구조로 묶어서 증폭 소자를 구성하였다. 특히 캐스코드 HBT를 레이아웃할 때에 기생 소자 발생을 최소화하도록 3차원적으로 최적화 하였다. 그림 1에 레이아웃된 캐스코드 HBT의 3차원 CAD 형상을 보였다.

캐스코드 HBT의 출력 전력 시뮬레이션에 13 GHz의 주파수에서 출력 P1 dB가 3 dBm 정도 되도록 DC 바이어스를 조정하였으며, 이 때 최소 잡음 지수 또한 최소화되어 1.3 dB 정도로 유지되는 것을 확인하였다. 이때의 DC 바이어스 조건은 3.0 V의 드레인 전압과 약 5 mA의 드레인 전류로 설정되었다.

저잡음 증폭기의 설계에 있어서 아주 중요한 증폭기의 안정도를 추가 개선하기 위하여 일반적인 저잡음 증폭기 설계 방법인 에미터 단자 인덕터 피드백을 채용하여, 안정도 개선을 추구하면서 동시에 이득과 잡음 지수 매칭을 최적화하였다.

Ku-대역 저잡음 증폭기 개발을 위하여 1차 설계 및 제작에서는 입력단 HBT의 base 단자 바이어스를

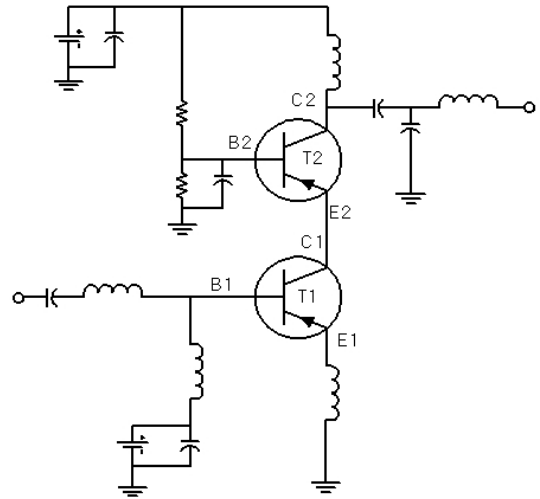
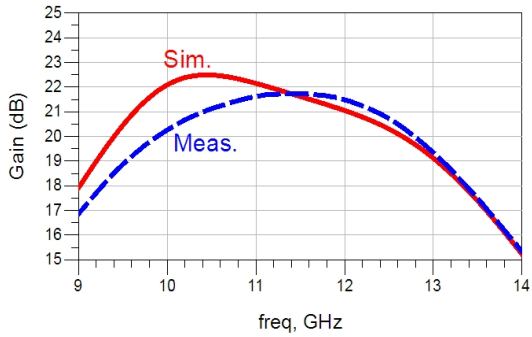


그림 2. Ku-대역 저잡음 증폭기의 1차 설계 회로도  
Fig. 2. The first-run schematic circuit of Ku-band low noise amplifier.

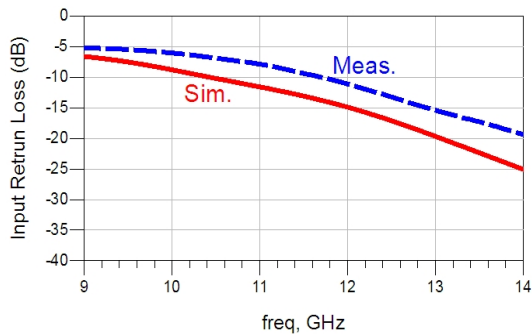
위하여 RF-choke 형태의 spiral inductor를 사용하였으며, 출력단 HBT의 base 단자 바이어스는 collector 바이어스 전원을 저항성 전압 분배기를 이용하여 공급하였다. 그림 2는 1차 설계된 저잡음 증폭기의 회로도이다.

Ku-대역 저잡음 증폭기의 1차 제작후 특성을 측정하여 분석한 결과, 제공된 PDK 내의 HBT와 관련된 p-tap의 미 사용으로 측정된 S-파라미터 특성에 있어 입력 매칭이 1 GHz 정도 상향 이동하였으며, 값의 부정확성으로 인하여 증폭기 성능의 주파수 특성에 있어 약 500 MHz 정도 상향된 것으로 파악되었다. 그림 3은 1차 설계 및 제작후 측정된 저잡음 증폭기의 이득 특성과 입력 매칭 특성 그래프를 시뮬레이션과 비교하여 보였다.

따라서 이러한 오차를 보정하여 2차 설계를 수행하였으며, 2차 설계에서는 사용한 HBT를 1차 설계와 동일하게 유지하면서, p-tap 값을 보정하고, 입력 측의 base 단자 바이어스 회로를 변경하였다. 1차 설계에서 base 단자 바이어스 회로에 사용된 spiral 인덕터가 저잡음 증폭기 회로 전체에서 차지하는 면적을 축소하기 위하여 회로 시뮬레이션에서 여러 형태의 구조를 적용하여 본 결과, 인덕터를 제거하고 2 kohm 정도의 저항을 사용할 경우 저잡음 증폭기의 성능 저하 없이 RF-choke 역할을 할 수 있는 것으로



(a) 이득 및 잡음 지수 특성  
(a) Gain and noise figure



(b) 입력 및 출력 반사 손실  
(b) Input and output return loss

그림 3. Ku-대역 저잡음 증폭기 1차 설계 결과 성능  
Fig. 3. Performance results of the first design of Ku-band low noise amplifier.

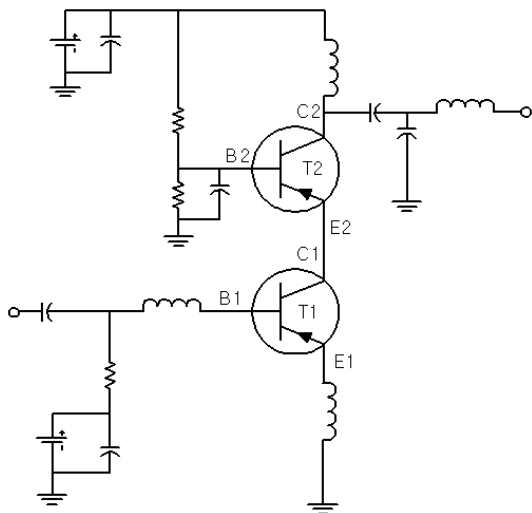


그림 4. Ku-대역 저잡음 증폭기의 2차 설계 회로도  
Fig. 4. The schematic circuit of the second design of Ku-band low noise amplifier.

판단되었으며, 이때 바이어스 선로의 연결은 입력 매칭회로의 앞쪽으로 이동하여야 했다. Base 바이어스 회로에 저항을 사용하였기 때문에 base 단자의 바이어스 전압은 0.85 V에서 상승하여 0.92 V로 변경되었다. 이러한 base 단자 바이어스 회로의 변경으로 입력력 매칭회로와 Emitter 인덕터스에 약간의 조정이 필요하였다. 그림 4는 2차 설계된 Ku-대역 저잡음 증폭기의 회로도이다.

그리고, PDK에서 제공하는 인덕터의 종류가 다양하지 않을 뿐만 아니라, 10 GHz 이상의 주파수 대역에서 등가회로의 부정확성을 가지고 있는 것으로 시뮬레이션 결과로부터 판명되었다.

그림 5에는 저주파 대역에서 약 2.8 nH의 인덕턴스를 갖는 PDK에서 제공하는 spiral 인덕터에 대한 EM 시뮬레이션 결과와 PDK 모델과의 차이를 보였다. 그래프에서 볼 수 있듯이 4 GHz 이상의 주파수 대역에서부터 Q-factor의 오차가 발생하고 있으며, 인덕턴스의 경우 12 GHz에서 37 % 이상의 오차가 발생하여, 실효 인덕턴스가 4.2 nH에서 5.7 nH로 증가함을 알 수 있다. 따라서 PDK에서 제공하는 등가회로를 그대로 설계에 반영하여 설계후 제작하면 측정 결과에 있어 많은 오차가 발생할 것임은 분명한 사실이다. 또한, 본 설계에 활용된 공정에서 인덕터를 구현할 수 있는 도체면(conductor layer)의 경우 총 5개의 도체면이 가능하고, 그 중에서 가장 두꺼운 TM2 레이어를 사용하여 인덕터를 구현함으로써 인덕터의 저항성 손실을 최소화하였다.

앞에서의 인덕터 모델의 분석 결과에 의하면 PDK에서 제공되는 인덕터를 Ku-대역 회로 설계에 직접 활용하는 것은 많은 오차를 가질 것으로 판단되었다. 그리하여, 케이션스 소프트웨어를 이용하여 적절한 인덕터를 레이아웃 생성한 후에 EM 시뮬레이션을 수행하여 1~5 nH 정도의 크기를 갖는 인덕터 라이브러리를 구축하여 회로 설계에 사용하였다. 14 GHz 대역에서 5 GHz 이상의 대역폭을 확보하기 위하여, 최적의 인덕터를 찾기 위하여 유사한 인덕턴스를 갖는 다양한 크기의 인덕터에 대하여 EM 시뮬레이션한 후에 선택하여 사용하였다.

저잡음 증폭기의 최종 레이아웃 작성에 있어서는 회로 내의 구성 소자 사이의 커플링을 방지하도록 소

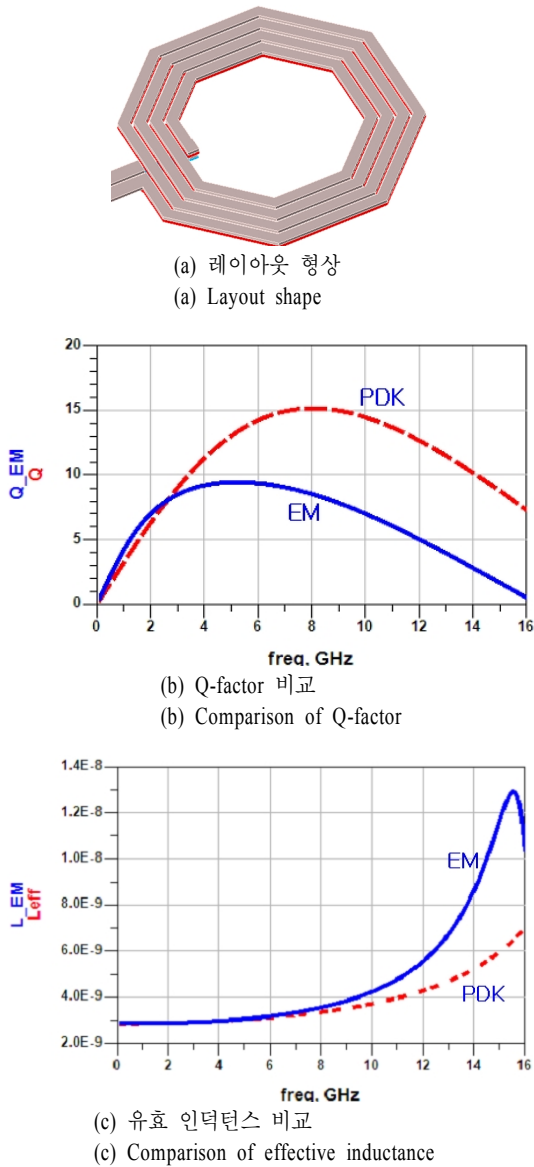


그림 5. PDK 제공 2.8 nH 인덕터의 EM 결과 비교  
Fig. 5. Comparison of EM-simulation result with 2.8 nH inductor in PDK.

자의 배치에 중점을 두어야 한다. 그리고, Si 기판에서의 유전체 손실에 따른 회로 내의 커플링 및 손실 증가를 최소화 하여야 한다. 이러한 여러 가지 커플링에 의한 손실을 최소화하는 방법으로서 N-well과 p-tap을 이용하여 소자간의 격리 특성 강화하는 방법을 레이아웃에 반영하였다. 그림 6의 Ku-대역 저잡음 증폭기 2차 설계 결과 레이아웃에서 볼 때, 위쪽의 두 개의 spiral 인덕터 사이와 중앙 부분의 Cas-

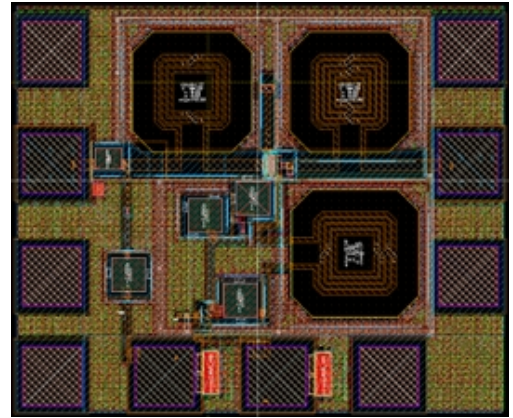


그림 6. Ku-대역 저잡음 증폭기 2차 설계 레이아웃  
Fig. 6. Layout of the second design of Ku-band low noise amplifier.

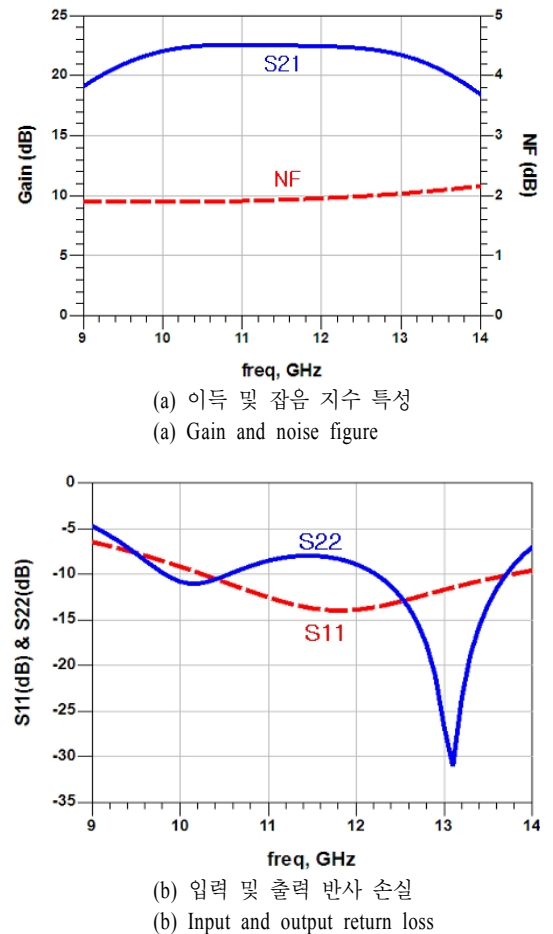


그림 7. Ku-대역 저잡음 증폭기 2차 설계 결과 성능  
Fig. 7. Simulated results of the second design of Ku-band low noise amplifier.

code HBT 주변과 입출력 전송 선로와 인덕터 사이 등에 N-well과 p-tap이 동시에 배치되었다. 또한, MIM 커패시터 주변에도 N-well과 p-tap이 배치되었다.

본 논문에서 보이지는 않았지만, 1차 설계된 Ku-대역 저잡음 증폭기의 크기는 0.88 mm×0.8 mm이었다. 그러나 2차 설계된 Ku-대역 저잡음 증폭기는 0.65 mm×0.55 mm의 크기로 구현되었다. 결과적으로 2차 설계의 저잡음 증폭기 크기는 1차 설계에 비하여 50 % 정도 크기를 축소하였다.

2차 설계된 Ku-대역 저잡음 증폭기는 9~14 GHz 대역에서 19~22 dB의 이득 성능과 2.15 dB 이하의 잡음 지수 성능을 가지는 것으로 시뮬레이션되었다. 또한, 대역 내에서의 입력 반사 손실은 7 dB 이상이고, 출력 반사 손실은 5 dB 이상으로 시뮬레이션되었다. 2차 설계 결과는 1차 설계에 비하여 잡음 지수 특성은 유사하지만 이득 평탄도가 개선되었으며, 입력 반사 손실 특성이 개선된 것으로 예측되었다. 그림 7에 2차 설계된 Ku-대역 저잡음 증폭기의 시뮬레이션 결과를 보였다. 그리고 설계된 저잡음 증폭기의 입출력 전력 특성은 대역 내에서 1 dBm 이상인 것으로 시뮬레이션 되었다.

### III. 제작 및 측정 결과

2차 설계된 Ku 대역 SiGe 저잡음 증폭기는 독일의 IHP 사에서 운영하는 0.25 um SiGe BiCMOS 공정을 이용하여 제작되었으며, 저잡음 증폭기의 크기는 0.65×0.55 mm<sup>2</sup>로 구현되었다. 그림 8은 제작된 저잡음 증폭기의 실제 제작된 사진을 보여주고 있다.

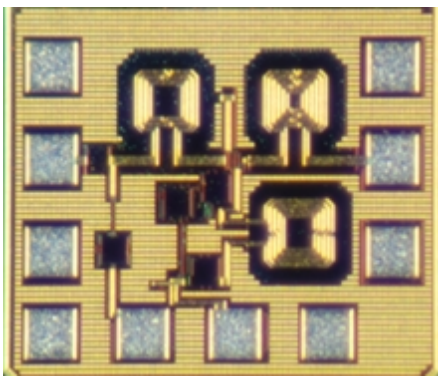


그림 8. 제작된 Ku-대역 저잡음 증폭기 사진  
Fig. 8. Photograph of the fabricated Ku-band low noise amplifier.

음 증폭기의 실제 제작된 사진을 보여주고 있다.

사진에서 보듯이 제작된 저잡음 증폭기 칩의 면적에서 차지하는 RF 입출력 패드와 DC 바이어스 패드가 많은 부분을 차지하고 있다. 서론에서 언급했듯이 본 저잡음 증폭기는 Ku-대역 위상 배열 안테나의 다기능 칩 RFIC에 증폭기로 활용되었으며, 그림 8의 저잡음 증폭기 사진 부분에서 RF 및 DC 패드, 그리고 접지용 패드를 제거하고 레이아웃을 최적화하였으며, 그 결과 순수한 증폭기 레이아웃 부분은 0.4 mm×0.4 mm의 크기로 다기능 RFIC 칩에 삽입되었다.

제작된 Ku-대역 저잡음 증폭기는 Probestation을 이용하여 칩 상태에서 측정되었으며,  $V_{cc}=3.0$  V 및  $V_{bb}=0.94$  V의 조건에서 시험되었다. 그림 9는 잡음 지수 특성 측정 결과를 보였으며, 그림 10에는 측정된 소신호 S-parameters 결과와 시뮬레이션 결과를 비교하여 보였다.

제작된 저잡음 증폭기는 9~14 GHz 대역에서 이득은 19 dB 이상이고,  $S_{11}$ 은 -5 dB 이하이며,  $S_{22}$ 는 -5.5 dB 이하의 특성을 가지는 것으로 측정되었으며, 동작대역에서 2.05 dB 이하의 잡음 지수 특성을 가지고 있으며, P1 dB는 4 dBm 이상인 것으로 측정되었다. 그래프로부터 측정된 저잡음 증폭기의 성능은 측정 결과와 매우 유사함을 알 수 있다.

측정 결과에서의 입력 및 출력 반사 손실의 특성이 9 GHz 근처에서 5 dB 정도로서 다소 높은 것은 본 논문에서 설계하고자 한 저잡음 증폭기의 주요 목표 특성이 9 GHz 대역보다 12 GHz 대역의 잡음 지수

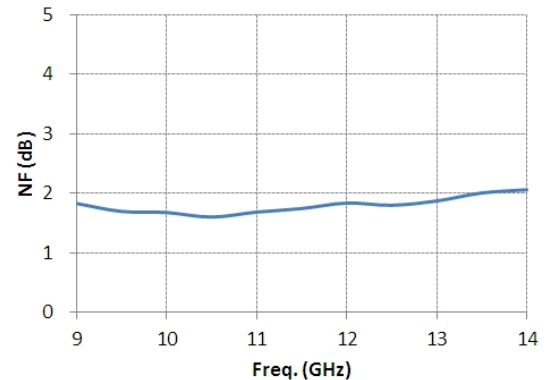
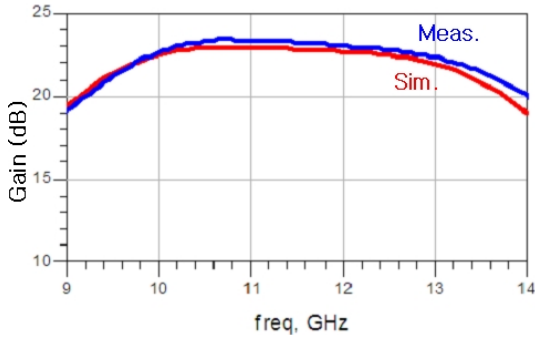
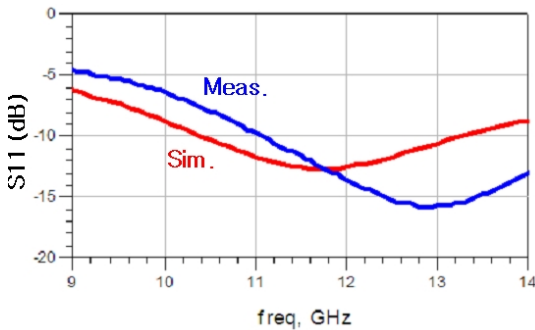


그림 9. 잡음 지수 측정 결과  
Fig. 9. Measured noise figure.

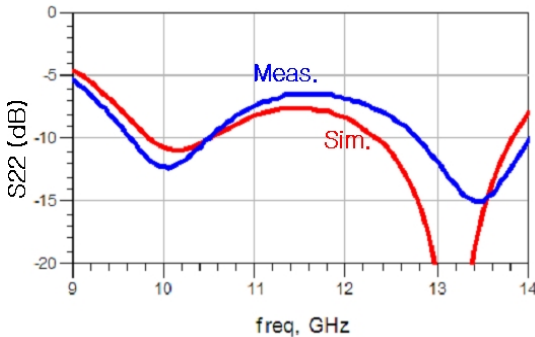




(a) 선형 이득  
(a) Linear gain



(b) 입력 반사 손실  
(b) Input return loss



(c) 출력 반사 손실  
(c) Output return loss

그림 10. S-parameter 측정 결과 및 시뮬레이션 결과  
Fig. 10. Measured and simulated S-parameter.

특성을 최소화 하는데 있었기 때문이다. 그림 10(b)에서 보면 입력 반사 손실의 경우 9 GHz 근처에서는 시뮬레이션보다 열화되었지만, 12 GHz 대역 이후에서는 시뮬레이션 결과보다 개선되었으며, 이것은 1차설계에서의 모델 오류에서 보였던 p-tap 값의 부정확성에서 기인한 것으로 판단된다.

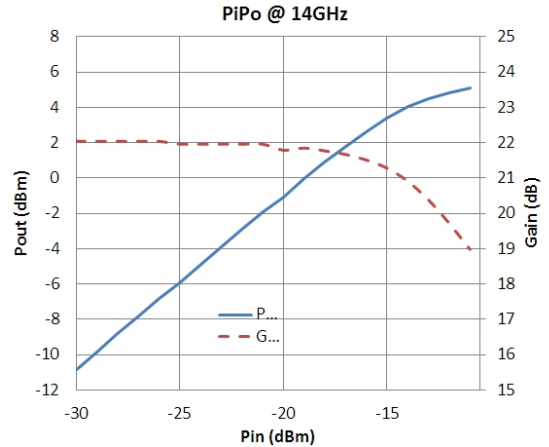


그림 11. 14 GHz에서의 입출력 전력 특성 측정 결과  
Fig. 11. Measured input/output power transfer performance at 14 GHz.

최근에는 저전력 증폭기의 성능을 종합적으로 평가하기 위하여 복합 평가 지수를 도입하고 있으며, FOM(Figure of Merit)으로 표기하고 있다. 참고문헌 [1]에서는 소모 전력에 대한 증폭 이득의 비(dB/mW)를 FOM으로 적용하고 있으며, 참고문헌 [11]에서는 소모 전력에 대한 증폭 이득의 비에 잡음 지수를 추가하여 적용하여 이득/소모 전력/잡음 지수 (dB/mW/dB)라는 FOM을 제시하고 있다. 저잡음 증폭기의 경우, 참고문헌 [11]을 적용하는 것이 바람직할 것으로 보인다. 그러나, 증폭기의 개발에 있어 증폭기의 대역폭이 광대역화 될수록 증폭 이득이 감소하고 잡음 지수는 상승하는 경향이 있으므로, 광대역 증폭기의 경우 앞에서 설명한 2가지의 FOM으로 종합 평가하기는 불충분하다. 따라서 본 논문에서는 증폭기의 3 dB 대역폭을 추가로 고려하여 식 (1)과 같은 FOM을 적용하여 분석하였다. 제안하는 FOM의 단위는 (dB\* GHz)/(mW\* dB)이며, 수식에서 볼 수 있듯이 증폭기의 이득이 높고 대역폭이 클수록 FOM은 높아지며, 소모 전력이 높거나 잡음 지수가 높으면 FOM은 낮아진다.

$$FOM \text{ of LNA} = \frac{Gain_{min} \times BW_{3dB}}{P_{dc} \times NF_{max}} \quad (1)$$

표 1에 Ku대역 BiCMOS 저잡음 증폭기의 특성을 참고문헌 자료와 비교하여 요약하였다. 표에서 볼 수 있듯이 제안하는 FOM을 고려해 보면 본 연구에

표 1. Ku-대역 BiCMOS LNA 성능 비교

Table 1. Performance comparison of Ku-band BiCMOS LNA.

파라미터	This work	Ref. [1]	Ref. [2]	Ref. [3]	Ref. [4]
동작 주파수(GHz)	9~14	15~17	10~12	14~18	8~18
최소 이득(dB)	19.3	12	20	9	15
잡음 지수(dB)	< 2.05	< 4.5	1.7	< 6	< 6
전력소모(mW)	15	2.5	33.6	8	38
칩 크기(mm <sup>2</sup> )	0.36	0.42	3.4	-	-
FoM(dB*GHz/mW*dB)	3.13	2.1	0.8	0.75	0.4

서 개발된 Ku-대역 저잡음 증폭기는 3 이상의 FOM 값을 가지므로, 참고문헌 [1] 이외의 다른 문헌자료에 비하여 월등히 높은 값이며, 이것은 개발된 저잡음 증폭기가 Ku 대역 저잡음 증폭기로서 가져야할 다양한 특성을 고르게 보유하고 있다고 판단할 수 근거를 보여주는 것이다.

#### IV. 결 론

0.25 μm SiGe BiCMOS 공정을 사용하여 9~14 GHz 대역에서 2.05 dB 이하의 잡음 지수 특성을 가지며, 이득이 약 20 dB 정도인 Ku-대역 저잡음 증폭기가 개발되었으며, 이 결과는 지금까지 발표된 Si-Ge 공정을 이용한 10 GHz 이상의 X대역 및 Ku 대역 저잡음 증폭기 개발 결과 중에서 비교적 우수한 특성으로 판단된다.

본 연구 결과의 저잡음 증폭기는 Ku 대역 위성통신용 위상 배열 안테나의 다기능 RFIC 내의 저잡음 증폭기로 사용되었다.

#### 참 고 문 헌

[1] F. Ellinger, H. Jackel, "Low-cost BiCMOS variable gain LNA at Ku-band with ultra-low power consumption", *Microwave Theory and Techniques, IEEE Transactions on*, vol. 52, no. 2, pp. 702-708, Feb. 2004.

[2] V. J. Patel et al., "X-Band low noise amplifier using SiGe BiCMOS technology", *Proceedings of CSIC 2005*, pp. 49-52, 2005.

[3] K. B. Schad, U. Erben, E. Sonmez et al., "A Ku band SiGe low noise amplifier", *Digest of 2004 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 52-52, 2000.

[4] D. Ma, F. F. Dai, R. C. Jaeger, and J. D. Irwin, "An 8~18 GHz wideband SiGe BiCMOS low noise amplifier", *IEEE MTT-s International Microwave Symposium Digest*, pp. 929-932, 2009.

[5] Byung-Wook Min, G. M. Reveiz, "Ka-band BiCMOS 4-bit phase shifter with integrated LNA for phased array T/R modules", *Proceedings of IEEE MTT-s Microwave Symposium 2007*, vol. 1, pp. 479-482, Jun. 2007.

[6] E. Ragonese, A. Scuderi, and G. Palmisano, "A 0.13-μm SiGe BiCMOS LNA for 24-GHz automotive short-range radar", *Microwave Conference, EuMC 2008, 38th European*, vol. 1, pp. 1537- 1540, Oct. 2008.

[7] A. Babakhani, Xiang Guan, A. Komijani, A. Natarajan, and A. Hajimiri, "A 77-GHz phased-array transceiver with on-chip antennas in silicon: Receiver and antennas", *IEEE Journal of Solid-State Circuits*, vol. 41, no. 12, pp. 2795-2806, Dec. 2006.

[8] Q. Liang, G. Niu, J. D. Cressler, and S. Taylor, "On the optimization and design of SiGe HBT cascode low-noise amplifiers", *Solid-State Electronics*, vol. 49, no. 3, pp. 329-341, Mar. 2005.

[9] S. P. Voinigescu et al., "A comparison of Si CMOS, SiGe BiCMOS, and InP HBT technologies for high-speed and millimeter-wave ICs", *Digest of 2004 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 111-114, 2004.

[10] Beom Kyu Ko, Kwyro Lee, "A comparative study



on the various monolithic low noise amplifier circuit topologies for RF and microwave applica-

tions", *IEEE Journal of Solid- State Circuits*, vol. 31, no. 8, pp. 1220-1225, Aug. 1996.

장 동 필



1992년 2월: 충남대학교 전자공학과 (공학사)  
1994년 2월: 충남대학교 전자공학과 (공학석사)  
2007년 8월: 충남대학교 전자공학과 (공학박사)  
1994년 2월~현재: 한국전자통신연구원 선임연구원

[주 관심분야] 초고주파 회로 설계, 밀리미터파 대역 MMIC 설계, 능동 위상 배열 시스템, 레이더 시스템

염 인 복



1990년 2월: 한양대학교 전자공학과 (공학사)  
2004년 2월: 충남대학교 전자공학과 (공학석사)  
2007년 8월: 충남대학교 전자공학과 (공학박사)  
1990년 2월~현재: 한국전자통신연구원 책임연구원, 팀장

[주 관심분야] 마이크로파 수동 및 능동회로, MMIC 회로 설계, 위성 통신 시스템, 능동 위상 배열 안테나 시스템, 레이더 시스템