

역 E급 2.9 GHz/5.8 GHz 주파수 체배기 설계

Design of Inverse Class E 2.9 GHz/5.8 GHz Frequency Multiplier

김 태 훈 · 주 재 현 · 구 경 현

Tae-Hoon Kim · Jae-Hyun Joo · Kyung Heon Koo

요 약

본 논문에서는 2.9 GHz 입력 신호를 인가하여 5.8 GHz 대의 무선 랜 신호를 생성하는 역 E급 주파수 체배기를 설계하였다. 설계된 역 E급 주파수 체배기는 기존에 제시된 E급 주파수 체배기보다 작은 인덕턴스 소자값을 사용하고 낮은 피크 드레인 전압에 의해 트랜지스터에 걸리는 부담이 적어진다. 측정된 결과 5.8 GHz에서 15 dBm이 인가됐을 때 출력 전력은 21 dBm, 체배 이득은 6 dB, 전력 부가 효율은 35 %의 특성을 나타내었다.

Abstract

In this paper, an inverse class E frequency multiplier has been designed to generate 5.8 GHz wireless LAN signal by multiplying 2.9 GHz input. The inverse class E frequency multiplier is operating with low inductance value and low peak drain voltage than the class E frequency multiplier. Measurement shows the output power of 21 dBm, the multiplier gain of 6 dB, and the PAE(Power Added Efficiency) of 35 % with 15 dBm input power.

Key words : Multiplier, Inverse Class E, Doubler, Frequency Multiplier

I. 서 론

마이크로파 통신 시스템은 높은 안정성과 저 잡음 특성을 가지는 신호원을 요구하지만, 주파수가 높아질수록 이러한 신호원을 제작하기 어렵다. 주파수 체배기는 마이크로파 및 밀리미터파 통신 시스템에서 고 안정 저 잡음 신호원을 발생시키기 위한 방법으로 많이 사용된다. 주파수가 높아질수록 위상 잡음이 증가하기 때문에 안정적인 신호원을 제작하기 어려운 반면 낮은 주파수를 생성한 뒤 높은 주파수로 변환하면 고 안정 저 잡음의 신호원을 얻을 수 있다. E급 주파수 체배기는 고효율과 간단한 형태 때문에 무선 전송 시스템에서 활용되고 있다. 이상적인 E급 주파수 체배기는 0이 아닌 스위칭 전압이 인가될 때 전류가 흐르지 않는다. 그러므로 스위치

로 동작하는 트랜지스터에서 전력 소비가 발생하지 않게 되면서 이론적으로 100 % 효율을 얻을 수 있다. E급 주파수 체배기는 기본적으로 E급 증폭기를 토대로 설계되었다^{[1]~[3]}. 근래 E급 증폭기에 비해서 몇 가지 이점을 가지고 있는 역 E급 증폭기가 소개되었다^{[4]~[6]}. 첫 번째로, 역 E급 증폭기는 E급 증폭기에 비해서 낮은 스위칭 전압에서 동작할 수 있다. 이것은 능동 소자에서 요구되는 항복 전압의 감소로 인해서 소자가 안정적인 동작을 할 수 있음을 나타낸다. 두 번째로, E급 증폭기보다 작은 인덕턴스 값에서 동작하기 때문에 인덕터의 직렬 저항 성분을 줄일 수 있다^[5]. 체배기의 피크 전압은 증폭기의 피크 전압보다 n배 높다^[1]. 본 논문에서는 역 E급 증폭기의 원리를 활용하여 능동 소자의 스위칭 동작에 의한 역 E급 주파수 2체배기를 설계하고, 특성을 분

인천대학교 전자공학과(Department of Electronics Engineering, University of Incheon)

· 논문 번호 : 20101001-06S

· 교신저자 : 구경현(e-mail : khkoo@incheon.ac.kr)

· 수정완료일자 : 2010년 12월 31일

석하였다.

II. 본 론

본 논문에서는 기존에 제시된 역 E급 설계이론을 이용하여 역 E급 주파수 체배기를 다음과 같이 설계하였다.

2.1 역 E급 주파수 체배기 설계 이론

그림 1은 역 E급 주파수 체배기의 기본적인 출력 회로도이다. 이 회로는 직렬 L , 병렬 공진 회로 Lp - Cp - R , 그리고 주파수의 위상을 보상해 주는 병렬 C 로 구성되어 있다⁷⁾. 스위치로 동작하는 능동 소자는 인덕턴스의 전류 유도에 의하여 온-오프 동작을 하여 체배 신호를 발생한다.

능동 소자가 온 상태일 때는 능동 소자의 내부 저항값이 0이 되어 능동 소자의 전압 강하는 0이 되고, 능동 소자에 흐르는 전류 값만을 가지며, 직렬 인덕턴스의 전압은 전류의 변화치에 비례한다. 또한, 오프 상태일 때는 능동 소자의 내부 저항이 무한대가 되어 능동 소자에는 전압만 존재하여, 능동 소자에 흐르는 전류는 차단되게 된다. 스위칭 전류의 주기가 50 %이고, 100 %의 효율을 가정하면 출력 전류와 전압은 다음과 같이 나타낼 수 있다.

$$i_0(\theta) = A \sin(N\theta + \phi) \quad (1)$$

$$v_0(\theta) = RA \sin(N\theta + \phi) \quad (2)$$

스위치가 온 상태 동안 인덕턴스에 걸리는 전압은 드레인 노드에서 키르히호프 전압 법칙을 적용하면 다음과 같은 식으로 표현할 수 있다.

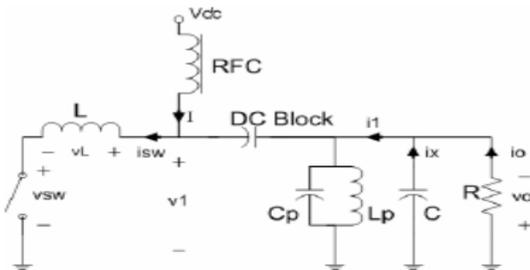


그림 1. 역 E급 주파수 체배기의 출력 회로
Fig. 1. Output circuit of the inverse class E multiplier.

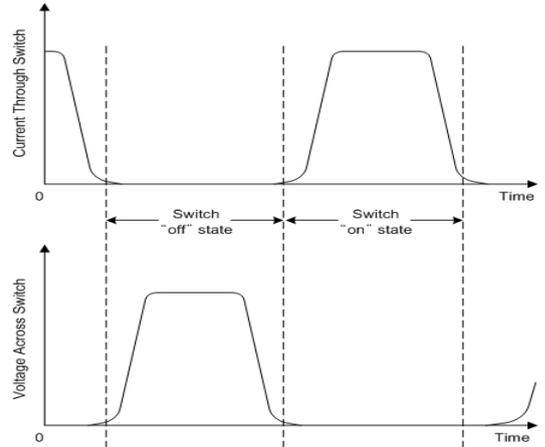


그림 2. 스위칭 동작 트랜지스터의 전류 전압 파형
Fig. 2. Voltage and current waveform of switching transistor.

$$v_L(t) = v_1(t) = L \frac{di_{SW}(t)}{dt} \quad (3)$$

식 (3)을 시간축 상에서 스위치 전류에 대해 표현하면 다음과 같은 수식으로 나타낼 수 있다.

$$i_{SW}(t) = \frac{1}{L} \int_0^t v_1(t) dt + i_{SW}(0) \quad (4)$$

스위치가 온 상태일 때, 스위치 전류 $i_{SW}(t)$ 가 직렬 인덕터 L 을 충전하는데, 이때 스위치 전압 $v_{SW}(t)$ 는 0, 그리고 인덕터에 전류가 흐르면서 $v_L(t) = v_1(t)$ 가 된다. 스위치가 오프되었을 때는, $i_{SW}(t)$ 와 $v_L(t)$ 는 0, $v_1(t) = v_{SW}(t)$ 가 된다.

$$v_{SW}(t) = V_{dc}(1 - B \sin(N\theta + \phi)) \quad (5)$$

효율이 100 %이고, 주기가 50 %, 충분히 높은 Q 값을 가진다고 가정하고 위와 같은 식 조건을 이용하여 다음과 같이 역 E급 주파수 체배기 설계를 하는 데에 필요한 수식들을 얻을 수 있다⁶⁾.

$$L = \frac{V_{dc}^2}{\pi N \omega P_0} \quad (6)$$

$$C = \frac{\pi(\pi^2 - 4)}{2(\pi^2 + 4)} \frac{P_0}{N \omega V_{dc}^2} \quad (7)$$

$$R = \frac{\pi^2 + 4}{8} \frac{V_{dc}^2}{P_0} \quad (8)$$

$$L_P = \frac{R}{N\omega Q} \tag{9}$$

$$C_P = \frac{1}{(N\omega)^2 L_P} \tag{10}$$

위 식에서 V_{dc} 는 드레인 전압, $Q=10$ 은 공진기의 품질계수를 나타낸다. N 은 출력 고조파이고, P_o 는 출력 전력을 나타낸다. 주파수 2배배기에서 N 은 2이다^[1].

2-2 역 E급 주파수 체배기 설계

역 E급 주파수 체배기를 설계하기 위하여 기존에 발표된 E급 주파수 체배기 및 F급 주파수 체배기와 비교해서 목표 사양을 정했다.

본 논문에서는 2.9 GHz의 주파수를 인가하여 5.8 GHz 주파수를 얻는 2배배기를 설계하였다. 앞에서 기술한 이론 및 설계 수식을 바탕으로 설계된 역 E급 주파수 체배기를 그림 3에 나타내었다. 시뮬레이션 툴은 Agilnet사의 ADS를 사용하였고, 트랜지스터는 Avago사의 ATF-34143을 사용하였다. 드레인 전압은 2 V를 인가하여 주었다. 입력단은 2.9 GHz가 통과할 수 있도록 설계되었고, 출력단은 식 (6)~(10)을 이용하여 설계하였다.

표 2는 설계된 역 E급 주파수 체배기와 E급 주파수 체배기의 부하단 회로의 소자 값들을 분석한 표

표 1. 목표 사양

Table 1. Goal specifications.

| 항목 | 목표 사양 | 참고 문헌 [1] | 참고 문헌 [3] | 참고 문헌 [8] | 단위 |
|----------|-------|-----------|-----------|-----------|-----|
| 주파수 | 5.8 | 1 | 5 | 2.475 | GHz |
| 변환 이득 | 6 | 0.5 | 2.8 | 9 | dB |
| 출력 전력 | 21 | 22 | 25 | 11 | dBm |
| 전력 부가 효율 | 35 | 35 | 29 | 22 | % |

표 2. 역 E급 및 E급 주파수 체배기 설계 소자 값

Table 2. Component values for inverse class E and class E frequency multiplier.

| 항목 | L (nH) | C (pF) | L_P/L_S (nH) | C_P/C_S (pF) | R (Ω) |
|------|----------|----------|----------------|----------------|------------------|
| 역 E급 | 0.27 | 0.17 | 0.14 | 5.5 | 49 |
| E급 | 0.73 | 0.22 | 6.3 | 0.1 | 23 |

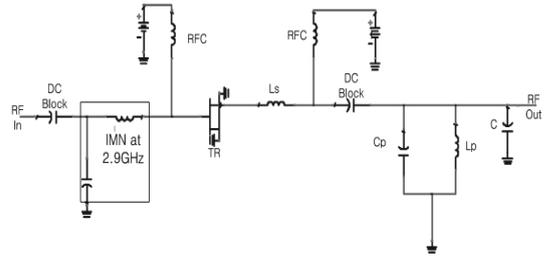


그림 3. 설계된 역 E급 주파수 체배기
Fig. 3. Inverse class E frequency multiplier.

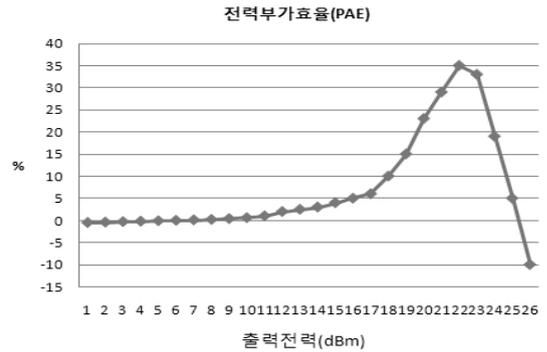


그림 4. 설계된 체배기의 전력 부가 효율
Fig. 4. PAE of the designed multiplier.

이다. MMIC(Monolithic Microwave Integrated Circuit)로 제작할 때 큰 인덕턴스가 차지하는 면적이 크데, E급 주파수 체배기보다 역 E급 주파수 체배기의 인덕턴스값이 낮아서 MMIC 제작에 용이하고^[4], 부하 저항 R값이 높아서 출력 매칭 회로의 복잡성을 감소할 수 있다.

그림 4는 설계된 역 E급 주파수 체배기의 전력 부가 효율을 나타내고 있다. 설계 목표 사양인 21 dBm에서 35%의 전력 부가 효율이 나오는 것을 확인할 수 있다.

집중 정수 소자로 설계한 역 E급 체배기를 전송

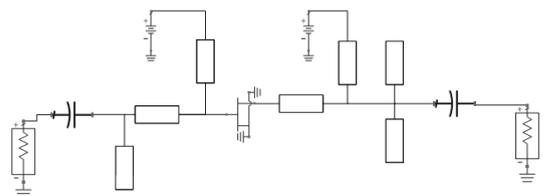


그림 5. 설계된 마이크로스트립 라인 체배기
Fig. 5. Designed multiplier with microstrip line.

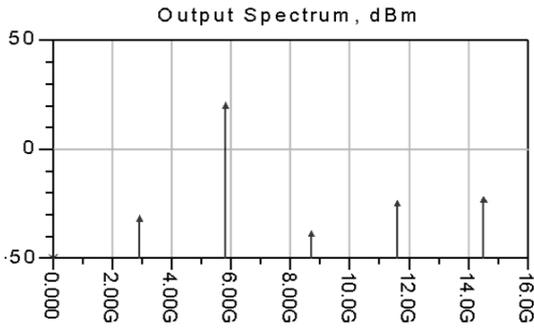


그림 6. 설계된 체배기의 하모닉 특성
Fig. 6. Harmonics of the designed multiplier.

선로로 변환한 회로를 그림 5에 나타내었다. 입력단의 전원 공급 라인은 2.9 GHz에서 $\lambda/4$ 의 길이로 설계하였고, 출력단의 전원 공급 라인은 5.8 GHz에서 $\lambda/4$ 길이로 설계하였다. 설계된 정합 회로용 소자를 마이크로스트립 전송 선로로 변환하여 최종 회로를 구현하였다⁹⁾.

원하는 체배된 하모닉 성분을 확인하기 위해 시뮬레이터를 이용하여 출력 하모닉 스펙트럼을 계산해 보았다. 14 dBm 입력 전력이 들어갔을 때 5.8 GHz에서 21 dBm의 출력 전력이 나왔고, 5.8 GHz를 제외한 나머지 주파수에서는 40 dBc 이상의 억압 특성을 나타내었다.

역 E급 주파수 체배기의 전력 부가 효율 및 이득은 그림 7과 그림 9에 나타나 있다. 출력 전력 21 dBm에서 34 %의 전력 부가 효율이 나오는 것을 볼 수 있고, 7 dB의 체배 이득을 얻을 수 있었다. 그림 8은 역 E급 주파수 체배기의 특성을 확인할 수 있는 전류 전압 곡선이다. 기존의 E급 주파수 체배기¹¹⁾는



그림 7. 역 E급 주파수 체배기의 전력 부가 효율
Fig. 7. PAE of the inverse class E multiplier.

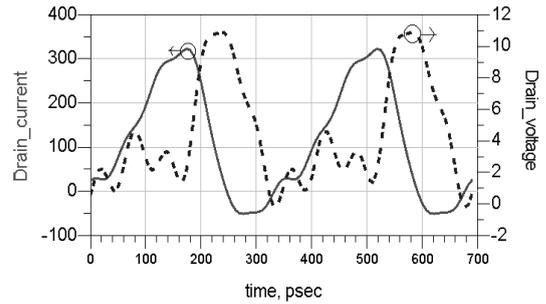


그림 8. 역 E급 체배기의 I-V 특성 곡선
Fig. 8. I-V waveform of the inverse class E multiplier.

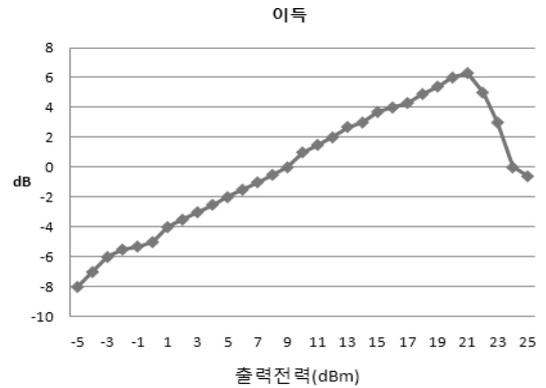


그림 9. 전송 선로로 변환된 체배기의 이득
Fig. 9. Multiplier gain of the inverse class E multiplier with transmission line.

4.3 V 입력 전압을 인가하였을 때 피크 스위칭 전압이 약 $7.1 V_{DC}$ 를 보이는 반면에 설계한 역 E급 주파수 체배기는 2 V 입력 전압을 인가하였을 때 피크 스위칭 전압이 약 $5.5 V_{ac}$ 인 11 V가 나왔다.

역 E급 주파수 체배기는 E급 주파수 체배기보다 낮은 피크 스위칭 전압에서 동작하기 때문에 능동 소자의 항복 전압 제약이 완화되어 안정적으로 동작할 수 있다.

2-3 역 E급 주파수 체배기 제작

그림 10은 회로 레이아웃 및 제작된 역 E급 주파수 체배기이다. 제작된 주파수 체배기는 유전율 3.5, 두께 0.76 mm 테플론 기판을 사용하여 제작되었다.

제작된 주파수 체배기를 주파수 분석기를 이용하여 고조파 성분을 측정한 결과가 그림 11 및 12이다. 2.9 GHz의 입력 전력이 15 dBm일 때 두 번째 고조

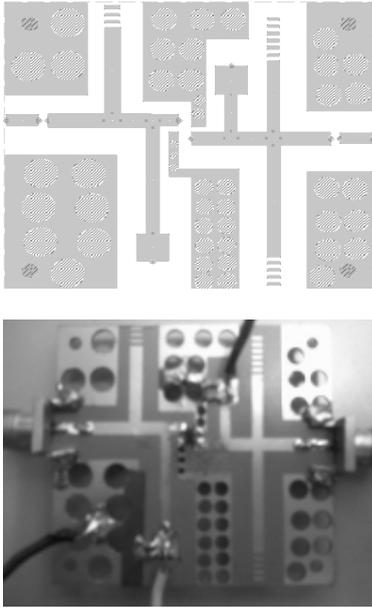


그림 10. 제작된 주파수 체배기
Fig. 10. Designed inverse class E multiplier.

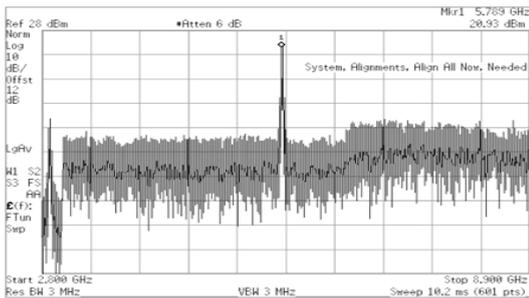


그림 11. 역 E급 주파수 체배기의 출력
Fig. 11. Measured output of the designed inverse class E multiplier.

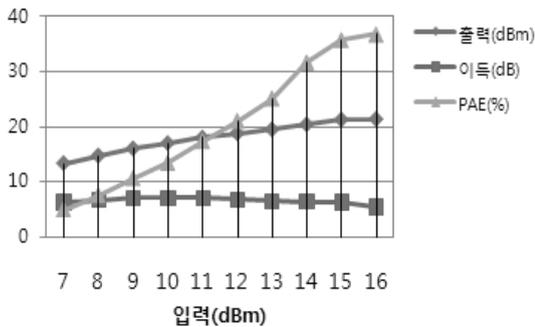


그림 12. 역 E급 주파수 체배기의 출력 특성
Fig. 12. Output characteristics of the inverse class E multiplier.

파인 5.8 GHz에서 출력 전력이 20.9 dBm으로 설계 목표치인 21 dBm과 유사한 값이 나온다. 출력 주파수 외의 다른 주파수와는 30 dBc 이상의 차이로 충분한 억압 특성을 나타낸다.

III. 결 론

본 논문에서는 역 E급 주파수 체배기를 설계 및 제작하였다. 주파수 체배기를 이용한 송신부는 2.9 GHz 입력 신호에 대하여 주파수 체배 방식을 사용해 5.8 GHz 출력 신호를 얻도록 설계하였다. 설계된 역 E급 주파수 체배기는 pHEMT를 사용하여 제작되었으며, 출력 전력 21 dBm에서 최대 6 dB의 변환 이득과 35 %의 고효율 특성을 보였다. 역 E급 주파수 체배기의 피크 스위칭 전압은 5.5 V_{DC} 로 7.16 V_{DC} 인 E급 주파수 체배기보다 낮은 피크 스위칭 전압에서 동작하기 때문에 능동 소자의 항복 전압 제약이 좋아져서 안정적으로 동작할 수 있다. 또한, E급 주파수 체배기보다 작은 값의 인덕턴스를 사용 가능하여 MMIC로 제작할 때 이점이 있다. 본 논문의 결과는 주파수 체배기를 이용하는 무선 랜 및 셀룰러 통신 시스템 등의 다양한 모듈 설계에 활용 가능할 것이다.

참 고 문 헌

- [1] Robert E. Zulinski, John W. Steadman, "Idealized operation of class-E frequency multipliers", *IEEE Trans. Circuits Syst.*, vol. 33, no. 12, pp. 1209-1218, Dec. 1986.
- [2] F. H. Raab, "Idealized operation of the class E tuned power amplifier", *IEEE Trans. Circuits Syst.*, vol. 25, pp. 725-735, Dec. 1977.
- [3] M. Weiss, M. Crites, E. Bryerton, Z. Popovic, and J. Whittaker, "Time-domain optical sampling of switched-mode amplifiers and multipliers", *IEEE Trans. Microwave Theory Tech.*, vol. 47, no. 12, pp. 2599-2604, Dec. 1999.
- [4] T. Mury, V. F. Fusco, "Series-L/ parallel-tuned comparison with shunt-C/ series-tuned class-E power amplifier", *IEE Proc.-Circuits Devices Syst.*, vol. 152, no. 6, Dec. 2005.

- [5] T. Mury, V. F. Fusco, "Inverse class-E amplifier with transmission-Line harmonic suppression", *IEEE Trans. Circuits Syst.*, vol. 54, no. 7, Jul. 2007.
- [6] T. Mury, V. F. Fusco, "Sensitivity characteristics of inverse class-E power amplifier", *IEEE Trans. Circuits Syst.*, vol. 54, no. 4, pp. 768-778, 2007.
- [7] T. Mury, V. F. Fusco, "Series-L/parallel-tuned class-E power amplifier analysis", in *Proc. 35th Eur. Microw. Conf. (EuMC05)*, Paris, France, pp. 449-452, Oct. 2005.
- [8] Youngcheol Park, "Class-F technique as applied to active frequency multiplier designs", *IEEE Trans. Microwave Theory Tech.*, vol. 57, no. 12, pp. 3212-3218, Dec. 2009.
- [9] T. Mury, V. F. Fusco, "Transmission line matching effects on the performance of shunt-C/series-tuned and series-L/parallel-tuned class-E amplifiers", in *Proc. 17th Asia-Pacific Microwave Conf. (APMC05)*, Suzhou, China, pp. 1565-1568, Dec. 2005.
- [10] T. Mury, V. F. Fusco, "Even order harmonic series-L/parallel-tuned class-E frequency multiplier", *IEEE Trans. Circuits Syst.*, vol. 54, no. 11, pp. 969-973, Nov. 2007.

김 태 훈



2009년 2월: 인천대학교 전자공학과 (공학사)
 2009년 3월~현재: 인천대학교 전자공학과 석사과정
 [주 관심분야] 마이크로파 회로 및 모듈 설계, 주파수 체배기 설계

구 경 현



1981년: 서울대학교 전자공학과 (공학사)
 1983년: 서울대학교 전자공학과 (공학석사)
 1991년: 서울대학교 전자공학과 (공학박사)
 1999년~2000년: UC San Diego 방문학자
 1997년~현재: 한국전자과학회 국문/영문 논문지 편집위원, 논문지 편집이사, 학술이사, 총무이사, 재무이사
 1987년~현재: 인천대학교 전자공학과 교수
 [주 관심분야] 마이크로파 회로 설계, 전력증폭기, 가변 RF 회로, 전파 신호 처리

주 재 현



2010년 2월: 인천대학교 전자공학과 (공학사)
 2010년 3월~현재: 인천대학교 전자공학과 석사과정
 [주 관심분야] 마이크로파 회로 및 모듈 설계, 주파수 체배기 설계