

La이 혼입된 고유전체/메탈 게이트가 적용된 나노 스케일 NMOSFET에서의 PBTI 신뢰성의 특성 분석

권혁민¹, 한인식¹, 박상욱¹, 복정득¹, 정의정¹, 곽호영¹, 권성규¹, 장재형¹,
고성용², 이원묵², 이희덕^{1,a}

¹ 충남대학교 전자전파정보통신공학과

² DMS

Analysis of Positive Bias Temperature Instability Characteristic for Nano-scale NMOSFETs with La-incorporated High-k/metal Gate Stacks

Hyuk-Min Kwon¹, In-Shik Han¹, Sang-Uk Park¹, Jung-Deuk Bok¹, Yi-Jung Jung¹,
Ho-Young Kwak¹, Sung-Kyu Kwon¹, Jae-Hyung Jang¹, Sungyong Go²,
Weon-Mook Lee², and Hi-Deok Lee^{1,a}

¹ Department of Electronics Engineering, Chungnam National University, Daejeon 305-764, Korea

² DMS Co., Ltd, Suwon 443-803, Korea

(Received January 13, 2011; Revised February 7, 2011; Accepted February 18, 2011)

Abstract: In this paper, PBTI characteristics of NMOSFETs with La incorporated HfSiON and HfON are compared in detail. The charge trapping model shows that threshold voltage shift (ΔV_T) of NMOSFETs with HfLaON is greater than that of HfLaSiON. PBTI lifetime of HfLaSiON is also greater than that of HfLaON by about 2~3 orders of magnitude. Therefore, high charge trapping rate of HfLaON can be explained by higher trap density than HfLaSiON. The different de-trapping behavior under recovery stress can be explained by the stable energy for U-trap model, which is related to trap energy level at zero electric field in high-k dielectric. The trap energy level of two devices at zero electric field, which is extracted using Frenkel-pole emission model, is 1,658 eV for HfLaSiON and 1,730 eV for HfLaON, respectively. Moreover, the optical phonon energy of HfLaON extracted from the thermally activated gate current is greater than that of HfLaSiON.

Keywords: High-k, HfLaON, HfLaSiON, PBTI, Gate current, Frenkel-pole emission.

1. 서 론

CMOSFET (complementary metal oxide semiconductor field effect transistors)에서 SiO₂는 수십 년간 유전체로 사용되었으며 SiO₂의 우수한 특성에 힘입어 CMOS는

발전을 거듭해 왔다. SiO₂는 게이트 산화막으로는 독보적인 위치를 차지해 왔으나 0.1 um이하의 CMOS 공정에서 SiO₂는 게이트 산화막으로의 한계에 다다르게 되었다 [1]. 회로의 집적화 및 성능 향상을 위한 소자의 채널 길이와 유전체의 두께 축소는 여러 가지 문제점을 안고 있다. 최근 게이트 산화막의 두께는 20 Å 이하로 감소되고 있으며, 이로 인한 터널링 전

a. Corresponding Author; hdlee@cnu.ac.kr

류 (tunneling current)의 증가로 게이트누설전류 (gate leakage current)가 급격하게 증가하는 문제점이 소자의 축소화에 많은 제약을 가져오고 있다 [2]. 따라서 같은 커패시턴스 (capacitance)를 유지하는 상태에서의 고유전율 물질(high-k)을 사용함으로써 물리적인 (physical) 게이트 두께를 크게 가지고 갈 수 있다 [3]. 따라서 최근 게이트 산화막을 고유전율 물질로 대체하여 게이트누설전류 문제를 해결하고자 하는 노력이 많이 이루어지고 있다 [4]. 고유전율 산화막으로는 주로 ZrO_2 , HfO_2 , Ta_2O_5 , Al_2O_3 등의 고유전상수 25이상의 유전율을 가지면서 비교적 열적 안정성, 내부 결함 등이 SiO_2 와 비슷한 특성을 가지는 물질을 찾고 있다 [5]. 하지만 이를 모두 만족하는 보고된 고유전율 물질은 아직 없지만 이들에 대한 특성 연구는 계속 진행 되고 있다 [3-6]. 하지만, 고유전율 물질을 사용 할 경우 문턱전압이 크기 때문에 메탈게이트의 일함수 조절 (work function tuning)을 통하여 큰 문턱전압의 조절은 아직 해결해야할 과제로 남아 있다. 최근 고유전율 물질에 RE-metal (rare-earth metal) 을 혼입함으로써 일함수 조절을 통하여 문턱전압을 낮추고자 하는 연구가 활발히 이루어지고 있다 [7,8]. 특히 $HfSiO$ 와 HfO_2 에 lanthanum (La) 혼입을 통하여 문턱전압 조절을 용이하게 할 수 있는 연구 결과가 최근에 많이 보고되고 있으며 소자 성능을 비롯한 전기적 특성을 개선시킬 수 있다고 보고되고 있다. [9]. 하지만 La가 혼입된 고유전율 물질의 charge trapping에 따른 신뢰성에 대한 보고는 적으며, oxygen vacancy를 통한 de-trapping 현상 또한 보고가 적다.

본 논문에서는 두 소자 HfLaSiON와 HfLaON에서의 PBT (positive bias temperature) stress 조건에서의 charge trapping과 de-trapping 특성에 대해서 분석 하였다.

2. 실험 방법

일반적인 CMOS 공정을 이용하였으며, P-type 실리콘 기판에 ALD (atomic layer deposition)을 이용하여 HfO_2 와 $HfSiO$ 를 증착하였고 그 후 NH_3 열처리를 진행을 통하여 HfON와 HfSiON을 형성하였다. 또한 MBD (molecular beam deposition)를 이용하여 La_2O_3 (0.5nm)를 HfO_2 와 $HfSiO$ 위에 증착한 후 열처리를 통해 La이 절연체 내에 혼입되도록 하고, 메탈

게이트와 poly-Si을 증착하였다. 소스(Source)/드레인(Drain) implantation 한 후 $1070^\circ C$ spike annealing을 통하여 소스/드레인 활성화를 시켰다. HfLaSiON와 HfLaON의 EOT는 약 0.9 nm ($T_{inv} \sim 1.2$ nm)이다.

제작된 소자의 전기적 특성 및 신뢰성을 측정하기 위해서 I-V 및 신뢰성 특성은 Agilent 4156C semiconductor parameter analyzer 계측기를 사용하였다.

3. 결과 및 고찰

그림 1은 La이 혼입된 고유전율 물질 내의 charge trapping과 de-trapping을 나타낸 PBTI (positive bias temperature instability) 특성 그래프이다. 스트레스 전압이 ($V_G - V_T = 1.8$ V) 인가되는 동안 고유전율 물질 내의 oxygen vacancy로 전자 trapping 현상 때문에 ΔV_T 는 증가하며, relaxation 전압이 ($V_G = 0, -1, -2$ V) 인가되는 동안은 고유전율 물질 내의 트랩된 전자의 de-trapping 때문에 ΔV_T 는 감소한다.

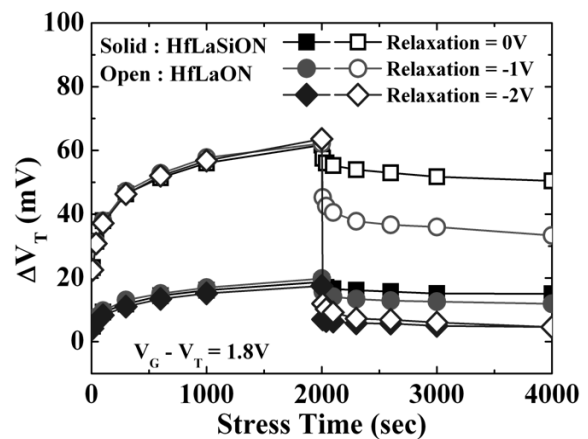


Fig. 1. Threshold voltage shift (ΔV_T) increases during stress (stress bias, $V_G - V_T = 1.8$ V) and decreases during relaxation (relaxation bias $V_G = 0, -1, -2$ V).

HfLaSiON와 HfLaON 두 소자 사이의 ΔV_T 의 큰 차이는 고유전율 물질 내의 oxygen vacancy 양과 그들의 분포가 다르기 때문에 ΔV_T 변화가 다르다고 할 수 있다 [10]. 만약 ΔV_T 가 interface trap의 생성에 의한 영향이라면, sub-threshold slope (SS)와 전달전도도 (G_m , transconductance)는 ΔV_T 의 변화에 따를 것이다 [11]. HfLaSiON와 HfLaON을 갖는 소자의 SS

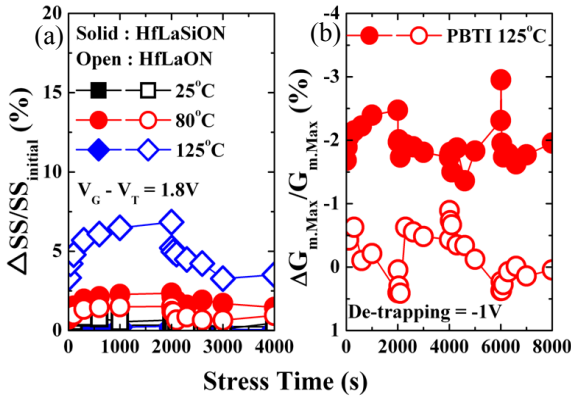


Fig. 2. Comparison of sub-threshold slope (SS) and Gm,max for HfLaSiON and HfLaON under PBT stress. (a) SS degradation (b) Gm,max degradation. V_T induced by interface trap generation can be negligible under PBT stress.

는 각각 69 mV와 72 mV이며, 일반적으로 알려진 나노 CMOS와 비교하였을 때 적절한 값이다. 그림 2 (a), (b)와 같이 SS와 $G_{m,max}$ 열화의 변화는 PBT 스트레스 전과 후에 매우 작으며, 이는 인터페이스 트랩 생성에 의해 ΔV_T 가 변화 없다는 것을 의미한다. 그러므로 ΔV_T 는 잘 알려진 것과 같이 오직 고유전율 물질 내의 트랩 때문이라고 할 수 있다 [12]. PBT stress에 의한 신뢰성 특성의 분석은 고유전율 물질 내의 charge trapping 특성을 좀 더 이해 할 수 있으며, 이를 바탕으로 고유전율 물질의 스택 구조의 최적화를 위해 중요한 분석 중 하나라고 할 수 있다 [13].

그림 3은 PBT stress에서 온도 (25°C, 80°C, 125°C)에 따른 ΔV_T 의 의존성을 나타낸 것이다. PBT stress에서 각각 HfLaSiON와 HfLaON을 갖는 두 소자의 다른 charge trapping 특성을 설명하기 위해서 식 (1)과 같이 Zafar 제안한 physical model을 도입하였다 [14].

$$\Delta V_T(t) = \Delta V_{T,Max} \times \left(1 - \exp \left[- \left(\frac{t}{\tau_0} \right)^\beta \right] \right) \quad (1)$$

$\Delta V_{T,Max}$ 는 최대 ΔV_T 량, t 는 시간 상수 (time constant), $\tau_0 \approx q / (J_0 \cdot \sigma_0)$, J_0 는 일정한 게이트 누설 전류, σ_0 는 포획 단면적 (capture cross section), β

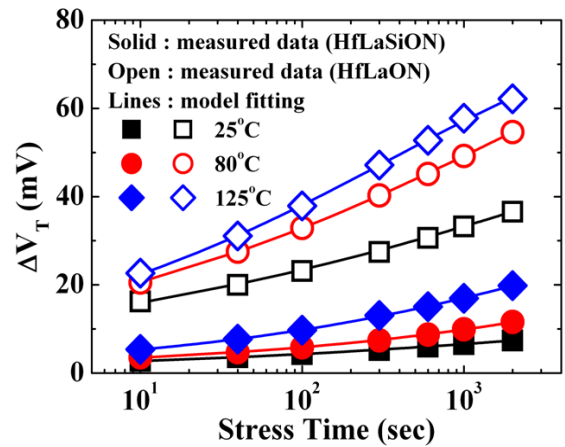


Fig. 3. Dependence of ΔV_T on various temperatures (25°C, 80°C, and 125°C) under PBT stress.

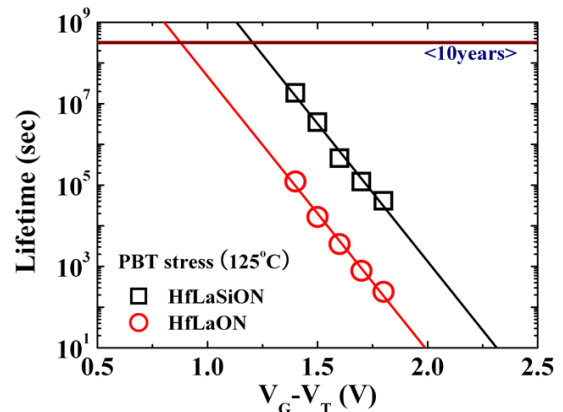


Fig. 4. PBTI lifetime of HfLaSiON is about 2~3 orders of magnitude greater than that of HfLaON. Severe degradation of HfLaON indicates that bulk trap density of HfLaON is greater than that of HfLaSiON.

는 분포 요소 (distribution factor)이다. 125°C에서 식 (1)을 통해 10년에서의 ΔV_T 값을 유추하였을 때 HfLaSiON은 48.6 mV이며, HfLaON은 150.1 mV으로, HfLaON이 같은 스트레스 조건에서 좀 더 charge trapping에 의한 영향이 크다는 것을 알 수 있다.

Charge trapping 모델을 통하여 추출된 HfLaON의 capture cross section은 HfLaSiON보다 2~3배 정도 큰 값을 나타낸다. 그림 4는 HfLaSiON의 PBTI lifetime으로 HfLaON 보다 2~3배 정도 큰 것을 알 수 있다. 이러한 결과를 종합하여 보았을 때, HfLaON의 고유전율

물질 내의 트랩 밀도는 HfLaSiON 보다 큰 것을 의미한다. 따라서 고유전을 물질 안의 trapping은 전기 활성 이온 결함에 의한 것이며, ΔV_T 의 크기는 고유전을 물질의 oxygen vacancy의 농도에 따라 달라지기 때문에 oxygen 결함의 에너지 수준에 대하여 분석하는 것이 필요하다 [15].

고유전을 물질안의 trapping과 de-trapping 결함 레벨은 전하 (charge)와 neutral oxygen vacancy와 관련되어 있으며, $V^{2+}/V^+/V^0/V^-/V^{2-}$ 는 고유전체 내의 잠재적인 전자 트랩이다. V^{2+} 레벨은 PBT stress (substrate injection) 조건에서 shallow 레벨로 보이며, 이러한 레벨은 PBT stress에 의해 하나의 electron trapping에 의해 deep V^+ 레벨로 ($V^{2+}+e \rightarrow V^+$) 옮겨진다. V^+ 레벨은 PBT 스트레스에 의해 또 다른 electron trapping에 의해 deeper V^0 레벨로 옮겨진다 [15]. 따라서 강한 전자-격자 상호 작용 (strong electron-lattice interaction) 때문에 V^{2+} 는 negative U-trap model 특성에 따라 deep electron trapping이 유발되며, 이로 인해 slow transient de-trapping을 유발하게 된다. HfLaSiON의 silicate 구조는 HfLaON에 비해 oxygen vacancy의 형성을 감소시킬 수 있으며, 이리 인해 charge trapping의 감소로 인한 PBT 스트레스로 인한 신뢰성 특성에 개선을 가져다 줄 수 있다 [15,16].

반대로 relaxation 전압에서의 HfLaSiON과 HfLaON의 서로 다른 현상은 그림 5에서 살펴 볼 수 있으며, 이러한 현상은 HfLaON의 recovery bias가 증가함에 따라 deep recovery는 HfLaSiON보다 크며 negative U-trap model 따르면 stable trap level이 다르기 때문이다. 고유전체 내의 안정적인 에너지 레벨은 slow transient de-trapping 특성을 보이며 빠른 recovery를 억제한다. 그러므로 고유전체 안의 트랩 에너지 레벨의 추출과 전계가 0일 때의 안정화된 트랩 레벨의 추출은 매우 중요하다고 할 수 있다 [17].

Poole-Frenkel (P-F) emission은 전도대 (conduction band)에 trapped 전자의 전계로 인한 열적 여기 현상 때문에 발생한다고 잘 알려져 있다. 두 소자의 다른 de-trapping 특성을 분석하려면, 게이트 전류 메커니즘 중 하나인 식 (2)의 F-P emission을 통하여 트랩 에너지 레벨 (trap energy level)을 추출하는 것이 필요하다 [18].

$$J = E \exp \left[\frac{-q(\phi_T - \sqrt{(qE)/(\pi\epsilon_0\epsilon_i)})}{k_B T} \right] \quad (2)$$

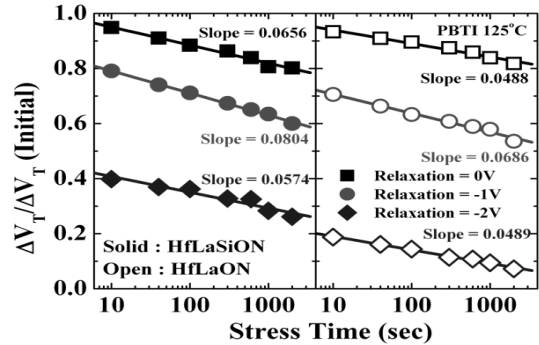


Fig. 5. Different behavior of threshold voltage shift between HfLaON and HfLaSiON under relaxation stress. This shows that the deep recovery of HfLaON is due to the difference of stable trap energy level at negative U-trap model.

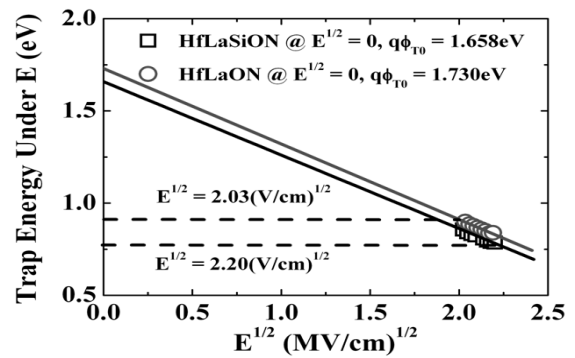


Fig. 6. Trap energy calculated from the slope of linear temperature dependent at each electric field. By extrapolating to zero field, initial trap energy can be obtained.

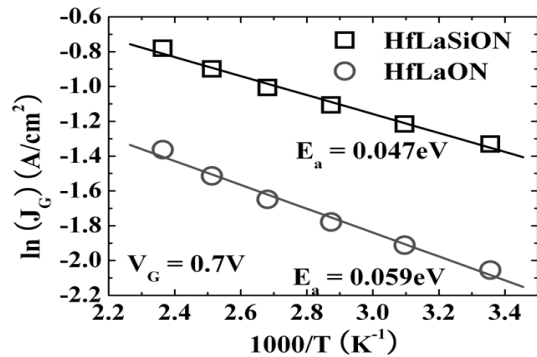


Fig. 7. Extraction of activation energy for J_G - V_G characteristics at $V_G = 0.7$ V. The activation energy of HfLaSiON is about 1.3 orders than that of HfLaON.

ϵ_0 는 자유 공간 투과율 (the permittivity of free space), ϵ_d 는 유전체 동적 상수 (dynamic dielectric constant), E 는 고유전율 물질에 걸리는 전기장 (electric field across the high-k dielectric), T 는 절대 온도, q 는 기본 전하량 (elementary charge), k_B 는 볼츠만 상수, Φ_T 는 고유전율 물질 내의 밴드 가장자리부터 trap energy 까지의 레벨 (trap energy level from band edge of high-k dielectric)이다.

고유전율 물질 안의 전기장이 0일 때의 트랩 에너지 레벨을 추출하기 위해서는 F-P emission이 지배적인 영역에서의 분석이 필요하며, 각각의 전기장에서 트랩 에너지 레벨은 식 (2)을 통하여 추출 할 수 있다. 추출된 트랩에너지 레벨의 피팅을 통하여 전기장이 0일 때의 트랩 에너지 레벨은 유추를 통해 얻을 수 있다 [19]. 전기장이 0일 때의 추출된 트랩 에너지 레벨은 그림 6과 같이 1,658 eV (HfLaSiON), HfLaON (1,730 eV)이다. 전기장에 따른 감소된 트랩의 에너지 레벨은 추가적인 TAT mechanism 때문이다.

두 소자의 활성화 에너지는 그림 7과 같이 Arrhenius plot을 통하여 추출할 수 있으며 이것은 고유전율 물질 안에서의 optical phonon energy을 나타낸다. HfLaON (0.059 eV)의 활성화 에너지는 HfLaSiON 보다 1.3배가량 크다. 그러므로 이러한 결과는 relaxation 전압 조건에서 느린 recovery 현상은 HfLaSiON와 비교하여 높은 활성화 에너지와 안정된 트랩 에너지와 관련하여 높은 트랩 에너지 레벨로 설명할 수 있다.

4. 결론

본 논문에서는 HfLaSiON와 HfLaON의 다른 charge trapping와 de-trapping 특성을 분석하였다. PBT stress에 따른 SS의 열화 현상은 무시할 정도로 작기 때문에 ΔV_T 는 오로지 고유전율 물질 내의 트랩에 의한 charge trapping 현상 때문이다. 또한 HfLaSiON와 HfLaON의 PBT stress에 따른 ΔV_T 의 차이는 고유전율 물질 내의 트랩 밀도의 차이 때문이다. Relaxation 전압에 따른 다른 특성은 U-trap model로 설명 할 수 있으며, 고유전율 물질 내의 안정된 트랩 에너지 레벨은 각각 HfLaSiON이 1.658 eV, HfLaON이 1.730 eV이며, 이로 인해 빠른 recovery가 어렵다고 할 수 있다. 부가적으로 활성화 에너지는 optical phonon energy를 뜻하며, HfLaON이 HfLaSiON 보다 1.3배 정도 높다.

감사의 글

본 연구는 지식경제부 및 한국 산업 기술 평가 관리원의 산업원천기술 개발사업(정보 통신)[10034838, 25 nm급 Oxide Trench Etcher 개발]과 교육과학기술부와 한국연구재단의 지역혁신인력양성사업으로 수행된 연구결과임.

REFERENCES

- [1] M. T. Bohr, R. S. Chau, T. Ghani, and K. Mistry, *IEEE Spectr*, **44**, 10, 29, (2007).
- [2] D. A. Buchanan, *IBM J. Res. Dev.*, **43**, 245 (1999).
- [3] E. P. Gusev, *Electrochem. Soc.*, 477 (2000).
- [4] G. Bersuker, J. H. Sim, C. D. Yong, R. Choi, P. M. Zeitzoff, G. A. Brown, B. H. Lee, and R. W. Murto, *Microelectron. Reliab.*, **44**, 9, 1509 (2004).
- [5] A. Kerber et al., *Proc. Int. Reliability Physics Symp.*, 41 (2003).
- [6] P. D. Kirsch, M. A. Quevedo-Lopez, S. A. Krishnan, C. Krug, H. AlShareef, C. S. Park, R. Harris, N. Moumen, A. Neugroschel, and G. Bersuker, *IEDM Technol. Dig.*, 1 (2006).
- [7] P. D. Kirsch, P. Sivasubramani, J. Huang, C. D. Young, M. A. Quevedo-Lopez, H. C. Wen, H. Alshareef, K. Choi, C. S. Park, K. Freeman, M. M. Hussain, G. Bersuker, H. R. Harris, P. Majhi, R. Choi, P. Lysaght, B. H. Lee, H. H. Tseng, R. Jammy, T. S. Boscke, D. J. Lichtenwalner, J. S. Jur, and A. I. Kingon, *Phys. Lett.*, **92**, 9, 092 901 (2008).
- [8] P. Sivasubramani, T. S. Boscke, J. Huang, C. D. Young, P. D. Kirsch, S. A. Krishnan, M. A. Quevedo-Lopez, S. Govindarajan, B. S. Ju, H. R. Harris, D. J. Lichtenwalner, J. S. Jur, A. I. Kingon, J. Kim, B. E. Gnade, R. M. Wallace, G. Bersuker, B. H. Lee, and R. Jammy, *VLSI Symp. Technol. Dig.*, 68 (2007).
- [9] C. Y. Kang, P. D. Kirsch, B. H. Lee, H. H. Tseng, and R. Jammy, *IEEE Transactions on Device and Materials Reliability*, **9**, 2, 171 (2009).
- [10] X. P. Wang, M.-F. Li, C. Ren, X. F. Yu, C. Shen, H. H. Ma, A. Chin, C. X. Zhu, J. Ning, M. B. Yu, and D.-L. Kwong, *IEEE Electron Device Lett.*, **27**, 1, 31 (2006).
- [11] Y. Yamamoto, K. Kita, K. Kyuno, and A. Toriumi, *Jpn. J. Appl. Phys. 1, Regul. Rap. Short Notes*, **46**, 11, 7251 (2007).
- [12] Y. Abe, N. Miyata, Y. Shiraki, and T. Yasuda, *Appl.*

- Phys. Lett.*, **90**, 17, 172 (2007).
- [13] B. J. O'Sullivan, R. Mitsuhashi, G. Pourtois, M. Aoulaiche, M. Houssa, N. Van der Heyden, T. Schram, Y. Harada, G. Groeseneken, P. Absil, S. Biesemans, T. Nakabayashi, A. Ikeda, and M. Niwa, *J. Appl. Phys.*, **104**, 4, 044512 (2008).
- [14] S. Zafar, A. Callegari, E. Gusev, and M. V. Fischetti, *IEDM Technol. Dig.*, 517 (2002).
- [15] A. Kerber and E. A. Cartier, *IEEE Transactions on Device and Materials Reliability*, **9**, 2, 147 (2009).
- [16] G. Ribes, J. Mitard, M. Denais, S. Bruyere, F. Monsieur, C. Parthasarathy, E. Vincent, and G. Ghibaudo, *IEEE Transactions on Device and Materials Reliability*, **5**, 1, 5 (2005).
- [17] F. Crupi, C. Pace, G. Cocorullo, G. Groeseneken, M. Aoulaiche, M. Houssa, *Microelectron. Eng.*, **80**, 7, 130 (2005).
- [18] S. Kalpat, H. H. Tseng, M. Ramon, M. Moosa, D. Tekdeab, P. J. Tobin, D. C. Gilmer, R. I. Hegde, C. Capasso, C. Tracy, and B. E. White, *IEEE Transactions on Device and Materials Reliability*, **5**, 1, 26 (2005).
- [19] P. Srinivasan, N. A. Chowdhury, D. Misra,, *IEEE Electron Device Lett.*, **26**, 12, 913 (2005).