

비정질 실리콘의 결정화를 위한 줄 가열 유도 결정화 공정에 대한 열적 연구[§]

김동현* · 박승호** · 홍원의*** · 노재상***

* 홍익대학교 대학원 기계공학과, ** 홍익대학교 기계시스템디자인공학과, *** 홍익대학교 신소재공학과

Thermal Investigation of Joule-Heating-Induced Crystallization of Amorphous Silicon Thin Film

Dong Hyun Kim*, Seungho Park**†, Won Eui Hong*** and Jae Sang Ro***

* Graduate Student, Dept. of Mechanical Engineering, Hongik Univ.

** Dept. of Mechanical and System Design Engineering, Hongik Univ.

*** Dept. of Material Science and Engineering, Hongik Univ.

(Received May 26, 2010 ; Revised December 10, 2010 ; Accepted December 14, 2010)

Key Words : Crystallization(결정화), Poly-Silicon(다결정 실리콘), Joule-Heating(줄 가열)

초록: 대면적 비정질 실리콘 박막의 결정화는 평판 디스플레이 생산에 있어서 핵심 요소로 꼽힌다. 현재 다양한 결정화 기술들이 연구 되고 있으며 그 중 최근에 소개된 줄 가열 유도 결정화는 수십 마이크로초의 짧은 공정 시간, 대면적 결정화 그리고 국부적인 가열로 기판의 열변형 억제 등의 잇점으로 인해 AMOLED 제작에 있어서 기대되는 기술이다. 본 연구에서는 JIC 공정 중 상변화과정에서의 온도를 이론적으로 해석하고 이를 실험과 비교하였다. 이를 통하여 결정화 메커니즘을 결정하는 임계온도를 in-situ 실험과 수치해석을 통해 밝혀내었다.

Abstract: The large-area crystallization of amorphous silicon thin films on glass backplanes is one of the key technologies in the manufacture of flat-panel displays. Joule-heating induced crystallization (JIC) is a recently introduced crystallization technology. It is considered a highly promising technique for fabricating OLEDs, because the film of amorphous silicon on glass can be crystallized in tens of microseconds, minimizing thermal and structural damage to the glass. In this study, we theoretically and experimentally investigated the temperature variation during the phase transformation. The critical temperatures for crystallization were determined for both solid-solid and solid-liquid-solid transitions, by carrying out in-situ temperature measurements and numerical analysis of the JIC.

- 기호설명 -

A : 면적
C : 캐패시턴스
C_p : 비열
h : 두께
I : 전류
K : 열전도도
L : 인덕턴스
R : 저항

S : 단위체적당 발열량
T : 온도
V : 전압
x : 두께방향 좌표

그리스문자
τ : 전자기회로 시상수

하첨자
Mo : 몰리브덴

§ 이 논문은 2010 년도 대한기계학회 마이크로/나노공학부문
춘계학술대회(2010. 5. 7., KIMM) 발표논문임.

† Corresponding Author, spark@hongik.ac.kr

© 2011 The Korean Society of Mechanical Engineers

1. 서 론

결정질 실리콘은 높은 열전도율과 우수한 전기
적 특성 등으로 인하여 디스플레이 및 태양광 발

전 패널의 기관으로써 많은 장점을 가진다. 그러나 단결정 실리콘의 대면적화는 매우 어려워 현실적으로 불가능하기에, 이에 대한 대안으로 다결정 실리콘이 사용되고 있다. 다결정 실리콘 역시 비정질 실리콘에 비하여 우수한 열적, 전기적 특성을 가지며 대면적 생산이 가능한 장점이 있다.

이러한 다결정 실리콘은 제작하는 방식은 기본적으로는 직접 기관 위에 증착하거나 비정질 실리콘을 증착한 후 다양한 후처리 공정을 거쳐 다결정으로 변화시키는 방법으로 구분할 수 있다. 이중 직접 증착 방법은 600°C LPCVD (Low Pressure Chemical Vapor Deposition) 공정을 통하여 다결정 실리콘을 유리기관 위에 증착시키는 방법으로, 결정립 크기 (Grain Size)가 약 50 nm 로 작고, 미세쌍정 (Microtwin) 등의 결함이 많고, 표면이 거칠고 공정시간이 비교적 긴 단점이 있다.⁽¹⁾ 반면, 비정질 실리콘을 다결정 실리콘으로 변화시키는 방법은 엑시머 레이저 결정화 (ELC), Metal Induced Crystallization (MIC), Solid Phase Crystallization (SPC), Joule-heating Induced Crystallization (JIC) 등 다양한 방법이 개발되었거나 개발중인 상태에 있다.

ELC 는 저온 결정화가 가능하지만 레이저 스캔 시간과 균일성이 떨어지고 스캔과정에서 오버랩에 의한 자국이 남는 단점을 가지고 있다.⁽²⁾ 온도가 가장 낮은 상태에서 결정화를 유도하는 SPC 의 경우 유리기관을 사용할 수 있는 상대적으로 낮은 온도에서 공정이 가능하지만 수 시간 이상의 긴 공정시간이 큰 약점으로 꼽힌다.⁽³⁾ MIC 는 최근 많은 관심을 받고 있는 방법으로 유리기관을 사용할 수 있는 저온에서 결정화가 가능한 장점을 가지고 있지만, 결정화 유도 금속제거를 위한 공정을 포함하고 있으므로 공정시간이 SPC 와 같이 길어지는 단점을 가지고 있다.^(4,5)

반면 JIC 방법^(6,7)은 전도성 박막층에 전류를 흘려 이를 통한 Joule 가열로 대면적의 비정질 실리콘을 매우 빠르게 결정화 할 수 있는 방법으로 기존의 단점을 극복할 수 있는 결정화 방법으로 기대된다. JIC 공정은 짧은 공정시간 안에 큰 전류를 흘려 짧은 시간 동안 가열된 비정질 실리콘이 고상-고상 또는 고상-액상-고상의 상변화과정을 통해 결정화를 이루게 된다. 따라서 SPC 및 MIC 등의 방법에 비하여 공정시간이 매우 짧고 RTA 와 비교 시 고온으로 올라가는 점에서는 같으나 JIC 방법은 그 시간이 수십-수백 μs 이내므로 열 침투 깊이가 수십 μm 로 제한될 수 있으므로 유리 등의 열에 취약한 소재를 사용할 수 있다. 또한 소

자 전체를 금속성의 박막으로 덮고 이를 통하여 가열하므로 결정화된 실리콘 박막의 높은 균일성 또한 보장할 수 있다.

결정화 과정에서 온도는 결정의 크기 및 질을 결정하는 매우 중요한 요소로 정확한 온도를 아는 것은 결정화 과정에 대한 이해와 이를 통한 OLED 기관 생산에 있어 매우 필요한 부분이다. 본 연구에서는 JIC 공정과정에서 온도 분포를 이론적으로 예측하고 이를 실험을 통하여 검증하였다. 실험에서 사용된 시편은 0 세대(30mm x 20mm) 크기의 유리기관의에 제작되었고 박막층의 크기는 20mm x 20mm 로 그 기본구조와 실험 장비는 Fig. 1 에 나타내었다. 시편은 유리기관 위에 passivation layer 로 사용된 SiO_2 를 PECVD 방법으로 통해 300nm 두께로 증착하고 그 위에 Mo 박막 층을 sputtering 으로 100nm 만큼 증착하였다. 그 위에 다시 insulation layer 인 SiO_2 와 비정질 Si 층을 PECVD 방법을 통해 각각 300nm 와 50nm 씩 증착하여 제작되었다.

2. 실리콘 상 변화 과정

비정질 실리콘은 준안정상태의 물질로 안정상태

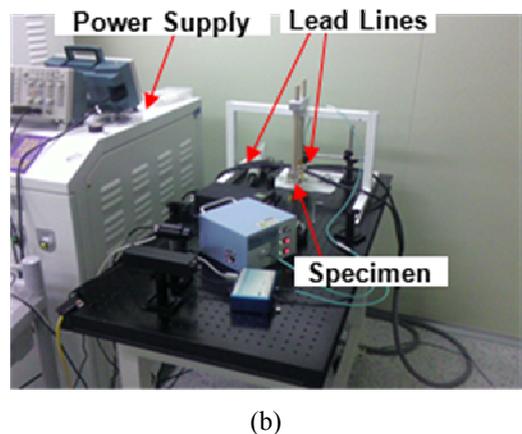
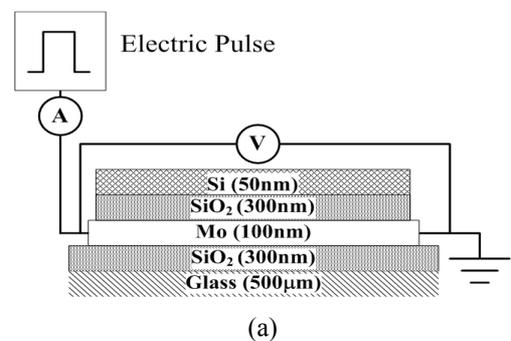


Fig. 1 (a) Schematic diagram of JIC specimen and (b) its experimental setup

인 결정질 실리콘으로 상변화를 하게 된다.⁽⁸⁾ 비정질 실리콘이 다결정 실리콘으로 상 변화를 하기 위해서는 우선 결정으로 성장할 수 있는 결정핵이 필요하다. 결정핵은 비정질 실리콘을 증착하는 과정에서 생성되거나 증착된 실리콘의 온도가 올라가면서 무작위적으로 생성된다.⁽⁹⁾ 그러나 가로, 세로, 높이가 각각 100nm 인 비정질 실리콘의 내부에서 용융점에 근접했을 때 무작위 핵 생성률은 약 10^2 회/s로 무시할 수 있는 수준이다.⁽⁹⁾

비정질 실리콘의 용융점은 결정질 실리콘보다 낮아 녹게 되면 과냉 액체실리콘 상태가 된다.⁽⁸⁾ 과냉 액체실리콘 내부에서 무작위 핵 생성률은 과냉 정도가 증가함에 따라서 지수적으로 증가한다. 반면에 결정의 성장속도는 온도가 상승함에 따라서 점차 증가하여 약 1350K 에서 약 17m/s 로 최대 값에 이르고 다시 감소하게 된다.⁽⁹⁾ 따라서 과냉 액체실리콘의 온도가 낮을 경우에는 결정핵의 생성률은 높고 성장 속도는 느리므로 크기가 작은 결정이 형성되고 온도가 높을 경우에는 반대로 핵의 생성률은 낮고 성장 속도는 빠르므로 큰 결정이 형성되는 이른바 SLG(super lateral growth) 가 발생된다.⁽²⁾ 이러한 메커니즘에 의해서 결정의 크기가 결정되는데 특정한 임계온도를 경계로 결정의 크기가 급격한 차이를 보이게 된다. Hatano 등의 보고에 따르면⁽¹⁰⁾ ELA 의 경우 약 1515K 을 경계로 결정의 크기가 그 이하에서는 수~수십 나노미터이고 그 이상에서는 수백 나노미터 이상으로 성장한다. 특히 저온에서 비정질 실리콘이 녹게 되면 같은 온도의 결정질 실리콘에 비하여 엔탈피가 높으므로 응고되면서 잠열을 방출하게 된다.⁽⁸⁾ 이때 방출된 잠열이 주위의 아직 녹지 않은 비정질 실리콘을 녹이게 될 경우 이 과정이 연쇄적으로 발생하여 전체 실리콘이 결정화된다. 이러한 과정을 explosive crystallization 이라 한다.⁽²⁾

그러나 만일 너무 많이 가열될 경우 생성된 결정핵 조차 녹게 되어 완전한 액체실리콘 (full-melting condition)이 되며 결정핵의 부재로 오히려 결정화가 되지 않는다. 그 상태로 가열이 끝나고 다시 식기 시작하면 충분히 과냉되어 호모지니어스 뉴클레이션이 발생할 때까지 결정화가 진행되지 않는다. 결국 호모지니어스 뉴클레이션에 의해 생성된 결정핵들이 성장하여 균일한 나노 결정이 형성된다.⁽²⁾

3. 온도 측정

앞에서 밝힌 바와 같이 결정화과정은 온도에 매

우 민감하므로 정확한 온도를 아는 것은 공정 설계에 있어서 매우 중요한 일이다. 그러나 JIC 공정 중 Mo 박막의 온도는 실리콘의 용융점 이상으로 가열되며 그 시간도 수십 μ s 의 수준으로 매우 짧아 이를 직접 측정하는 것은 어려운 일이다. 반면, JIC 공정에서 사용되는 금속인 Mo 는 약 3000 °C 까지 저항이 온도에 선형으로 비례하는 것으로 알려져 있다.^(11,12) 따라서 저항을 측정할 수 있다면 이를 통하여 공정 중의 시편온도를 알 수 있을 것으로 예상하였다. Fig. 2 는 온도에 따른 Mo 박막의 sheet resistance 로 실험을 통해 얻은 결과와 알려져 있는 Mo 의 저항을 함께 비교하였다. Mo 박막 저항 측정은 tube furnace 에서 300K 부터 600K 까지 측정되었다. 측정된 Mo 박막의 저항은 알려있는 값보다 약 1.2 Ω 정도 높게 나타났는데 이는 접촉저항이나 도선저항 등의 외부 저항인 것으로 생각된다. 그러나 온도에 따른 기울기는 알려져 있는 값과 거의 일치하므로 고온에서의 저항은 알려진 바와 같이 온도 대하여 선형으로 상승할 것으로 기대되며 이를 이용하여 공정 중의 Mo 박막의 온도를 측정할 수 있을 것으로 예상되었다.

본 연구에서 시편에 인가된 입력 펄스 전압은 세 종류로 각각 1050V-18 μ s, 1100V-18 μ s, 그리고 1150V-18 μ s 이다. Fig. 3 은 1100V-18 μ s 입력조건에 대한 실시간 전압과 전류 분포와 저항을 보이고 있다. 다른 조건에서도 이와 유사한 파형을 나타내었다. 저항은 Ohm 의 법칙을 이용하여 실시간 입력 전압과 전류로부터 얻어진 값이다. 저항은 펄스가 인가된 순간 매우 큰 값을 보이다가 빠르게 감소된 후 다시 일정량 증가한 후 영으로 수렴하게 된다. 펄스 초반의 초반의 높은 저항과 후반의 영으로 수렴하는 값은 물리적으로 있을 수 없

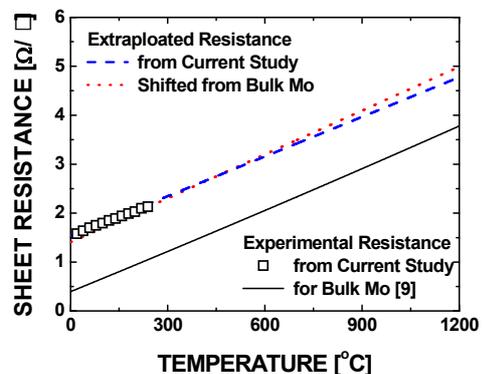


Fig. 2 Sheet resistance of molybdenum film with respect to temperature

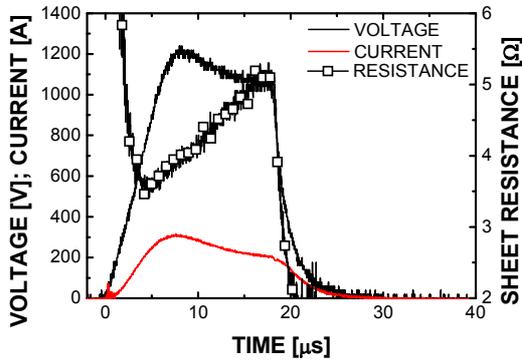


Fig. 3 Input voltage and current profiles during JIC process and corresponding resistance for electric pulse of 1100V and 18 μ s

는 값으로 이는 회로 특성을 고려하지 않은채 저항을 단순히 전압 나누기 전류로 구했기 때문이다. 실제로 입력 펄스의 인가 및 종료 순간에는 시편 구조와 리드선에 의한 고유 인덕턴스와 캐패시턴스로 인하여 파형 왜곡이 발생한다. 이러한 파형 왜곡은 전압 및 전류의 값이 빠르게 변할 때 발생하는 것으로 초기의 급격한 상승이 지난 이후 또는, 펄스 종료시의 급격한 감소 이전에는 그 크기가 매우 작아 저항값을 Ohm의 법칙을 이용하여 예측할 수 있게 된다. 인덕턴스와 캐패시턴스를 모두 포함한 2 차회로의 응답 특성은 이미 많은 연구가 이루어져 있으며 회로에 대한 미분방정식의 특성해는 다음과 같이 얻어진다.⁽¹³⁾

$$\tau = -\frac{1}{2RC} \pm \sqrt{\left(\frac{1}{RC}\right)^2 - \frac{4}{LC}} \quad (1)$$

실험적으로 측정된 시편의 저항, 캐패시턴스 그리고 인덕턴스는 각각 1.546~1.628 Ω , 0.26~0.31 μ F, 0.67~0.82 μ H로 이 값을 식 (1) 대입하여 시편의 응답 특성을 구하면 90%의 전류 회복에 걸리는 시간은 약 2.4 μ s이며 진동주기는 약 3.3 μ s이다. 실험상의 펄스 파형의 경우, 예측한 시간보다 약 2 배정도 긴 약 5 μ s 이후 안정화 되는 것으로 측정되었다. 계산과 실험결과 사이의 차이는 물성 상온의 값으로 계산한 점과 캐패시턴스와 인덕턴스를 오직 시편의 것만 고려한데 반해 실험상에서는 온도가 빠르게 상승한 점과 시편 외의 전원공급장치나 클램프등의 외부 장치의 영향 때문인 것으로 판단된다. 따라서 이상적인 회로 모델의 결과와 비교하여 볼 때 약 5 μ s 이후 펄스가 안정화 되는 것으로 가정하는 것에는 크게 무리가 없다고 판단된다.

이를 토대로 Ohm 법칙을 이용하여 측정된 저항은 가열 중에는 지속적으로 상승할 것으로 예측되며 Fig. 3에서 볼 수 있듯이 펄스의 인가 및 종료 순간을 제외한 부분에서는 예상대로 증가함을 볼 수 있었다. 이를 통하여 온도를 예측하였으며 그 내용은 이후 수치해석 결과와 함께 아래에 논의하였다.

4. 온도 해석 모델

Fig. 1(a)와 같은 시편에서 각층의 두께는 전체 시편의 길이와 폭에 비하여 매우 작으므로 1 차원 열전달 문제로 근사할 수 있고 각 박막 층에 대한 지배방정식은 아래와 같다.

$$\frac{\partial}{\partial t}(\rho C_p T) = \frac{\partial}{\partial x} \left(K \frac{\partial T}{\partial x} \right) + S \quad (2)$$

$$S = \frac{VI}{Ah_{Mo}} \quad (3)$$

여기서 ρ , C , K 는 각각 밀도, 비열, 열전도도를 나타내며 S 는 단위 체적당 Joule 가열에 의한 발열량으로, 발열층인 Mo 층 해석에만 포함된다. 각 재료의 물성은 온도에 따라 변하므로,^(9,11,12,14) 수치해석을 통하여 계산하였다. S 는 금속 박막 전체에 균일하다고 가정하고 펄스 인가 시 실제 측정된 전압과 전류의 곱으로부터 결정하였다. 본 연구에서는 수치해석 기법으로 Crank-Nicolson 방법을 사용하였다.

실리콘 내부에서 호모지니어스 뉴클레이션을 무시할 경우, 결정은 이미 존재하는 결정이 성장하거나 경계면에서 생성된 결정핵이 성장하는 것으로 가정할 수 있다. 따라서 증착과정에서 결정핵이 박막의 경계면에서 미리 존재한다고 가정할 경우 비정질 실리콘에 용융되면 그 즉시 응고가 시작되는 것으로 볼 수 있다.⁽⁹⁾ 수치해석에서 사용된 격자의 크기는 1nm로 내부의 온도는 균일한 것으로 가정하였고 엔탈피는 각 격자의 중심에 집중된 것으로 해석하였다. 각 격자의 엔탈피가 용융점에서의 엔탈피를 넘어서게 되면 잠열에 대한 초과분의 비율만큼 용융된 것으로 가정하였고 용융된 비정질 실리콘은 과냉 액체실리콘이 된다. 액체실리콘의 응고는 인접한 결정에서부터 시작되며 응고된 만큼 잠열을 방출하는 것으로 가정할 수 있다.⁽⁹⁾

Fig. 4는 Mo 박막의 온도 변화를 시간에 따라 나타낸 것으로 실선은 수치해석의 결과이고 사각형

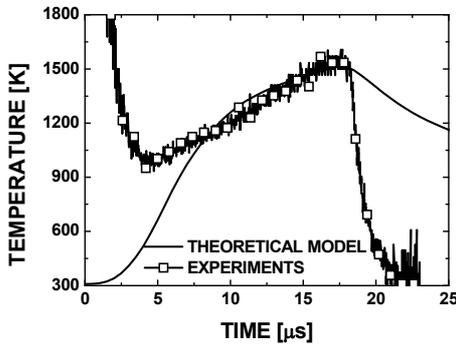


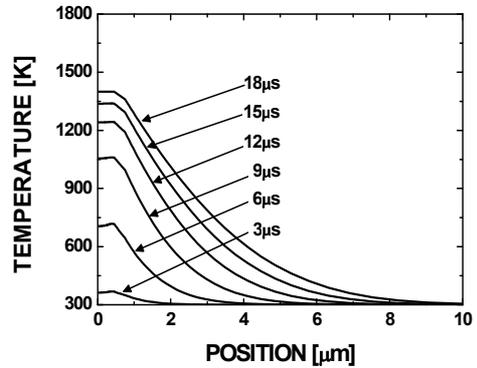
Fig. 4 Temperature profiles of Mo thin film with respect to time estimated from theoretical model and experiments for electric pulse of 1100V and 18 μ s

기호는 Mo의 전기저항값을 Fig. 2에서 그려진 저항과 온도의 상관관계를 이용하여 얻은 결과이다. 앞서 밝힌 바와 같이 전압을 전류로 나눠 얻어진 저항은 펄스가 인가된 초기와 끝나는 시점에서는 부정확한 결과를 보여준다. 이는 앞서 밝힌 바와 같이 시편과 전원 공급장치의 고유한 캐패시턴스와 인덕턴스로 인하여 파형의 외곡이 생겼기 때문에 전류가 빠르게 변하는 천이영역에서는 실제 저항을 단순히 전압을 전류로 나눠서는 얻을 수 없다. 그러나 전류의 변화가 적어지고 나면 소자의 캐패시턴스와 인덕턴스의 영향이 줄어들고 옴의 법칙을 통해 저항값을 예측할 수 있다. 따라서 펄스가 비교적 안정화된 이후인 약 7.5 μ s 이후부터는 수치해석을 통해 예측된 온도와 상당히 잘 일치하는 결과를 보이고 있다. 따라서 수치해석을 통해 얻은 Mo 박막의 온도 분포는 실제 온도에 충분히 근접할 것으로 판단되며 이를 바탕으로 실험으로 직접 측정할 수 없는 실리콘 박막의 공정 중 온도를 예측할 수 있을 것으로 기대된다.

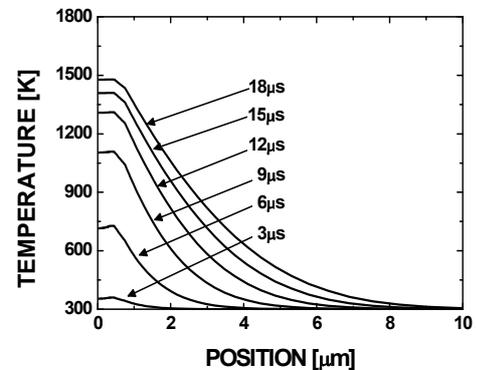
5. 결과 및 토의

실리콘 결정의 크기와 균일성은 결정화 과정에 매우 민감하며 임계온도를 기준으로 상 변화 메커니즘이 바뀌는 것으로 알려져 있다.^(2,7) Fig. 5는 공정 중 시편 내부 방향으로의 온도분포에 대한 시뮬레이션 결과이다. 펄스의 세기에 따라서 최대 온도만 다를 뿐 그 형태는 거의 동일한 것을 알 수 있다. 상온에서의 공정에서도 18 μ s 동안 유리 기판으로의 열 침투 깊이는 10 μ m 이내로 전체 기판의 두께에 비하여 매우 작음을 알 수 있다.

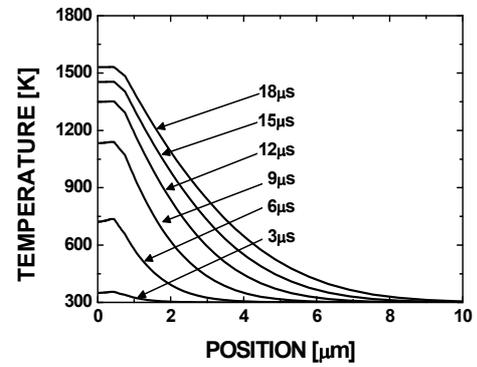
공정 과정에서 실리콘 박막의 최대 온도는 펄스 세기에 따라서 약 1430K에서 1530K로 예상되며



(a)



(b)



(c)

Fig. 5 Temperature distributions with respect to depth from theoretical model for electric pulse of (a) 1050V and 18 μ s, (b) 1100V and 18 μ s and (c) 1150V and 18 μ s

이는 결정질 실리콘의 용융 온도인 1687K에 못 미치는 온도이다. 그러나 비정질 실리콘의 용융 온도는 결정질 실리콘에 비해 약 200~250K 정도 낮은 것으로 알려져 있으며⁽⁹⁾ 따라서 비정질 실리콘 상태에서 용융 되었을 가능성이 있다.

또한 비정질 실리콘의 온도가 상승하게 되면 고체 상태에서 무작위로 결정핵이 생성되며 이를 토

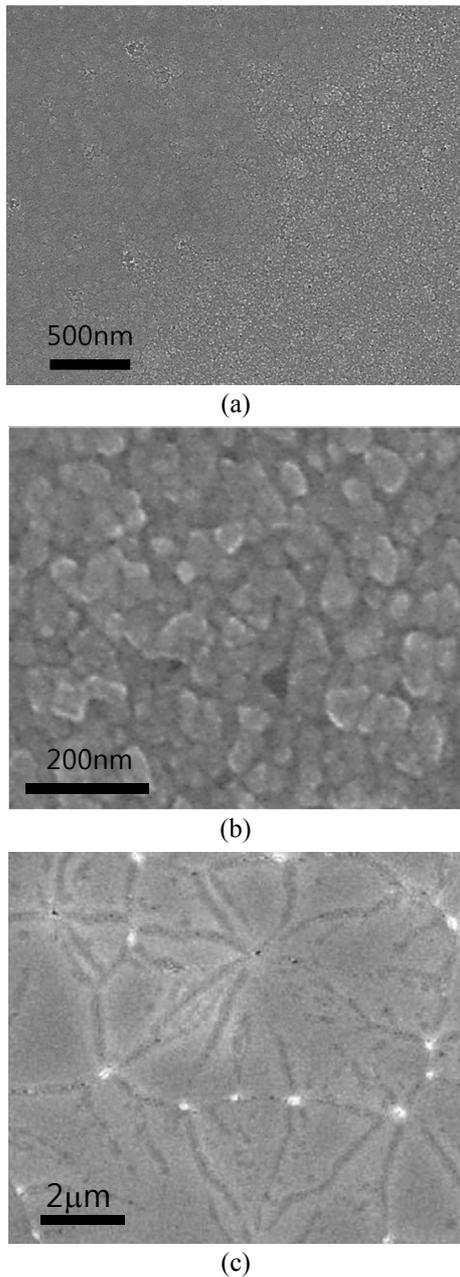


Fig. 6 SEM images of poly-crystalline silicon thin film produced from JIC process under electric pulses of (a) 1050V and 18 μ s, (b) 1100V and 18 μ s, and (c) 1150V and 18 μ s

대로 고상 결정화가 이루어진다.⁽²⁾ 따라서 JIC 공정에서 결정화는 용융을 통한 고체-액체-고체의 결정화 과정과 고체-고체 결정화 과정의 두 가지 경로가 있을 것으로 예상되며 또한 부분적으로 두 경로의 혼합적인 과정도 존재할 수 있을 것으로 생각된다.

앞에서 밝힌 바와 같이 용융을 포함한 결정화 과정과 고체상태에서 변환 과정은 메커니즘 차이

에 의해 그 결과물에서 구조적인 차이를 보인다. 따라서 결정의 미세구조를 확인함으로써 그 과정을 역으로 추측할 수 있다. SPC 나 explosive crystallization 의 경우 비슷하게 수십 nm 크기의 나노 결정이 생성되며 AFM 을 통한 표면 조도 등을 통해 구별 가능하다.⁽¹⁵⁾ 반면 용융 후 SLG 를 통해 성장한 결정은 수 μ m 크기의 거대 결정으로 성장하게 되어 그 크기에서도 확연한 차이가 나타나며 원반모양의 결정 형태에서도 흔적을 찾을 수 있다.^(6,7,16,17)

Fig. 6 은 결정화가 끝난 후 secco etching 한 다결정 실리콘박막의 SEM 사진으로 펄스 세기에 따라서 결정질의 상태가 달라짐을 알 수 있다. 1050V 세기의 펄스를 인가한 경우와 1100V 세기의 펄스를 인가한 경우 생성된 결정의 크기가 수십 나노미터로 매우 작은 것을 볼 수 있다. 반면 1150V 세기의 펄스를 사용한 경우에는 형성된 결정의 크기는 수 μ m 로 매우 크며 형태는 결정 성장의 중심에서부터 방사상의 방향으로 성장한 원반 모양임을 관찰할 수 있다. 이는 1150V 를 사용한 경우에는 실리콘이 용융 후 SLG 한 반면 나머지 두 경우는 무작위 핵생성 (random nucleation)에 의해 성장했기 때문인 것으로 보인다. Fig. 7 은 각각의 경우에 대한 AFM 이미지와 Raman spectroscopy 결과이다. JIC 공정에 대한 Raman spectroscopy 의 결과는 3 경우 모두 520 cm^{-1} 에 근접한 날카로운 피크를 보여주는데 이로부터 세 경우 모두 결정화 정도는 매우 높은 수준인 것을 확인할 수 있다.^(18,19) 참고로 비정질 실리콘의 경우 날카로운 피크를 볼 수 없으며 최대값의 위치 또한 480 cm^{-1} 근처로 결정질 실리콘과는 명백한 차이를 보인다. 그러나 AFM 이미지는 세 경우의 차이가 드러나는 것을 알 수 있다. 1050V 의 경우 특별한 형상을 구별할 수 없이 비교적 매끄러운 표면형상을 관찰할 수 있는데 이는 SEM 의 결과에서 알 수 있듯이 나노 결정이 고르게 분포되어 있기 때문이다. 이는 SPC 공정과 유사하게 고체-고체 결정화가 이루어진 결과로 비정질 실리콘이 용융되기 전에 고체 상태에서 결정핵이 생성되어 성장한 것으로 판단된다. 반면 1100V 의 경우 1050 과 비슷하지만 2~3 μ m 크기의 구획이 보이는 것을 알 수 있다. 이러한 구획은 SEM 이미지에서는 보이지 않았던 것으로 실리콘이 부분적으로 용융을 거치면서 실리콘 박막의 체적이 변화하여서 발생한 것으로 explosive crystallization 과정을 통해 결정화가 진행됐기 때문인 것으로 보인다. 마지막으로 1150V 의

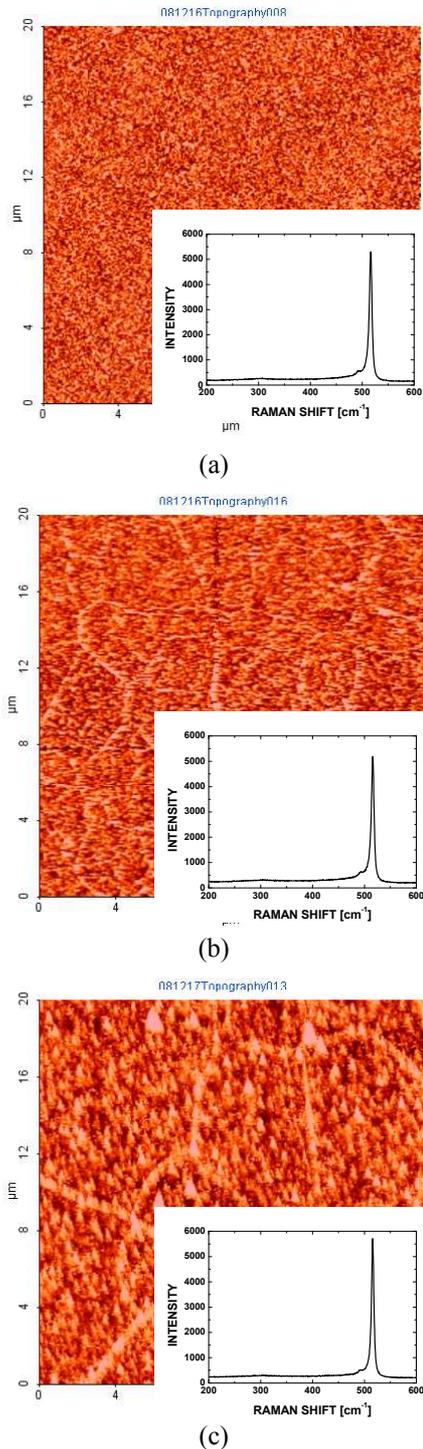


Fig. 7 Raman and AFM images of poly-crystalline silicon thin film produced from JIC process under electric pulses of (a) 1050V and 18 μ s, (b) 1100V and 18 μ s, and (c) 1150V and 18s

경우에도 AFM 이미지는 수 μ m의 크기의 원반형상의 구획이 나뉘어 있는 것을 볼 수 있다. 또한 각 구획의 경계 면이 모이는 부분에서 1100V에 비해서 높은 용기를 볼 수 있다. 이는 실리콘의

특성상 용융상태의 밀도가 고체상태의 밀도보다 높아서, 용융 이후 응고과정에서의 부피팽창으로 인한 결정과 결정이 만나는 grain boundary 등에서 발생한 protrusion으로 판단된다. 이는 SEM 사진에서도 확인 가능한 것으로 원반 형태의 결정의 경계면을 따라 밝게 관찰되는 용기가 보임을 알 수 있다. 따라서 1150V의 경우 비정질 실리콘의 대부분이 용융되었고 일부 결정핵이 남아 결정으로 성장하는 SLG 과정을 거쳤음을 알 수 있다. 이러한 1100V와 1150V의 차이는 용융된 액체 실리콘의 온도가 1100V의 경우 임계 온도를 넘지 못하여 explosive crystallization을 통해 나노 결정질이 된 반면, 1150V 경우 임계 온도 이상으로 가열되어 결정핵의 생성률이 낮은 상태에서 생성된 결정핵을 바탕으로 결정이 SLG 했기 때문인 것으로 판단된다.

Fig. 5에서 볼 수 있듯이 1100V의 최대 온도는 약 1480K인 반면 1150V의 경우에는 약 1530K이다. 두 경우 모두 비정질 실리콘이 용융되었으나 하나는 나노결정인 반면 다른 하나는 수 마이크로미터의 거대한 결정이 생성되었다. 결정화 온도가 1480K인 1100V의 경우 과냉된 액체 실리콘이 explosive crystallization에 따라 나노결정이 생성된 것으로 보이며 1150V의 경우 결정화 온도가 1530K으로 이 때의 결정핵 생성 속도가 낮아 SLG한 것으로 판단된다. 따라서 1480K과 1530K 사이에 결정화 기구를 결정하는 임계 온도가 위치할 것으로 예상되며 이는 ELA의 결과와도 일치한다.⁽¹⁰⁾

6. 결론

줄 가열 유도 결정화 공정에서 실리콘 박막의 온도는 공정 후 다결정 실리콘의 특성을 결정하는 매우 중요한 요소이다. 본 연구에서는 공정중의 온도를 실험을 통하여 측정하였다. JIC 공정은 매우 짧은 시간에 끝나며, 최고 온도 또한 실리콘의 용융점에 도달하므로 직접 열전대 등을 이용하여 측정하기 어렵다. 그러나 줄 가열에 사용되는 Mo의 저항이 온도에 선형으로 비례하므로 이를 통하여 실시간 온도변화를 알 수 있었고, 또한 수치해석을 통한 해석결과를 비교하였다.

실험은 1050V, 1100V 그리고 1150V의 세 종류의 펄스를 이용하였다. 그 결과 1050V와 1100V에서는 나노결정이 생성된 반면 1150V의 경우 마이크로미터 크기의 거대한 결정이 생성되었다. 각각 최대 온도는 1430K, 1480K 그리고 1530K이며

1100V 와 1150V 에서는 실리콘이 용융 되었음을 SEM 과 AFM 이미지로부터 확인하였다. 1100V 의 경우 용융을 거쳐 결정화가 되었음에도 나노 결정이 나온 반면 1150V 는 결정질 실리콘의 용융점에 100K 이상 낮은 온도에서 결정화가 되었음에도 SLG 를 통한 거대 결정이 생성되었다. 따라서 JIC 공정에서 SLG 는 과냉 상태에서도 가능하며 용융 상태에서 explosive 결정화와 SLG 를 결정하는 요소는 결정화순간의 온도로 판단되며 이 임계온도는 ELA 와 비슷하게 1480K 와 1530K 사이에 존재하는 것을 확인하였다.

후 기

이 연구는 2008 년도 한국학술진흥재단의 지원 (KRF-2008-313-D00097)을 받아 수행되었음을 밝히고, 이에 감사드립니다.

참고문헌

- (1) Peng, D. Z., Zan, H. W., Shin, P. S., Chang, T. C., Lin, C. W. and Chang, C. Y., 2002, Comparison of Poly-Si Films Deposited By UHVCVD and LPCVD and Its Application for Thin Film Transistors, *Vacuum*, Vol. 67, pp. 641~645.
- (2) Im, J. S., Kim, H. J. and Thompson, M. O., 1993, Phase Transformation Mechanisms Involved in Excimer Laser Crystallization of Amorphous Silicon Films, *Appl. Phys. Lett.* Vol. 63, pp. 2969~2971.
- (3) Voutsas, A. T. and Hatalis, M. K., 1992, Structure of As-Deposited LPCVD Silicon Films at Low Deposition Temperature and Pressures, *J. Electrochem. Soc.* Vol. 139, No. 9, pp. 2659~2665.
- (4) Yoon, S. Y., Park, S. J., Kim, K. H. and Jang, J., 2001, Metal-Induced Crystallization of Amorphous Silicon, *Thin Solid Films*, Vol. 383, pp. 34~38.
- (5) Lee, S. W. and Joo, S. K., 1996, Low Temperature Poly-Si Thin-Film Transistor Fabrication by Metal-Induced Lateral Crystallization, *IEEE Electron Dev. Lett.*, Vol. 17, No. 4, pp. 160~162.
- (6) Hong, W. E. and Ro, J. S., 2007, Millisecond Crystallization of Amorphous Silicon Films by Joule-Heating Induced Crystallization Using a Conductive Layer, *Thin Solid Films*, Vol. 515, pp. 5357~5361.
- (7) Hong, W. E., Chung, J. K., Kim, D. H., Park, S. H. and Ro, J. S., 2010, Supergrains Produced by Lateral Growth Using Joule-Heating Induced Crystallization without Artificial Control, *Appl. Phys. Lett.*, Vol. 96, 052105-052107.
- (8) Spinella, C., Lombardo, S. and Priolo, F., 1998, Crystal Grain Nucleation in Amorphous Silicon, *J. App. Phys.*, Vol. 84, No. 10, pp.5383~5414.
- (9) Smith, M., McMahon, R., Voelskow, M., Panknin, D. and Skorupa, W., 2005, Modeling of Flash Lamp Induced Crystallization of Amorphous Silicon Thin Films on Glass, *J. Crys. Growth*. Vol. 285, pp. 249~260.
- (10) Hatano, M., Moon, S., Lee, M., Suzuki, K. and Grigoropoulos, C. P., 2000, In Situ and ex Situ Diagnostics on Melting and Resolidification Dynamics of Amorphous and Polycrystalline Silicon Thin Films During Excimer Laser Annealing, *J. Non-Crystalline Solids*, Vol. 266-269, No. 1, pp. 654~658.
- (11) Cagran, C., Wilthan, B. and Pottlacher, G., 2003, Symposium on Thermophysical Properties in Boulder, CO, USA.
- (12) The REMBAR Company. Inc, <http://www.rembar.com/default.htm> Dobbs Ferry.
- (13) Rizzoni, G., 2005, Principles and Applications of Electrical Engineering 5th, McGraw-Hill. Inc.
- (14) Samsung Coming Precision Glass Inc, www.samsungscp.co.kr.
- (15) Miyasaka, M. and Stoemenos, J., 1999, Excimer Laser Annealing of Amorphous and Solid-Phase-Crystallized Silicon Films, *J. Appl. Phys.*, Vol. 86, No. 10, pp. 5556~5565.
- (16) Ishihara, R., Wilt, P. C., Dijk, B. D., Burtsev, A., Metselaar, J. W. and Beenkker, C.I.M., 2003, Advanced Excimer-Laser Crystallization Process for Single Crystalline Thin Film Transistors, *Thin Solid Films*, Vol. 427, pp. 77~85.
- (17) Kuo, C. C., Yeh, W. C., Lee, J. F. and Jeng, J. Y., 2007, Effects of Si Film Thickness and Substrate Temperature on Melt Duration Observed in Laser-Induced Crystallization of Amorphous Si Thin Films Using In-Situ Transient Reflectivity Measurements, *Thin Solid Films*, Vol. 515, pp. 8094~8100.
- (18) Bonse, J., Brzezinka, K. -W. and Meixner, A. J., 2004, Modifying Single-Crystalline Silicon by Femtosecond Laser Pulses: an Analysis by Micro Raman Spectroscopy, Scanning Laser Microscopy and Atomic Force Microscopy, *Appl. Surf. Sci.*, Vol. 221, No. 1-4, pp. 215~230.
- (19) Yan, J., Asami, T. and Kuriyagawa, T., 2008, Modifying Single-Crystalline Silicon by Femtosecond Laser Pulses: an Analysis by Micro Raman Spectroscopy, Scanning Laser Microscopy and Atomic Force Microscopy, *App. Surf. Sci.*, Volume 32, Issue 3, pp. 186~195.