

## 저온 공정 PVP게이트 절연체를 이용한 고성능 플렉서블 유기박막 트랜지스터의 계면처리 효과

윤호진<sup>1,2</sup>, 백규하<sup>2</sup>, 신홍식<sup>1</sup>, 이가원<sup>1</sup>, 이희덕<sup>1</sup>, 도이미<sup>2,a</sup>

<sup>1</sup> 충남대학교 전자전파정보통신공학과

<sup>2</sup> 한국전자통신연구원 RFID/USN 소자팀

## Interface Treatment Effect of High Performance Flexible Organic Thin Film Transistor (OTFT) Using PVP Gate Dielectric in Low Temperature

Ho-jin Yun<sup>1</sup>, Kyu-ha Baek<sup>2</sup>, Hong-sik Shin<sup>1</sup>, Ga-Won Lee<sup>1</sup>,  
Hi-Deok Lee<sup>1</sup> and Lee-Mi Do<sup>2</sup>

<sup>1</sup> Department of Electronics Engineering, Chungnam National University, Daejeon 305-764, Korea

<sup>2</sup> Electronics and Telecommunications Research Institute (ETRI), Daejeon, 305-700, Korea

(Received October 25, 2010; Revised November 8, 2010; Accepted December 12, 2010)

**Abstract:** In this study, we fabricated the flexible pentacene TFTs with the polymer gate dielectric and contact printing method by using the silver nano particle ink as a source/drain material on plastic substrate. In this experiment, to lower the cross-linking temperature of the PVP gate dielectric, UV-Ozone treatment has been used and the process temperature is lowered to 90°C and the surface is optimized by various treatment to improve device characteristics. We tried various surface treatments; O<sub>2</sub> Plasma, hexamethyl-disilazane (HMDS) and octadecyltrichlorosilane (OTS) treatment methods of gate dielectric/semiconductor interface, which reduces trap states such as -OH group and grain boundary in order to improve the OTFTs properties. The optimized OTFT shows the device performance with field effect mobility, on/off current ratio, and the sub-threshold slope were extracted as 0.63 cm<sup>2</sup> V<sup>-1</sup>s<sup>-1</sup>, 1.7 x 10<sup>-6</sup>, and of 0.75 V/decade, respectively.

**Keywords:** OTFT, PVP, Flexible, Surface treatment, Organic

### 1. 서론

유기물질을 이용한 프린팅소자의 가장 큰 이점은 저온공정을 이용한 플렉서블 소자 적용 및 저가의 공정이 가능하다는 점이다. 실리콘 소자의 경우 고가의 진공증착기와 리소그래피 공정 등이 필요하지만 유기물질을 이용하면 이러한 장비 및 공정이 필요하지 않

다. 유기물질을 사용한 전자소자의 대표적인 것 중 하나가 유기박막트랜지스터이다. 유기박막트랜지스터는 스마트카드, RFID 태그, 디스플레이, OLED구동소자 등 넓은 영역의 전자응용 소자 적용이 가능한 이점들을 가지고 있다 [1-3]. 고성능 유기박막트랜지스터연구에 성공한 많은 연구 논문들에서는 Si기판을 사용하여 무기물을 게이트로 사용하고 고가의 소스/드레인 금속재료를 사용 하거나, 반도체층만 유기물

a. Corresponding author: domi@etri.re.kr

질을 사용하여 제작한 것이 많다 [4-6]. 특히나 펜타센 기반의 유기박막 트랜지스터에서 소스/드레인 전극의 경우에는 일함수가 높은 Au, Pt 등 고가의 물질을 사용하는 경우가 많은데, 본 논문에서는 플라스틱 기판 위에 저온공정을 이용한 고분자 게이트 절연막을 사용하고, 소스/드레인 전극은 Ag 나노잉크를 사용한 프린팅 공정으로 유기박막트랜지스터를 제작하였다 [7,8]. 유기박막트랜지스터의 경우 절연체와 반도체 사이의 계면특성을 개선시키는 것이 소자특성 향상을 위한 key-factor 중의 하나인데, 특히 바텀 게이트 유기박막트랜지스터 구조에서는 펜타센 결정의 계면에 대한 의존성이 더욱 크다 [9,10]. 지금까지 많은 연구들에 의해서 밝혀진 전하이동에 유리한 펜타센 결정의 조건은 (001)방향의 큰 결정립인데, 하부 절연체 층의 표면이 소수성을 띄고, 거칠기가 낮을수록 유리한 성장을 유도할 수 있는 것으로 보고되어 있다 [11].

본 논문에서는 소자 특성 향상을 위해 표면 거칠기가 적은 Poly [4-vinylphenol] (PVP)를 게이트 절연체로 사용하면서 산소플라즈마, Hexamethyl-disilazane (HMDS), Octadecyltrichlorosilane (OTS) 계면처리를 각각 적용하여 소자제작을 하고, 그 특성을 비교, 분석하였다.

## 2. 실험 방법

Poly-ethersulfone (PES) 기판위에 게이트 전극을 위해서 pulsed laser deposition를 사용하여 ITO를 증착시켰다. 고분자 게이트 절연층은 PVP 8wt%와 MMF 1.6 wt%를 PGMEA 용매와 혼합 하여 만들었고, ITO 전극 위에 스핀코팅 한 후, 솔벤트 제거를 위해 글로브 박스 내부 질소분위기의 핫플레이트에서 90도온도로 90초간 열처리를 한 후에, 10분간 자외선-오존 처리를 하였다. 그 후에 PVP를 경화 및 가교결합을 시키기 위해 추가적으로 90도에서 1시간동안 열처리를 하였다. 펜타센의 결정립 크기를 크게 하고, (001)방향으로 잘 성장시키기 위해서 반도체층을 올리기 전에 절연체의 표면에 각각 산소플라즈마, HMDS, OTS 처리를 하였다. 그림 1은 바텀 게이트 펜타센 TFT구조 그림을 보여준다. 300 Å 두께의 펜타센 층은  $3.0 \times 10^{-7}$  Torr의 압력에서 thermal evaporation에 의해 증착 되었다. 펜타센 층을 잘 성장시키기 위해서 증착 속도를 2단계로 나누어 증착 하였는데, 처음

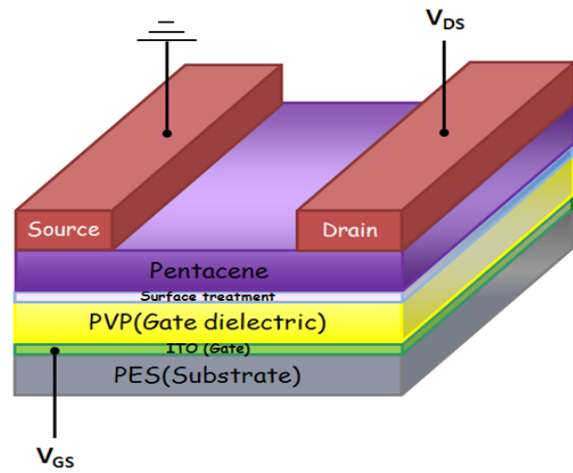


Fig. 1. 3D-shape of the organic thin film transistor (OTFT) structure. Here, the OTFT has bottom gate structure.

30 Å까지는 0.03 Å/sec 속도로 증착 시키고 나머지 270 Å은 공정시간을 줄이기 위해 0.3 Å/sec의 속도로 증착 시켰다. 이러한 이유는 펜타센층의 경우 초기 하부에 증착한 결정성질을 따라가는 경향이 있는데, 초기에는 천천히 증착 시켜 펜타센 결정의 크기를 키움에 따라 전하 이동을 개선시키고, grain boundary도 감소시킬 수 있기 때문이다. 마지막으로 Ag 나노잉크를 사용하여 마이크로 콘택 프린팅 방법으로 소스/드레인을 형성하였다. 그림 3 (a)는 마이크로 콘택 프린팅 방법으로 소스/드레인을 형성하는 방법을 나타내었다. (1) 소스/드레인 형태의 음각 실리콘 마스터를 1.8 μm 깊이로 에칭 하고나서 (2) PDMS (Sylgard-184 A:B=10:1@Dow Corning)몰드를 접촉하여 소스/드레인 양각 몰드 형태로 복제시켰다. (3) PDMS의 표면이 소수성이기 때문에 표면에 20분 동안 자외선-오존 처리를 한 후, Ag 나노 잉크를 PDMS 몰드위에 스핀 코팅하고, (4-5) flip chip aligner-bonder 장비를 사용하여 pentacene층 위에 접촉하여 1 μm 라인 폭의 고해상도 소스/드레인을 형성하였다. 그림 1에 완성된 유기박막 트랜지스터의 구조를 나타내었다.

## 3. 결과 및 고찰

그림 2는 낮은 온도에서 PVP절연체의 가교결합이

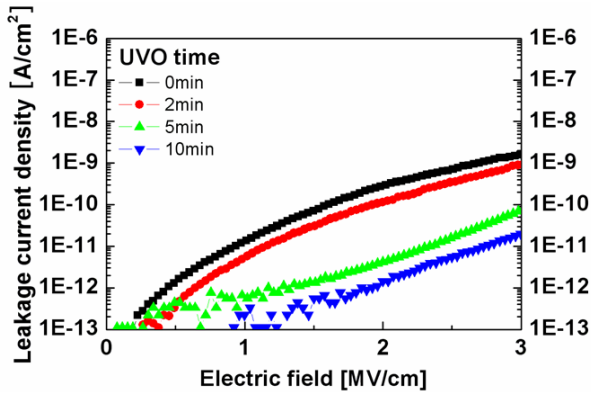


Fig. 2. Leakage current density of the MIM structure with PVP insulator films according to time of the UV-Ozone treatment.

잘 형성 되었는지 살펴보기 위하여 자외선-오존 처리 시간에 따라 metal-insulator-metal (MIM) 구조의 누설전류 특성을 살펴보았다. 자외선-오존 처리를 하지 않은 소자는 2 MV/cm의 전계에서 210 pA/cm<sup>2</sup>의 누설전류 특성을 보였고, 자외선-오존 처리 시간이 늘어남에 따라 누설전류가 줄었으며, 10분 동안 처리한 소자의 경우 2 MV/cm의 전계에서 1 pA/cm<sup>2</sup>의 누설전류 특성을 보였다. 결과적으로 자외선-오존 처리가 PVP의 가교결합을 돕는 것을 확인하였고, 이를 이용하여 낮은 온도에서 PVP절연체 형성을 하였다.

그림 3 (b)는 유연기판 위에 완성된 유기박막 트랜지스터소자를 보여준다. 형성된 소스/드레인의 비저항은 5.04 μΩ-cm로 오믹 접촉이 잘 형성 되었으며, 그림 2 (b)와 같이 소자를 구부린 후에도 전기적 측정결과는 동일하게 나타났다. 게이트의 길이 및 폭은 각각 1 μm와 100 μm이다. 게이트 절연체의 두께는 Alpha-step IQ surface profiler로 측정하였으며, 표면처리 방법과 관계없이 250nm를 나타내었고, 정전용량은 12.10 nF/cm<sup>2</sup>로 HP 4194A LCR meter를 이용하여 1KHz 주파수에서 측정하였다. 이때의 dissipation factor 값은 7.2 x 10<sup>-3</sup> 였다.

그림 4는 유기박막트랜지스터의 전달특성 곡선 (V<sub>G</sub>-I<sub>D</sub>)을 나타낸다. 측정은 HP4156B Semiconductor Parameter Analyzer를 이용하여 starting gate voltage (V<sub>G</sub>) = +10V; step V<sub>G</sub> = 0.5V; stop V<sub>G</sub> = -40V 의 조건으로 하였고, 소자의 모든 전기적 측정 은 대기 중에서 이루어졌다. 표면처리를 한 소자의 경우 그렇지 않은 소자와 비교하여 오프전류의 레벨이

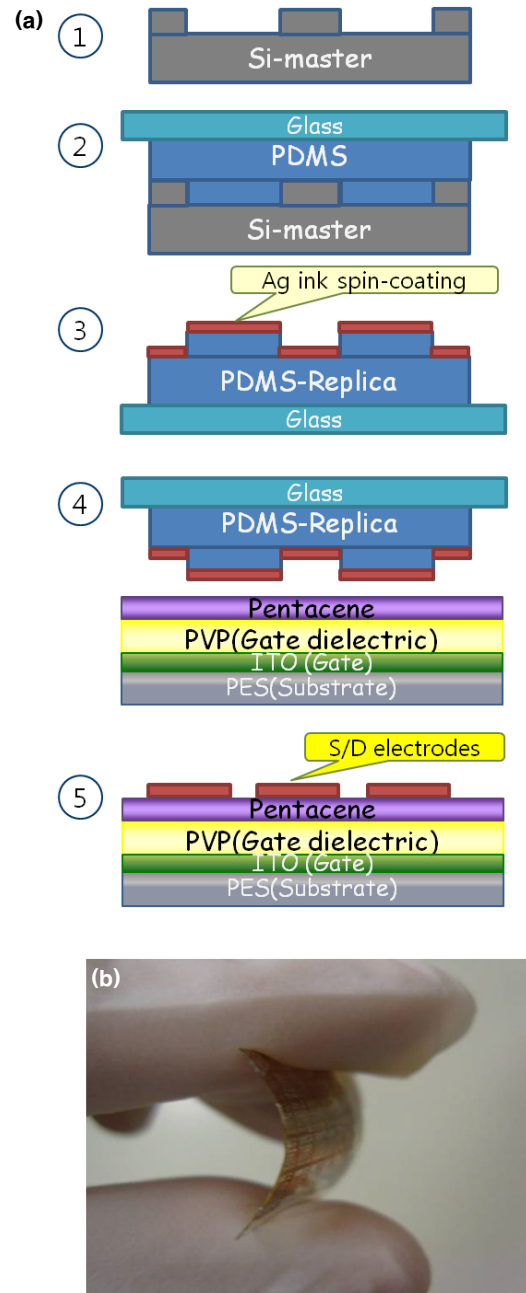


Fig. 3. (a) The schematic diagram of the S/D formation flow using micro contact printing method. (b) Fabricated OTFT on flexible substrate. Here, the channel length is 1 μm and width is 100 μm.

낮아지고, 온 전류 또한 높아졌으며, 전하이동도 및 전류구동 능력 또한 개선되었다. 아무 처리도 하지 않은 소자의 경우 전하 이동도는 0.10 cm<sup>2</sup>/V·s, 온/오프 전류비율은 1.0 x 10<sup>3</sup>, 문턱전압이하 전류기울기는 8.5

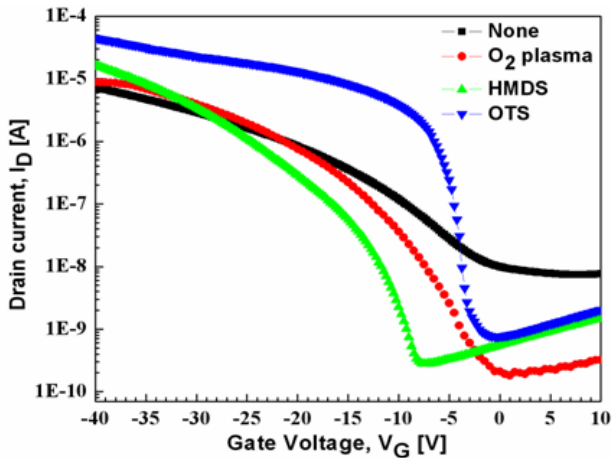


Fig. 4. Electrical transfer characteristics ( $V_G$ - $I_D$ ) of pentacene TFTs with different interface treatment.

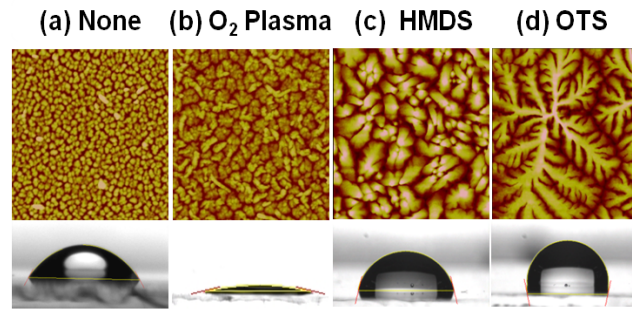


Fig. 5. AFM image ( $5 \mu\text{m} \times 5 \mu\text{m}$ ) of the pentacene films deposited on the cross-linked PVP gate dielectrics treated by various method: (a) no treat, (b)  $\text{O}_2$  plasma, (c) HMDS, (d) OTS. In each condition, the water contact angle of PVP surface is  $49^\circ$ ,  $6^\circ$ ,  $75^\circ$ , and  $102^\circ$ , respectively.

Table 1. Electrical characteristic of the fabricated OTFTs.

Interface Treatment	No treat	$\text{O}_2$ plasma	HMDS	OTS
Sheet Resistance of S/D [ $\Omega/\square$ ]		0.72 ( $\pm 10\%$ )		
S/D Electrodes Resistivity [ $\mu\Omega\text{-cm}$ ]		5.04		
Capacitance @1KHz [ $\text{nF}/\text{cm}^2$ ]		12.10		
Gate Dielectric Thickness [nm]		250		
Gate Width/Length [ $\mu\text{m}$ ]		100 / 1		
Mobility [ $\text{cm}^2/\text{V}\cdot\text{s}$ ]	0.10	0.15	0.51	0.63
Threshold Voltage [V]	-10.8	-13.7	-19.9	-3.8
Sub-threshold Slope [V/decade]	8.5	4.3	2.2	0.75
On/Off Current Ratio	$1.0 \times 10^3$	$2.0 \times 10^4$	$5.7 \times 10^4$	$1.7 \times 10^5$

V/decade, 문턱전압은  $-10.8 \text{ V}$ 를 나타냈다. 가장 개선된 특성을 나타낸 소자는 pentacene/PVP 계면에 OTS silane 처리를 한 소자였으며, 전하 이동도는 6배 이상 향상된  $0.63 \text{ cm}^2/\text{V}\cdot\text{s}$ , 온/오프 전류비율은  $1.7 \times 10^5$ , 문턱전압이하 전류기울기는  $0.75 \text{ V/decade}$ , 문턱전압은  $-3.8\text{V}$ 로 전체적인 소자 특성이 개선되었다. 표면처리에 따른 소자의 특성을 Table 1에 정리해 놓았다.

우리는 PVP 게이트절연체의 표면처리 방법에 따라 PVP 게이트 절연막의 contact angle 및 그 위에 올려진 펜타센 박막이 어떻게 형성되고, 또한 형성된 막에 따라서 앞서 살펴본 유기박막트랜지스터의 전기적 특성에 어떠한 영향을 끼쳤는지 분석하였다.

그림 5는 표면 처리된 PVP게이트 절연막 위에 형성된 펜타센의 morphology를 Atomic Force Microscopy

(AFM)로 측정된 이미지와 절연막 표면의 water contact angle 측정 이미지를 보여준다. Contact angle 값은 아무 처리도 하지 않은 절연체의 경우  $49^\circ$ ,  $\text{O}_2$  Plasma 처리를 한 경우  $6^\circ$ , HMDS처리의 경우  $75^\circ$ , OTS는  $102^\circ$ 를 나타내었다. 펜타센 결정의 크기는 표면처리를 하지 않은 PVP게이트 절연막 위에서 성장한 펜타센의 경우가 가장 작았으며, 표면처리를 하였을 때에는, 소수성 표면을 나타 낼수록 펜타센 입자의 크기가 커졌다. 펜타센 입자의 크기가 클수록 벌크 상태로 이동하면서 grain boundary통과가 더 적어지므로, 전하이동에 유리하다. 또한 소수성의 표면은 수분 침투에 취약한 PVP절연체의 보호 역할도 한다.

그림 6는 소자의 특성이 많이 향상된 HMDS 처리한 소자와 OTS 처리에 따른 펜타센 박막의 XRD 회

절분석을 나타낸다. X-ray 소스는 Cu (K $\alpha$ )( $\lambda=1.54\text{\AA}$ ) 이고, 각각  $2\theta$  값이  $5.81^\circ$ ,  $5.83^\circ$  일 때 (001)방향을 나타낸다.  $d = \frac{\lambda}{2\sin\theta}$ 에 따라서  $d=15.20\text{\AA}$ ,  $d=15.15\text{\AA}$  값을 갖는다. Full width at half max (FWHM)값은 각각 0.2와 0.17로 측정 되었다. 두 샘플 모두 (001) 축 방향으로 우세하게 결정립들이 배열되었으며, (001) 방향에서의 peak-to-ground ratio는 각각 4.92, 5.80으로, 상대적인 intensity의 크기는 OTS처리를 한 소자가 더 크게 관찰되었다. 이는 OTS silane처리를 한 PVP절연체 위에 증착된 펜타센의 결정화가 잘되고 규칙성이 더 높다는 것을 의미한다.

#### 4. 결론

본 논문에서는 저온공정 PVP 게이트 절연체를 이용하여 유연기판 위에 플렉서블 유기박막 트랜지스터를 제작하였다. 특히 소스/드레인 전극은 마이크로 컨택 프린팅 방법을 이용하여 제작 하였으며, pentacene/PVP 계면 특성을 향상시키기 위해서  $O_2$  plasma, HMDS, OTS로 PVP절연체의 표면처리를 하였다. 이 중에서 OTS silane처리를 한 경우가 가장 소자 특성이 개선되었다. OTS처리는 게이트 절연체 표면의 contact angle이  $102^\circ$ 로 가장 소수성을 띄었으며, 그 위에 증착된 펜타센 박막의 결정립 사이즈가 가장 크게 형성되고 (001)방향성을 더 갖게 되어 캐리어 이동도 측면에서 유리하게 작용 되었다. 최적화 된 소자의 전기적 특성은 전하 이동도가 표면처리를 하지 않은 소자와 비교하여 6배 이상 향상된  $0.63\text{ cm}^2/\text{V}\cdot\text{s}$ 로 측정되었고, 온/오프 전류비율은  $1.7 \times 10^5$ , 문턱전압이하 전류기울기는  $0.75\text{ V/decade}$ , 문턱전압은  $-3.8\text{V}$ 로, 전체적인 전기적 특성이 개선되었다. 이는 기존에 프린팅 기법을 적용하여 연구된 유기박막 트랜지스터의 경우  $0.01 \sim 0.1\text{ cm}^2/\text{V}\cdot\text{s}$  이동도 특성을 보인 것에 비하여 높은 전기적 특성을 갖을 뿐만 아니라 [12-15], 무기물 절연체나 일함수가 높은 고가의 금을 전극으로 사용한 유기박막 트랜지스터보다도 30배 정도의 이동도 향상 특성을 보였다 [7-8].

#### 감사의 글

본 연구는 지식경제부의 후원 아래 연구과제번호 No 10031791 및 3D Printed 전자소자기반 그린 스마

트 카드 Platform 기술 의 과제로 수행되었으며, 이에 감사 드립니다.

#### REFERENCES

- [1] S. M. Pyo, M. Y. Lee, J. H. Jeon, K. Y. Choi, M. H. Yi, and J. S. Kim, *Adv. Funct. Mater.*, **15**, 619 (2005).
- [2] Flora M. Li, Arokia Nathan, Yiliang Wu and Beng S. Ong. *Appl. Phys. Lett.*, **90**, 133514 (2007).
- [3] H.-S. Shin, K.-H. Baek, S.-S. Park, K.-C. Song, G.-W. Lee, H.-D. Lee, J.-S. Wang, K. Lee, and L.-M. Do, *J. Nanoscience and Nanotechnology*, **10**, 3185 (2010).
- [4] L. F. Deng, P. T. Lai, J. P. Xu, H. W. Choi, and C. M. Che, *Electrochem. Soc.*, **1002**, 1942 (2010).
- [5] Shuhei Tatemichi, Musubu Ichikawa, Shimpei Kato, Toshiki Koyama, and Yoshio Taniguchi, *Phys. Stat. Sol.*, **2**, 47 (2008).
- [6] S. H. Han, J. H. Kim, Y. R. Son and J. Jang *J. Korean Phys. Soc.*, **48**, 107 (2006).
- [7] Huiping Jia, Erich K. Gross, Robert M. Wallace, Bruce E. Gnade, *Organic Electronics*, **8**, 44 (2007).
- [8] S. Kobayashi, T. Nishikawa, T. Takenobu, S. Mori, T. Shimoda, T. Mitani, H. Shimotani, N. Yoshimoto, S. Ogawa, and Y. Iwasa, *Nature Mater.*, **3**, 317 (2004).
- [9] C. S. Kim, S. J. Jo, J. B. Kim, S. Y. Ryu, J. H. Noh, H. K. Baik, S. J. Lee, and Y. S. Kim, *Appl. Phys. Lett.*, **91** 063503 (2007).
- [10] Bert Nickel, Matthias Fiebig, Stefan Schiefer, Martin Göllner, Martin Huth, Christoph Erlen, and Paolo Lugli, *Phys. Stat. Sol.*, **205**, 526 (2008).
- [11] S.-Y. Kwak, C. G. Choi, and B.-S. Bae, *Electrochem. and Solid State Lett.*, **12**, G37 (2009).
- [12] I. El Houti El Jazairi, T. Trigaud, and J.-P. Moliton, *Micro and Nanosystems*, **1**, 46 (2009).
- [13] J. Jo, T.-M. Lee, J.-S. Yu, C.-H. Kim, D.-S. Kim, E.-S. Lee and Masayoshi Esashi, *Sensors and Mater.*, **19**, 487 (2007).
- [14] M. Leufgen, A. Lebib, T. Muck, U. Bass, V. Wagner, T. Borzenko, G. Schmidt, J. Geurts, and L. W. Molenkamp, *Appl. Phys. Lett.*, **84**, 1582 (2004).
- [15] I. Pang, H. Kim, S. Kim, K. Jeong, H. S. Jung, C.-J. Yu, H. Soh, and J. Lee, *Organic Electronics*, **11**, 338 (2010).