

광대역 LC 대역 통과 필터를 부하로 가지는 0.18- μm CMOS 저전력/광대역 저잡음 증폭기 설계

A 0.18- μm CMOS Low-Power and Wideband LNA Using LC BPF Loads

신 상 운 · 서 영 호 · 김 창 완

Sang-Woon Shin · Yong-Ho Seo · Chang-Wan Kim

요 약

본 논문에서는 3~5 GHz의 동작 주파수를 가지는 0.18- μm CMOS 저전력/광대역 저잡음 증폭기 구조를 제안한다. 제안하는 광대역 저잡음 증폭기는 광대역 입력 정합, 발룬 기능, 그리고 우수한 노이즈 특성을 얻기 위해 노이즈 제거 회로 구조를 채택하였다. 특히, 2차 LC-대역 통과 필터를 증폭기의 부하로 구현함으로써 기존에 발표된 문헌들보다 최소 전력을 소모하면서 높은 전력 이득과 낮은 잡음 지수를 얻을 수 있었다. 본 논문에서 제안하는 저잡음 증폭기는 1.8 V 공급 전압으로부터 단지 3.94 mA의 전류를 소모하며, 모의 실험 결과, 3~5 GHz UWB 대역에서 전력 이득은 최소 +17 dB 이상, 잡음 지수는 최대 +4 dB 이하, 그리고 입력 IP3는 -15.5 dBm을 가진다.

Abstract

This paper has proposed a 3~5 GHz low-power and wideband LNA(Low Noise Amplifier), which has been implemented in a 0.18- μm CMOS technology. The proposed LNA has basically the noise-cancelling topology to achieve a balun-function, wideband input matching, and relative low noise figure. In addition, it has utilized a 2nd-order LC-band-pass filter(BPF) as its output load to achieve higher power gain and lower noise figure with the lowest dc power consumption among previously reported works. The proposed amplifier consumes only 3.94 mA from a 1.8 V supply voltage. The simulation results show a power gain of more than +17 dB, a noise figure of less than +4 dB, and an input IP3 of -15.5 dBm.

Key words : Balun, Common-Gate, LNA, Noise Cancellation, UWB

I. 서 론

고속 광대역(Ultra-Wideband: UWB) 무선 시스템은 기존의 초고속 유선 홈 네트워크 시장을 대체할 유력한 무선 기술 중의 하나로 각광을 받고 있다. 이러한 초고속 UWB 무선 시스템에 필수적으로 사용되는 광대역 저잡음 증폭기(low noise amplifier)는 광

대역 입력 정합, 낮은 잡음 지수, 그리고 높은 전력 이득을 제공해야 하며, 저전력으로 설계가 되어야 한다^[1]. 이러한 요구 사양을 만족시키기 위하여 최근 “노이즈 제거(noise canceling)” 기법을 사용한 저잡음 증폭기들이 많이 발표되고 있으며, 기본 회로 구조를 그림 1에 나타내었다^{[2]~[5]}.

그림 1의 노이즈 제거 회로는 $1/g_{mCG}=R_S$ 및 g_{mCG} ·

「이 논문은 2010년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(2010-0015609)」

동아대학교 전자공학과(Department of Electronic Engineering, Dong-A University)

· 논문 번호 : 20101102-156

· 교신저자 : 김창완(e-mail : cwkim@dau.ac.kr)

· 수정완료일자 : 2011년 1월 11일

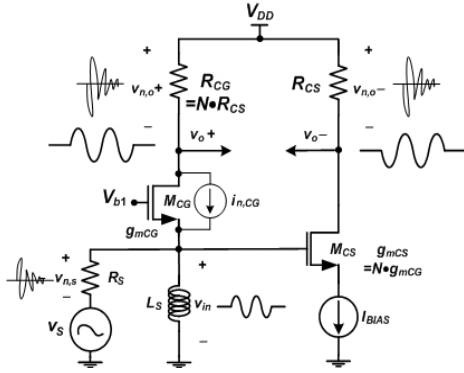


그림 1. 노이즈 제거 증폭기 기본 구조
Fig. 1. Conventional noise-canceling topology.

$R_{CG}=g_{mCS} \cdot R_{CS}$ 의 특수한 조건 하에 광대역 입력 정합, 단일 위상 입력 신호 V_s 를 차동 출력 신호(V_{o+} 와 V_{o-})로 변환하는 발룬(balun) 기능, 그리고 입력 트랜지스터 M_{CG} 의 채널-노이즈 전류($i_{n,CG}$)를 출력단에서 제거하는 기능을 동시에 얻을 수가 있다^[2].

본 논문에서는 기존에 발표된 노이즈 제거 회로를 기반으로 하는 광대역 저잡음 증폭기들^{[3],[5],[6]}보다 최소의 dc 전류를 소모하면서 우수한 잡음 지수(NF)와 전력 이득(S_{21}) 특성을 확보할 수 있는 새로운 광대역 저잡음 증폭기 구조를 제안한다. 본 논문에서 제안하는 저전력/광대역 저잡음 증폭기는 0.18- μm CMOS 공정을 이용하여 구현하였으며, 모의 실험 결과도 제시한다.

II. 제안한 저잡음 증폭기 설계

본 논문에서 제안하는 저전력 광대역 저잡음 증폭기의 구조를 그림 2에 나타내었다. 제안하는 광대역 저잡음 증폭기는 그림 1의 노이즈 제거 회로 구조를 채택하였으며, 비반전 신호 패스(non-inverting signal path)와 반전 신호 패스(inverting signal path)가 공통-게이트(M_2)와 공통-소스단(M_4)으로 각각 구현하였다. M_1 과 M_3 는 모두 캐스코드(cascode) 트랜지스터로 사용되어 입출력간 격리 특성을 개선시키며, 온-칩 인덕터 L_s 는 광대역 증폭기의 입력 노드(X)에 발생하는 총 기생 커패시턴스 성분을 제거하여 동작 주파수인 3~5 GHz에서 안정적인 입력 정합 특성을 확보하기 위하여 사용되었다. 그림 2에서, 50 Ω 소스 저항 R_s 와의 입력 정합 특성을 위해, 증폭기의 입력

임피던스($1/g_{m2}$)는 R_s 와 동일하게 하기 위해 $g_m=20$ mS로 설계하였다. 또한, 그림 2의 C_{para} 는 M_1 과 M_3 의 드레인(drain)에서 생기는 기생 커패시턴스를 표현한 것인데, 고주파에서의 증폭기의 대역폭 및 전력 이득 감소를 일으킴으로 온-칩 인덕터 L_3 를 추가하여 그 효과를 방지하였다. 그림 2에서 제안하는 광대역 증폭기의 부하 Z_{CG} 와 Z_{CS} 는 기존의 Shunt-peaking 부하 대신 2차 Chebyshev LC BPF로 각각 구현하였다. M_2 의 채널-노이즈 전류($i_{n,M2}$)로 인한 출력단에서 노이즈 전압 신호 $v_{n,o+}$ 와 $v_{n,o-}$ 는 다음과 같이 각각 나타낼 수 있다.

$$v_{n,o+} = -\frac{i_{n,M2}}{2} Z_{CG} \quad (1)$$

$$v_{n,o-} = -g_{m4} \left(\frac{i_{n,M2}}{2} R_s \right) Z_{CS} \quad (2)$$

여기서, Z_{CG} 과 Z_{CS} 는 그림 2에서 보는 바와 같이 각각 공통-게이트단과 공통-소스단의 총 부하를 나타낸다.

또한, 단일 위상 입력 신호 V_s 에 대한 공통-게이트단과 공통-소스단의 출력 신호(V_{o+} 와 V_{o-})는 다음과 같이 각각 표현할 수 있다.

$$v_{o+} = \frac{g_{m2}}{2} v_s Z_{CG} \quad (3)$$

$$v_{o-} = -\frac{g_{m4}}{2} v_s Z_{CS} \quad (4)$$

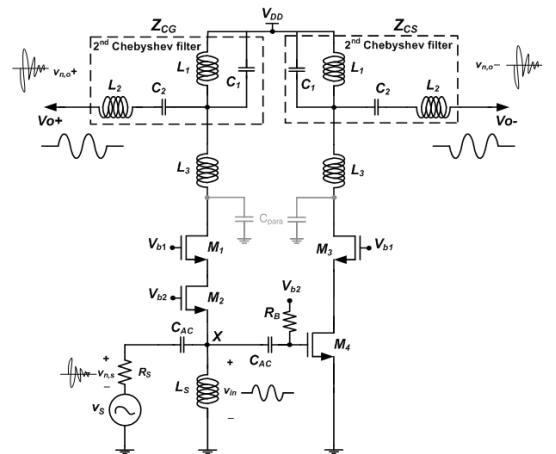


그림 2. 제안하는 광대역 저잡음 증폭기
Fig. 2. Proposed wideband LNA.

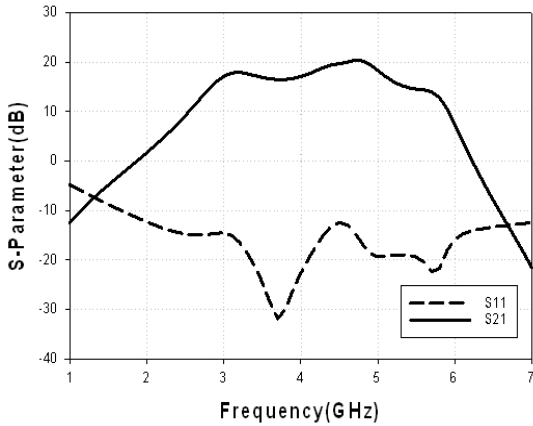


그림 3. S-Parameter 모의 실험 결과
Fig. 3. Simulation result of S_{11} and S_{21} .

위의 식 (1), (2), (3), 그리고 (4)로부터, 단일 위상 입력 신호를 차동 출력 신호를 만들어 줌과 동시에 M_2 의 채널-노이즈 전류($i_{n,CG}$)를 출력단에서 제거하기 위한 조건은 아래의 식 (5)와 같이 나타낼 수 있다.

$$g_{m2}Z_{CG} = g_{m4}Z_{CS} \quad (5)$$

여기서 g_{m2} 는 그림 2에서 입력 정합을 위해 $1/R_S$ 와 동일한 값이다. 그림 2에서 $g_{m2}Z_{CG} = g_{m4}Z_{CS}$ 및 $g_{m2} = 1/R_S$ 인 조건하에서는 식 (1)과 (2)의 노이즈 전압 신호 $v_{n,o+}$ 와 $v_{n,o-}$ 는 서로 크기가 같고, 동위상 신호가 되어 차동 출력으로 처리를 하면 제거가 된다. 또한, 식 (3)과 (4)의 출력 신호 V_{o+} 와 V_{o-} 는 서로 차동 신호가 되어 차동 출력을 처리를 하면 크기가 2배가 된다.

식 (5)로부터 그림 1에서 g_{m4} 를 g_{m2} 의 N 배 만큼 증가시키고 동시에 Z_{CG} 가 Z_{CS} 의 N 배가 되게 하면 노이즈 특성과 전력 이득이 더욱 개선될 수가 있다^[5]. 그러나 이 방법은 공통-소스단(M_4)에 dc 전류를 증가시킬 수밖에 없는데, 저전력 설계에서는 바람직하지 못한 방법이다.

본 논문에서는 $N=1$ 로 하여 $g_{m4} = g_{m2}$ 및 $Z_{CG} = Z_{CS}$ 을 유지시켜 더 이상의 전류 소모를 증가시키지 않고 부하 임피던스 Z_{CG} 와 Z_{CS} 를 증가시켜 전력 이득과 잡음 지수를 개선하는 방법을 선택하였다. 기존의 광대역 증폭기에서는 광대역 특성을 가지면서 $Z_{CG} = N \cdot Z_{CS}$ 비율을 용이하게 선택할 수 있는 인덕터와 저항이 직렬 연결된 shunt-peaking 부하를 많이 사용

하였다^{[3],[5],[6]}. 그러나 shunt-peaking 부하는 제한된 전압 마진과 증폭기에 출력단에서 기생 커패시턴스 값과 연동된 대역폭을 고려했을 때 100 옴 이상의 값을 가지기 힘들다. 그 결과, shunt-peaking 부하를 가지는 광대역 증폭기는 큰 값의 부하를 사용할 수 없어 높은 전력 이득과 낮은 잡음 지수를 얻기 위해서는 입력 트랜지스터의 트랜스컨덕턴스 g_m 값을 키워야 하는데, 역시 전력 소모의 증가를 필요로 한다. 본 논문에서는 이러한 문제점들을 극복하고자 shunt-peaking 부하 대신 그림 2에서 보는 바와 같이 2차 Chebyshev LC 대역 통과 필터(BPF)를 부하로 사용하였다. 온-칩 인덕터 L_1 및 L_2 와 MIM 커패시터 C_1 및 C_2 를 이용하여 2차 Chebyshev LC BPF를 구성하여 동작 주파수 대역인 3~5 GHz 대역에서 안정적인 출력 정합과 동시에 500 옴의 부하 임피던스를 제공한다. LC BPF 부하는 dc 전류에 의해 발생하는 전압 강하(voltage drop)가 발생되지 않기 때문에 출력단에서 충분한 전압 마진을 확보하여 선형성 개선에도 도움을 준다. 또한, 부하의 주파수 응답 특성이 대역 통과 필터 특성을 가지기 때문에, 저잡음 증폭기의 입력단에 들어오는 원하지 않은 성분(interferers)들을 필터링(filtering)하는 기능도 제공할 수 있어, shunt-peaking 부하보다 수신단의 선택도(selectivity) 향상에도 기여를 할 수 있다. 단, 온-칩 인덕터 사용 수 증가는 단점일 수 있으나, 좌우 대칭(symmetric) 인덕터나 트랜스퍼머(transformer)를 이용한다면 칩 면적을 줄일 수 있다. 결론적으로, 그림 2의 제안하는 광대역 저잡음 증폭기는 부하에 2차 Chebyshev LC 필터를 이용하여 3~5 GHz 대역에 걸쳐 전압 강하 없이 높은 부하 임피던스를 확보하여 공통-게이트단(M_2)과 공통-소스단(M_4) 입력 트랜지스터의 g_m 비율을 1:1로 설계하여도 낮은 전력 소모에서도 높은 전력 이득과 낮은 잡음 지수를 얻을 수 있었다.

III. 모의 실험 결과

그림 3은 본 논문에서 제안하는 광대역 저잡음 증폭기의 입력 정합(S_{11})과 전력 이득(S_{21})에 대한 모의 실험 결과를 보여 준다. 그림 3에서 보는 바와 같이 동작 주파수 대역인 3~5 GHz에 걸쳐 -12.4 dB 이상으로 입력 정합이 잘 되어 있으며, 4.8 GHz에서 가

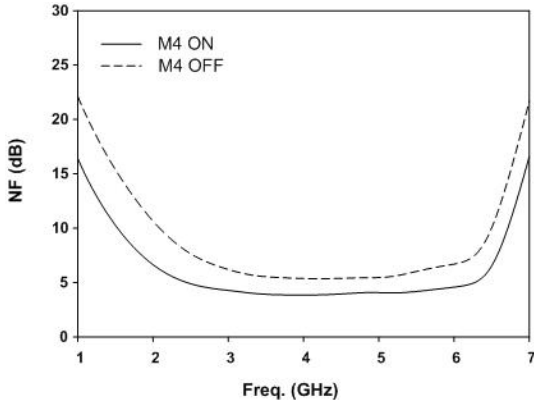


그림 4. 잡음지수 모의 실험 결과
Fig. 4. Simulated noise figure.

장 높은 전력 이득값 +20 dB를 나타내고, 3.7 GHz에서 가장 낮은 전력 이득 값인 +17 dB를 나타냄을 확인할 수 있다.

그림 4는 그림 2의 공통-게이트 트랜지스터(M_2)의 채널-노이즈 전류(i_{n,M_2})가 출력단에서 잘 제거되는지를 확인하기 위하여, 공통-소스 증폭기(M_4)가 동작하는 경우와 동작하지 않는 경우에 대해 각각 잡음 지수에 대한 비교 모의 실험 결과를 보여 준다. 공통-소스 증폭기(M_4)가 턴-온 되는 정상적인 상태에서는 공통-게이트 트랜지스터(M_2)의 채널-노이즈 전류(i_{n,M_2})가 잘 제거되어 잡음 지수가 3~5 GHz 대역에서 최소 3.5 dB 및 최대 4 dB의 값을 보인다. 그러나, 공통-소스 증폭기(M_4)를 턴-오프시켰을 경우에는 식 (5)의 조건을 만족하지 못하게 되어 그림 4에서 보는 바와 같이 잡음 지수가 3~5 GHz 대역에서 전체적으로 약 2 dB 만큼 악화되는 것을 알 수 있다.

그림 5는 두 RF 주파수(4 GHz와 4.01 GHz) 신호를 증폭기 입력단에 인가했을 때의 모의 선형 특성 결과를 보여준다. -15.5 dBm의 입력 IP_3 를 보여줄 수 있다. 표 1은 본 논문에서 제안하는 광대역 저잡음 증폭기와 기존에 발표된 노이즈 제거 구조를 사용한 광대역 저잡음 증폭기들과의 성능들을 비교하여 보여 주고 있다. 표 1에서 제안하는 증폭기의 차동 출력 신호 간의 크기 및 위상 차이는 모의 실험 결과, 3~5 GHz 대역에 걸쳐 각각 최대 0.5 dB와 3°를 보였다. 그러나, 이러한 크기와 위상 차이는 저잡음 증폭기 다음 단에 연결되는 하향 주파수 변환기를 통과하면서 하향 주파수 변환 후 보다 더 완벽한

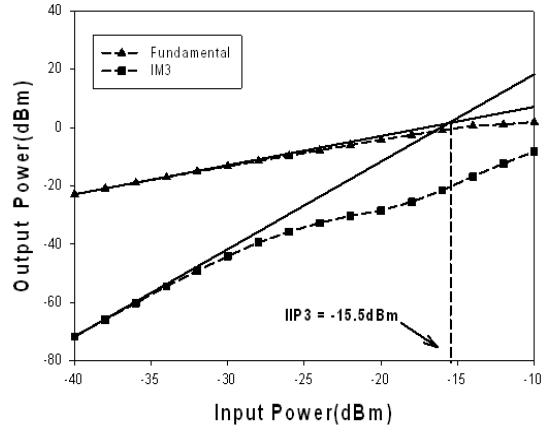


그림 5. IIP_3 모의 실험 결과
Fig. 5. Simulation result of an IIP_3 .

표 1. 성능 요약 및 비교 표

Table 1. Performances result of an IIP_3 .

	This work*	Reference [3]	Reference [5]	Reference [6]
RF Freq.(GHz)	3~5	1.2~11.9	0.2~5.2	0.1~6.5
Gain(dB)	17~20	9.7	13~15.6	19
NF(dB)	3.5~4	4.5-5.1	< 3.5	3~4.2
IIP_3 (dBm)	-15.5	-6.2	> 0	+1
S_{11} (dB)	< -12	< -11	< -10	< -10
Balun 기능	Yes	No	Yes	No
Magnitude imbalance(dB)	< 0.5	N/A	< 0.7	N/A
Phase imbalance (deg.)	< 3	N/A	< 2	N/A
DC power(mW)	7	20	14	12
Supply voltage(V)	1.8	1.8	1.2	1.8
CMOS Tech.	0.18- μm	0.18- μm	65-nm	0.13- μm

* Simulation results.

차동 신호로 변환되므로 크게 문제되지 않는다. 결론적으로 표 1에서 보는 바와 같이, 본 논문에서 제안하는 증폭기는 기존에 발표된 다른 광대역 증폭기 구조들보다 월등히 낮은 소모 전력을 가지면서 우수한 전력 이득 특성과 잡음 특성을 보임을 알 수 있다.

IV. 결 론

본 논문에서는 3~5 GHz의 동작 주파수를 가지는 0.18- μm CMOS 광대역 저잡음 증폭기를 제안하였

다. 제안하는 광대역 증폭기는 기본적으로 노이즈 제거 회로 구조를 채택하였으나, 저전력으로 낮은 잡음 지수와 높은 전력 이득을 얻기 위해서 기존의 광대역 증폭기에 널리 사용된 shunt-peaking 부하를 이용하지 않고, 2차 Chebyshev LC 필터를 광대역 부하로 구현하였다. 제안하는 광대역 저잡음 증폭기는 1.8 V의 공급 전원으로부터 단지 3.94 mA의 전류를 소모하며, 모의 실험 결과 3~5 GHz 대역에 걸쳐 -12.4 dB 이상의 입력 정합 특성, +17 dB 이상의 전력 이득, 4 dB 이하의 잡음 지수, 그리고 -15.5 dBm의 입력 선형 특성(IIP_3)를 가진다.

참 고 문 헌

[1] Chi-Feng Lin, "Design and implementation of the CMOS RF front-end circuit for WiMAX system application", 06 *Department of Communications Engineering Feng Chia University*, 2008.
 [2] Federico Bruccoleri, et al., "Wideband CMOS low-noise amplifier exploiting thermal noise canceling",

IEEE Journal of Solid-State Circuits, vol. 39, no. 2, pp. 275-282, Jun. 2008.
 [3] Chin-Fan Liao, Shen-Iuan Liu, "A broad noise-cancelling CMOS LNA for 3.1d~10.6-GHz UWB receivers", *IEEE Journal of Solid-State Circuits*, vol. 42, no. 2, pp. 329-339, Feb. 2007.
 [4] Jarkko Jussila, et al., "A 1.2-V Highly linear balanced noise-cancelling LNA in 0.13-um CMOS", *IEEE Journal of Solid-State Circuits*, vol. 43, no. 3, pp. 579-587, Mar. 2008.
 [5] S. C. Blaakmeer, E. A. M. Klumperink, D. M. W. Leenaerts, and B. Nauta, "Wideband balun-LNA with simultaneous output balancing, noise-canceling and distortion-canceling", *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 1341-1350, Jun. 2008.
 [6] S. Chehrazi, A. Mirzaei, R. Bagheri and A. A. Abidi, "A 6.5 GHz wideband CMOS low noise amplifier for multi-band use", in *Proceedings of the IEEE 2005 Custom Integrated Circuits Conference*, pp. 801-804, Sep. 2005.

신 상 운



2009년 2월: 동아대학교 전자공학과 (공학사)
 2009년 3월~현재: 동아대학교 전자공학과 석사과정
 [주 관심분야] UWB RF Front End, Low-power RF Circuits 등

김 창 완



1997년 2월: 경북대학교 전자공학과 (공학사)
 2003년 2월: 한국정보통신대학교 전자공학과 (공학석사)
 2006년 2월: 한국정보통신대학교 전자공학과 (공학박사)
 2006년 2월~2007년 2월: 한국전자통신연구원(ETRI) 선임연구원
 2007년 3월~현재: 동아대학교 전자공학과 조교수
 [주 관심분야] CMOS RFIC Circuits, Low-power RF Circuits 등

서 영 호



2009년 2월: 동아대학교 전자공학과 (공학사)
 2009년 3월~현재: 동아대학교 전자공학과 석사과정
 [주 관심분야] UWB RF Front End, Low-power RF Circuits 등