

PGA (Pin Grid Array) 패키지의 응력해석 및 Lead Pin 형상설계

조승현^{1,†} · 최진원²

¹동양미래대학 기계공학부, ²삼성전기 기판사업부

Stress Analysis and Lead Pin Shape Design in PGA (Pin Grid Array) Package

Seunghyun Cho^{1,†} and Jinwon Choi²

¹Dept. of Mechanical engineering, Dongyang Mirae University 62-160, Gocheok-Dong, Guro-gu, Seoul 152-714, Korea

²ACI Division, Samsung Electro-Mechanics Co., LTD 314, Maetan3-Dong, Yeongtong-Gu, Suwon, Gyeonggi-Do 443-743, Korea

(2011년 5월 30일 접수: 2011년 6월 14일 게재확정)

초 록: 솔더와 PCB Cu 패드와 솔더 경계면에서 발생하는 수직응력과 수평응력을 분석하여 PGA 패키지의 신뢰성 향상을 위한 리드핀의 형상설계에 대한 연구를 수행하였다. 이와 같은 연구를 위해 리드핀의 20° 각도 굽힘 변형과 50 μm 인장조건에서 4인자 3수준의 다구찌 최적설계와 유한요소해석을 수행하였다. 해석결과에 의하면 리드핀의 헤드곡면과 PCB Cu 패드가 접촉하는 폭(d2)이 솔더에서 발생하는 응력감소에 가장 큰 영향을 미치는 인자로 계산되었다. 또한, 다구찌법의 파라메타 설계에 의해 기존 리드핀 형상모델에 비해 약 18.7%의 등가 von Mises 응력이 감소하는 형상을 도출하였다. 한편, 최대 수직응력이 발생하는 위치가 PCB의 Cu 패드와 솔더의 외곽이 접촉하는 위치이고 최대 수평응력이 발생하는 위치가 SR 층과 솔더의 외곽표면이 접촉하는 위치임을 파악하여, PGA 패키지의 박리 불량은 솔더의 외곽부터 발생하여 내부로 진행될 것으로 예측되었다.

Abstract: Research about the geometry design of lead pin was carried based on the normal or shear stress of the interface between a lead pin and a PCB in terms of delamination failure. The taguchi method with four design factors of three levels and FEA(Finite element Analysis) are carried under 20° bending and 50 μm tension of lead pin. The contact width, d2, between head round and copper pad in PCB is the highest affection factor among design factors by analysis of contribution analysis. Equivalent von Mises stress of 18.7% reduction design is obtained by the parameter design of the taguchi method. Maximum normal stress occurred at contact position between solder outer surface and a Cu pad in PCB. Also, maximum shear stress happened at contact position between solder outer surface and SR layer of PCB. From these calculated results, delamination of the PGA package may be occurred from outer interface of solder to inner interface of solder.

Keywords: PGA (Pin Grid Array) Package, Reliability, Taguchi method, FEM

1. 서 론

PGA 패키지는 패키지 기판의 회로 구성에 제약이 작다는 장점으로 솔더에 의해 리드핀이 패키지 기판에 부착되는 기판으로 Fig. 1과 같은 T자 형태의 리드핀이 폭 넓게 사용되고 있다. 이러한 형태의 접속 구조는 패키지를 소±R에 결합시킬 때와 해체시킬 때 변형되고 이때 발생하는 응력에 의해 Pin이 패키지로부터 떨어지는 문제점이 발생된다. 이때 PGA 패키지의 리드핀의 신뢰성을 확보하기 위해서는 리드핀이 굽힘이 발생되고 패키지를 소켓에서 해체시킬 때와 같은 인장응력이 가해졌을 때 리드핀 뿐만 아니라 리드핀을 접속할 때 사용되는 솔더의 파손이 없어야 한다.

Fig. 2는 PGA 패키지에서 발생하는 대표적인 불량모드

4개를 보여주고 있다. 불량모드 1은 리드핀의 목부분이 끊어지는 불량이고, 불량모드 2는 PCB Cu 패드에서 박리가 발생하는 불량이며, 불량모드 3은 솔더에서 파손이 발생하는 것이며, 불량모드 4는 PCB의 SR 층이 박리되

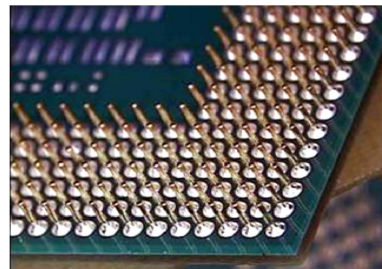


Fig. 1. PGA (Pin Grid Array) Package[Ref. SAMSUNG Electro-Mechanics.co.LTD].

[†]Corresponding author

E-mail: coolcsh@dongyang.ac.kr

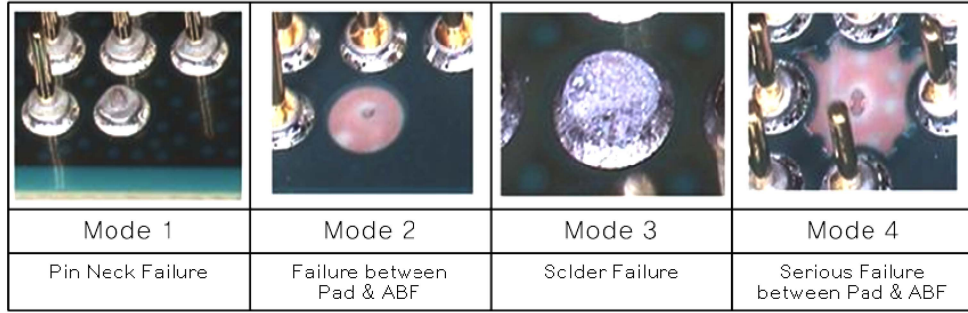


Fig. 2. Failure modes of the PGA package[Ref. SAMSUNG Electro-Mechanics.co.LTD].

는 불량이다. PGA 패키지의 신뢰성 향상을 위한 설계를 위해서 불량모드 1과 같이 리드핀이 단절되는 것이 가장 바람직하다고 할 수 있다. 기존의 연구결과에 의하면 굽힘과 인장과 같은 외력이 반복적으로 가해질 때 리드핀의 코너부에서 파손이 발생하고, 리드핀 헤드부와 솔더가 접촉 부분에서도 응력이 집중되어 신뢰성에 취약할 수 있음이 알려져 있다.^{1,4)}

PGA 패키지 기판 분야는 일본 등 기술선진국에서 오래전부터 형상설계, 공정 등에 관한 특허장벽 등으로 후발업체들의 진입을 막고 있기 때문에 후발업체들은 특허를 회피하며 동등수준 이상의 특성을 확보해야만 하는 어려움이 있다. 따라서, 본 논문에서는 다구찌법과 유한요소법을 사용하여 기존 특허를 회피하며 우수한 thermo-mechanical 거동특성을 나타내는 리드핀의 최적형상을 설계하였다.

2. 이론적 배경

2.1 유한요소 모델링

본 연구에서 적용한 PGA 패키지는 Fig. 3과 같이 6층의 회로층을 갖는 인쇄회로기판(solder resist, 회로층, 절연층, 코어층의 두께가 각각 20 μm, 20 μm, 30 μm, 400 μm)과 800°C로 열처리된 리드핀 및 솔더로 구성되어 있다. 리드핀과 솔더의 신뢰성 해석을 위한 평가조건은 CPU 디바이스를 생산하는 업체의 평가규격을 준용하여 Fig. 3에 표시한 바와 같이 리드핀을 20° 각도로 굽힘 변형시킨 후 50 μm 인장을 수행하였다. PGA 패키지는 2-D plain strain 요소를 사용하였고, 리드핀의 변형과 인장을 위한 그립(Grip)은 솔리드로 모델링하고 리드핀과 접촉을 하되 떨

어지지 않는 접촉모델을 사용하였다. 본 연구에서는 유한요소해석을 위해 범용 해석프로그램인 MSC/MENTAT와 MSC/MARC를 사용하였다.⁵⁾ Table 1은 본 연구에 사용된 재료의 기계적 특성값을 나타낸 표이다.

2.2 다구찌 강건설계

다구찌법은 잡음인자(Signal to noise)를 최소화하여 평균값을 목표치로 이동시킬 뿐만 아니라 산포를 관리할 수 있는 매우 유용한 설계방법론이다. SN 비는 잡음에 대한 신호의 비율로서 다구찌법에서는 SN 비가 최대가 되도록 설계하여 일관성 있는 제품을 생산하도록 하고 있다. 다구찌법은 목표값에 대한 성능특성의 산포를 손실을 야기하는 주요인자로 설명하고 이것을 망목특성, 망소특성, 망대특성과 같이 3종의 손실함수로 정량화하였다.⁶⁾ 본 논문에서는 PGA 패키지에서 발생하는 응력이 최소가 될수

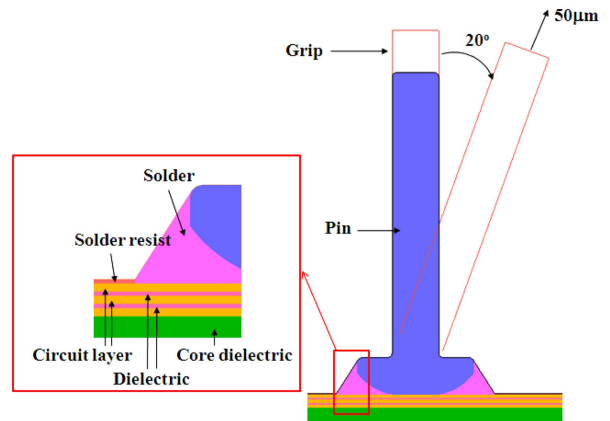


Fig. 3. FEA model and analysis condition

Table 1. Mechanical properties of PGA package substrate.

	Elastic modulus, GPa	Poisson's ratio	Thermal expansion coefficient, μm/m°C
Solder resist	3	0.3	49.5
Copper	30	0.343	16.5
Dielectric	4	0.3	60
Core layer	25	0.278	30
Solder (82Pb/10Sn/8Sb)	30.4	0.39	26
Lead pin	18	0.34	17

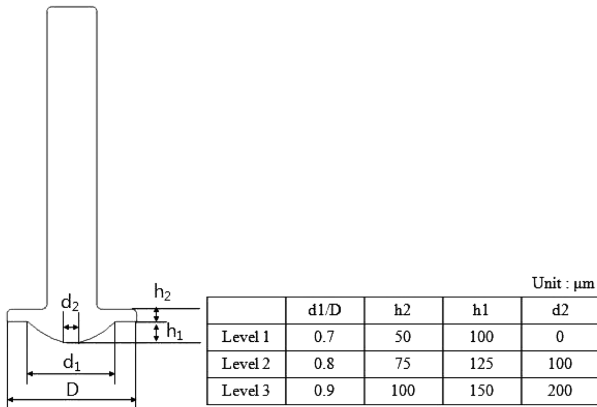


Fig. 4. Taguchi design factors and levels of PGA package.

록 신뢰성이 좋은 설계이므로 망소특성을 적용하였다. 본 논문에서는 솔더에서 발생하는 등가 von Mises 응력이 PGA 패키지의 신뢰성 향상을 위한 주요 지표로 분석되었다.

Fig. 4는 PGA 패키지용 리드핀의 형상설계 인자와 수준을 나타낸 그림으로서 다구찌 강건설계를 위해 4인자 (d1/D, h1, h2, d2)를 각 3수준으로 설계하였다. Table 2는 $L_9(3^4)$ 의 직교배열표로서 4인자 3수준의 완전실험 회수를 81회에서 9회로 축소하여 인자간 망소특성에 대한 SN 값

Table 2. Orthogonal array of $L_9(3^4)$.

	d1/D	h2	h1	d2
1	0.7	50	100	0
2	0.7	75	125	100
3	0.7	100	150	200
4	0.8	50	125	200
5	0.8	75	150	0
6	0.8	100	100	100
7	0.9	50	150	100
8	0.9	75	100	200
9	0.9	100	125	0

Table 3. Orthogonal array of $L_9(3^4)$.

	d1/D	h2	h1	d2	Equivalent von Mises stress, MPa	
					Lead pin	Solder
1	0.7	50	100	0	125.5	116.1
2	0.7	75	125	100	125.6	93.3
3	0.7	100	150	200	125.7	81.8
4	0.8	50	125	200	125.5	89.6
5	0.8	75	150	0	125.7	90.0
6	0.8	100	100	100	125.4	94.6
7	0.9	50	150	100	125.4	93.6
8	0.9	75	100	200	125.6	85.9
9	0.9	100	125	0	125.7	90.8

을 평가할 수 있도록 설계하였다.

3. 해석 결과 및 고찰

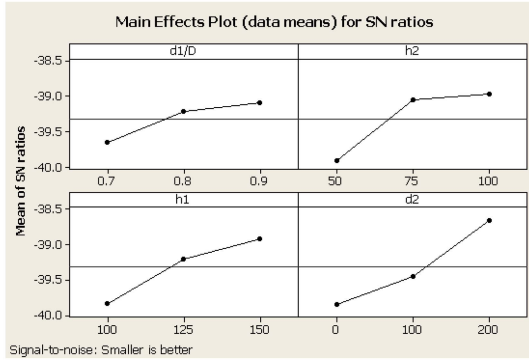
3.1. Pin 형상설계

Table 3은 리드핀을 20° 각도로 변형시킨 후 50 μm인장했을 때 PGA 패키지의 리드핀과 솔더에서 발생한 등가 von Mises 응력을 나타낸 표이다. 리드핀에서 발생한 응력은 약 125 MPa 근처에서 일정하게 발생하였는데 이것은 800°C로 열처리된 리드핀의 stress-strain 특성에 따른 것으로 리드핀이 변형되면서 125 MPa이상의 응력이 발생하면 응력은 더 이상 증가하지 않고 리드핀 전체로 응력분포가 확산되기 때문이다.¹⁾

반면, 솔더에서 발생한 등가 von Mises 응력은 PGA 패키지 설계인자의 영향을 크게 받아 모델 3번에서 가장 낮은 81.8 MPa이 발생하였다. 이와 같은 결과는 모델 3번이 PGA 패키지의 신뢰성 향상에 가장 유리하다는 것을 의미한다.

Fig. 5는 Table 3의 결과를 바탕으로 설계인자들의 기여도를 나타낸 그림이다. 결과에 따르면 d2가 영향도가 33.1%으로 가장 크게 발생하였고, h2가 26.1%으로 두번째로 영향도가 크며, d1/D의 영향도가 15.6%로 가장 낮게 발생하였다. 이와 같은 결과는 PGA의 신뢰성을 높이기 위한 형상디자인 변경에서 PCB의 Cu 패드와 리드핀의 접촉폭(d2)이 가장 중요하다는 것을 의미한다. 또한, PGA 패키지의 설계인자 d1/D, h1, h2, d2는 각각 0.9, 150 μm, 100 μm, 200 μm일 때 PGA 패키지에서 발생하는 응력을 최소화할 수 있음을 나타낸다. Fig. 6은 Fig. 5의 다구찌 최적설계 조건(d1/D, h1, h2, d2가 각각 0.9, 150 μm, 100 μm, 200 μm)을 반영하여 von Mises 응력을 계산한 결과이다. 리드핀의 응력은 기존 모델과 유사하며, 솔더에서 발생한 응력이 모델 3번의 81.8 MPa에서 79.7 MPa으로 1.8%감소하여 개선효과가 미미하였다.

Fig. 5-6의 결과를 바탕으로 솔더에서 발생한 응력을 감소시키기 위해 설계조건을 변경하였다. Fig. 5의 결과의



Level	d1/D	h2	h1	d2
1	-39.65	-39.92	-39.83	-39.85
2	-39.22	-39.05	-39.2	-39.45
3	-39.09	-38.98	-38.92	-38.66
Contribution ratio, %	15.6	26.1	25.3	33.1
Rank	4	2	3	1

Fig. 5. Main effects plot for SN ratios of the taguchi design factors.

의하면 d2와 h1은 증가할수록 응력감소효과가 클 것으로 분석되어 d2와 h1을 각각 300 μm, 175 μm으로 변경하였다. h2는 75~100 μm조건에서 영향도에 변화가 크지 않기 때문에 h1+h2의 총높이를 250 μm으로 맞추기 위해 75 μm으로 고정하였다. 이와 같은 설계변경 조건으로 응력을 재계산한 결과는 Fig. 7과 같다. 그림에서 표시

한 바와 같이 솔더에서 발생한 응력은 68.3 MPa으로 감소하여 Fig. 6의 결과에 비해 18.7%가 감소하여 개선효과가 매우 큰 것을 알 수 있다. 그러나, d2의 폭이 200 μm에서 300 μm으로 증가하면 솔더의 사용량이 감소하여 솔더의 접착력이 낮아짐으로써 리드핀과 PCB의 박리 불량 가능성이 높기 때문에 매우 신중한 접근이 요구된다.

3.2. 솔더 응력 해석

전자패키지에서 박리 불량을 예측하는 것은 매우 어렵다. 그것은 박리를 판단할 수 있는 정확한 지표(criteria factor)가 없다는 것이다. 기존 연구에서는 박리가 발생할 것으로 예상되는 경계면에서 발생하는 수직응력 또는 수평응력을 지표로 하여 관찰하여 박리의 가능성을 예상하고 있다. 또한, 수직응력과 수평응력을 동시에 고려하여 실험에 의해 계산된 응력값보다 크면 박리가 발생한다고 판단하기도 한다.⁷⁻⁸⁾ 그러나 전자 패키지와 같은 복잡한 구조의 경우 실험에 의한 정량적 평가는 매우 어렵기 때문에 본 논문과 같이 수치해석으로 가능성을 예측하는 것이 합리적이라고 판단된다. PGA 패키지에서 박리 불량은 솔더와 PCB Cu 패드 접착면과 솔더와 PCB SR 층 사이에서 발생할 것으로 예상된다. 따라서, 수직방향 박리 불량이 발생한다면 솔더와 Cu pad의 경계면에서 발생하고, 수평방향 박리 불량이 발생한다면 솔더와 SR층의 경

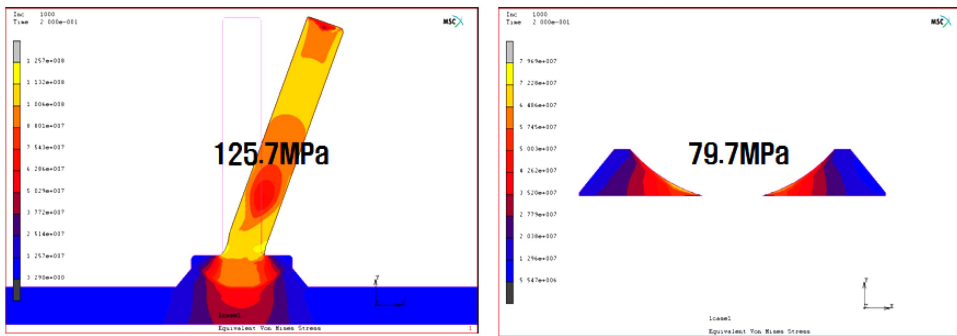


Fig. 6. Equivalent von Mises stress distribution on PGA package with geometry conditions(d1/D, h1, h2, d2 are 0.9, 150 μm, 100 μm, 200 μm respectively).

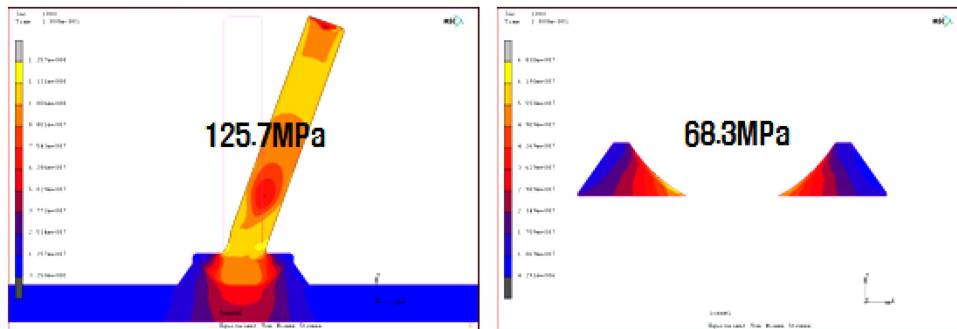


Fig. 7. Equivalent von Mises stress distribution on PGA package(geometry conditions are d1/D, h1, h2, d2 are 0.9, 175 μm, 75 μm, 300 μm respectively).

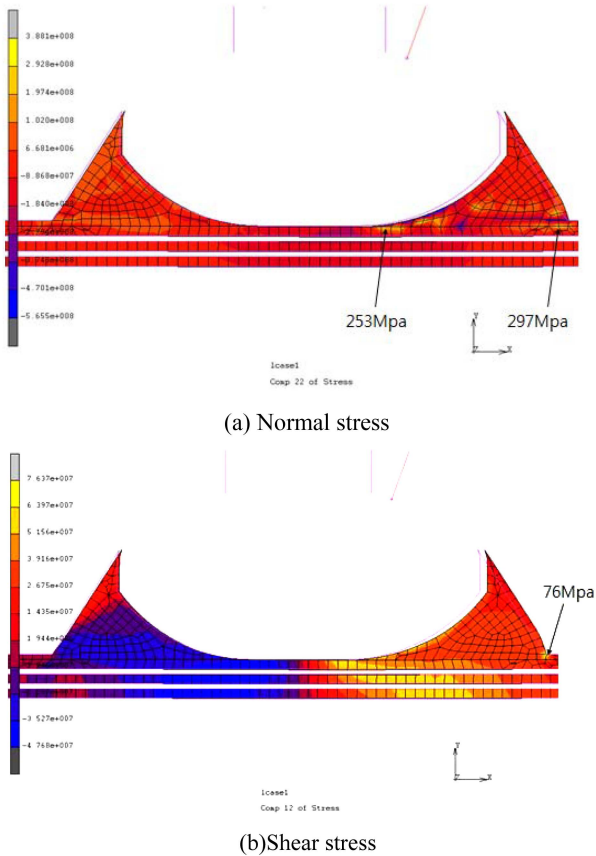


Fig. 8. Normal and shear stress distribution on the solder and the Cu pad in PCB.

계면에서 발생할 것으로 예상할 수 있다.

Fig. 8(a),(b)는 각각 PGA 패키지의 솔더와 PCB Cu 패드 및 SR 층에서 발생한 수직응력과 수평응력 분포를 나타낸 결과이다. Fig. 8(a)와 같이 최대 수직응력은 솔더의 외곽과 Cu 패드사이의 경계면에서 약 297 MPa이 발생하였고 리드핀의 헤드부 아랫면 위치에서 약 253 MPa이 발생하였다. 또한, Fig. 8(b)에서 보여주는 바와 같이 최대 수평응력은 솔더의 외곽과 SR 층의 경계면에서 약 76 MPa이 발생하였다. 수직, 수평방향 응력을 동시에 고려해볼 때 PGA 패키지는 솔더의 외곽이 가장 취약하며, 박리 불량은 솔더의 외곽부터 발생하여 내부로 진행될 것으로 예상된다.

4. 결 론

본 연구에서는 리드핀의 20° 각도 굽힘 변형과 50 μm 인장조건에서 PGA 패키지의 신뢰성 향상을 위해 4인자 3수준의 다구찌 최적설계와 유한요소법을 수행하여 솔더

의 증가 von Mises 응력을 계산하였다. 또한, PGA 패키지의 솔더와 PCB Cu 패드 또는 SR층의 계면에서 발생하는 수직응력과 수평응력을 분석하여 PGA 패키지의 최적화된 리드핀 형상을 도출하였다. 결과에 따르면 d2가 영향도가 33.1%으로 가장 크게 발생하였고, h2가 26.1%으로 두번째로 영향도가 크며, d1/D의 영향도가 15.6%로 가장 낮게 발생하였다. 또한, PGA 패키지의 설계인자 d1/D, h1, h2, d2는 각각 0.9, 150 μm, 100 μm, 200 μm일 때 PGA 패키지에서 발생하는 응력을 최소화할 수 있음을 나타낸다.

리드핀의 굽힘과 인장조건에 의해 발생하는 응력이 최소일 때 신뢰성이 향상되기 때문에 망소특성으로 수행된 다구찌 최적설계에 의하면 리드핀의 헤드꼭면과 PCB Cu 패드가 접촉하는 폭(d2)이 솔더에서 발생하는 응력감소에 가장 큰 영향을 미치는 것으로 분석되었다. d2의 폭이 증가하면 할수록 솔더의 응력이 감소하는 것으로 분석이 되었으나 d2의 폭이 증가하면 솔더의 사용량 부족으로 접착력이 감소하여 리드핀과 PCB의 박리 불량률이 증가할 가능성이 높기 때문에 실험에 의한 평가 및 재검증이 필요하다. 또한, 박리 불량률의 분석지표로 사용되는 수직응력과 수평응력 해석에 의하면 솔더의 외곽이 가장 취약하며, 박리 불량률은 솔더의 외곽부터 발생하여 내부로 진행될 것으로 예상되었다.

참고문헌

1. S.H. Cho, J.W. Choi, G.M. Park, "Pin Pull Characteristics of Pin Lead with Variation of Mechanical Properties of Pin Lead in PGA (Pin Grid Array) Package", J. Microelectron. Packag. Soc., 17(1), 9 (2010).
2. Mertol, A. "Application of the Taguchi method to chip scale package (CSP) design", IEEE Trans. Adv. Packag. 23, 266(2000).
3. B. Vandavelde, E. Beyne, G. Q. Zhang, Jo F. J. M. Caers, D. Vandepitte and M. Baelmans, "Solder parameter sensitivity for CSP life-time prediction using simulation-based optimization method", IEEE trans. on Electronics Packag. Manufact. 25, 318 (2002).
4. S.H. Cho and J.W. Choi, "Study on the Behavior Characteristics of Solder Balls for FCBGA Package", Met. Mater.-Int. 13, 4 (2007).
5. MSC.Marc User's Manual. MSC.software corporation, (2005)
6. 박성현, 현대실험계획법, 민영사, 2003.
7. M.G. Jimmy *et al.*, "Optimization of the thermomechanical reliability of a 65 nm Cu/low-k large-die flip chip package", IEEE Trans. On comp. and pack. Technol. Vol. 32 (2009)
8. R. R. Tummala, Fundamentals of Microsystems packaging, McGraw-Hill Professional (2001).