

정지궤도 위성통신 환경모의를 위한 100 MHz 대역폭의 위성링크 시뮬레이터 개발

Satellite Link Simulator Development in 100 MHz Bandwidth to Simulate Satellite Communication Environment in the Geostationary Orbit

이 성 재*
Sung-Jae Lee

김 용 선*
Yong-Sun Kim

한 태 균*
Tae-Kyun Han

Abstract

The transponder simulator designed to simulate the transponder of military satellite communication systems in the geostationary orbit is required to have time delay function, because of 250 ms delay time, when a radio wave transmits the distance of 36,000 km in free space.

But, it is very difficult to develop 250 ms time delay device in the transponder simulator of 100 MHz bandwidth, due to unstable operation of FPGA, loss of memory data for the high speed rate signal processing. Up to date, bandwidth of the time delay device is limited to 45 MHz bandwidth.

To solve this problem, we propose the new time delay techniques up to 100 MHz bandwidth without data loss. Proposed techniques are the low speed down scaling and high speed up scaling methods to read and write the external memory, and the matrix structure design of FPGA memory to treat data as high speed rate.

We developed the satellite link simulator in 100 MHz bandwidth using the proposed new time delay techniques, implemented to the transponder simulator and verified the function of 265 ms time delay device in 100 MHz bandwidth.

Keywords : Satellite Link Simulator(위성링크 시뮬레이터), Satellite Transponder(위성중계기), Propagation Time Delay (전파시간지연), DSP(디지털 신호처리), Memory Array(메모리 균)

1. 서 론

군 위성통신체계, 아나시스(ANASIS)는 우주부(위성

체 및 중계기)와 운용국(위성제어 및 망제어) 및 5종의 지상단말(고정용단말(FSE), 휴대용단말(MS), 수상함용 단말(NS), 차량용 SHF 단말(TS), 차량용 대형EHF단말(TE))이 상호 연동되어 통신망을 구성하는 군 지휘통제의 기반체계이다. 군 위성통신체계는 위성 발사 후 위성체와 중계기의 궤도시험(In Orbit Test)을 위해 6개월의 기간이 소요되며, 또한 5종의 단말, 운용국 및 위

† 2011년 7월 5일 접수~2011년 9월 16일 게재승인

* 국방과학연구소(ADD)

책임저자 : 이성재(pearl@add.re.kr)

성을 포함한 위성체계 개발시험 및 운용시험을 위해 18개월의 추가 시험 기간이 필요하게 되어 이 18개월 기간 동안 실질적으로 위성을 운용할 수 없게 된다. 따라서 위성의 운휴기간을 최소화 하고 검증되지 않은 장비에 의해 시험 중에 발생할 수 있는 위성중계기의 손상을 막기 위하여 위성중계기를 대신하여 지상에서 시험할 수 있는 지상 모의중계기 운용이 필수적이다.

이에 따라 국방과학연구소 전자시험장에 실제 위성링크를 모사할 수 있는 모의중계기를 개발하여 운용하게 되었으며, 이를 활용하여 군 위성통신체계의 단말 간 연동과 위성망 기능에 대한 시험평가를 수행하였다.

실 위성중계기의 경우 00 MHz의 대역폭을 갖는 다수의 수동중계기와 00 MHz 대역폭을 갖는 능동중계기가 탑재되어 있다. 지상의 위성단말과 우주의 통신위성 간 약 36,000 km 정도의 전송거리로 인해 약 125 ms의 (왕복 250 ms) 물리적 시간지연이 발생되기 때문에 지상의 모의중계기는 이러한 시간지연 기능을 보유하고 있어야 한다.

전자시험장에 설치된 모의중계기 내 시간지연장비(시간지연모사기)는 실 운용환경을 유사하게 모의하기 위하여 250 ms까지 시간지연이 가능한 해외장비를 도입하여 운용하였다.

그러나 도입된 장비는 DSP 신호처리 속도 제한에 따라 운용 대역폭이 45 MHz 밖에 구현하지 못함으로써, 실제 위성중계기의 대역폭(특히 능동중계기 대역폭 00 MHz)을 커버하지 못하여 지상장비의 운용 대역폭을 모뎀부에서 강제적으로 소프트웨어를 수정하여 45 MHz 대역폭으로 시험을 수행할 수 밖에 없었다. 따라서 실제 위성중계기 이상의 대역폭에서 시간지연이 가능한 모의중계기용 시간지연모사기 개발이 절대적으로 필요하게 되었다.

100 MHz의 광대역 시간지연모사기를 개발하기 위해서는 고속의 신호처리에 따라 발생하는 FPGA의 불안정 동작, DSP 내부의 하드웨어 불안정 동작, 메모리 인터페이스 데이터 손실, 주파수 클럭 속도 상승에 따른 발열 문제 등이 필연적으로 대두된다.

본 논문에서는 이러한 문제들을 해결하기 위하여 고속의 디지털 데이터를 외부 메모리에 읽기/쓰기를 하기 위한 저속 병렬화(Down Scaling) 및 고속 직렬화(Up Scaling) 기술과 메모리 구조를 매트릭스 구조로 설계하는 기술을 개발하였으며, 실제 시간지연모사기 제작

을 통하여 100 MHz 대역에서 265 ms까지 1 ms 간격으로 시간지연이 가능함을 확인하였다.

추가적으로 지상 이동형 단말의 이동속도에 따라 발생하는 도플러효과에 의한 주파수 천이를 모의할 도플러천이모사기와 강우정도에 따른 신호감쇠를 모의할 강우감쇠모사기를 추가하여 위성링크 시뮬레이터를 개발하였다.

2. 위성링크 시뮬레이터 시스템 구성

위성링크 시뮬레이터는 Fig. 1과 같이 크게 상하향 주파수변환부와 링크모사부로 구분되며, 상하향주파수변환부에는 주파수변환 뿐만아니라 도플러천이모사와 강우감쇠모사 기능을 포함하고 있으며, 링크모사부의 주요 기능은 시간지연모사이다. Table 1은 시스템 개발을 위한 설계 요구조건이다.

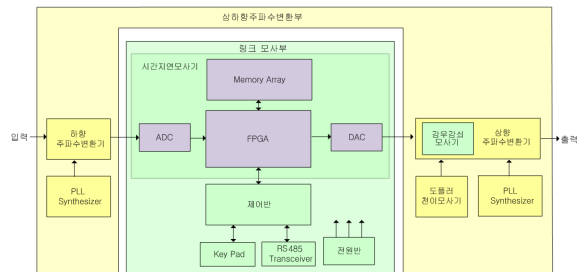


Fig. 1. 위성링크 시뮬레이터 구성도

3. 위성링크 시뮬레이터 시스템 설계

가. 상하향주파수변환부 설계

하향주파수 변환기는 950 MHz ~ 1450 MHz의 입력 신호를 링크모사부에서 디지털 신호처리를 용이하게 하기 위하여 13 ~ 113 MHz 대역으로 변환하는 기능을 수행한다. L대역 입력신호를 1st Mixer에서 2737 ~ 3137 MHz와 혼합하여 1737 ± 50 MHz로 하향변환하고, 2nd Mixer에서 2nd Local 1800 MHz와 혼합하여 13 ~ 113 MHz 대역으로 변환하도록 설계하였다. 또한 Spurious 및 Harmonic 성분을 억제하기 위해 Cavity 필터 및 LPF를 추가하였으며, IF 대역에서 증폭기의 2nd Harmonic 성분을 낮추기 위해 선형성 및 OIP3가 높은 MMIC 증폭기를 선정하여 설계에 반영하였다.

Table 1. 설계 요구조건

| 항목 | 규격 | |
|-------------------------------|--|---------------|
| 입/출력 주파수 | 950 MHz ~ 1450 MHz | |
| 운용 대역폭 | 100 MHz | |
| Center frequency | 1000 MHz ~ 1400 MHz (by 1 MHz step) | |
| Number of independent channel | 1 CH | |
| RF input power | -10 dBm max | |
| RF output power | -10 dBm ± 1 dB @ 0 dB attenuation | |
| In-band spurious suppression | >40 dBc | |
| Input/Output Return Loss | <-14 dB max @ 50ohm | |
| 비트 분해능 | 12 bit 이상 | |
| Delay | Range | 250 ms 이상 |
| | Resolution | 1 ms |
| Doppler Frequency | Range | ± 1 MHz |
| | Resolution | 1 Hz |
| Attenuation | Range | 0 dB to 40 dB |
| | Resolution | 1 dB |
| | Accuracy | ± 0.7 dB max. |

상향주파수 변환기는 링크모사부로부터 출력된 13 ~ 113 MHz 대역의 지연된 신호를 950 MHz ~ 1450 MHz의 원 신호로 주파수 변환하는 기능을 수행한다. 입력신호는 BPF를 거쳐 상하향주파수변환기 내의 여러 BPF 특성에 의한 edge 대역 주파수 특성을 보상하기 위해 LPF 형태의 equalizer를 설계하였다. 1st Mixer에서 1st Local 신호인 1800 MHz와 혼합하여 1737 ± 50 MHz로 상향변환하고, 2nd Local 신호인 2737 ~ 3137 MHz와 혼합하여 950 MHz ~ 1450 MHz의 L대역 신호를 출력한다. 1st Local 주파수는 DDS에 의해 발생된 주파수로 1 Hz 단위로 ± 1 MHz 범위 내에서 주파수 변환하는 도플러 기능을 수행하고, 경우감쇄를 모사하기 위해 Digital Attenuator를 구현하여 1 dB 단위로 40 dB까지 신호의 감쇄를 조정할 수 있도록 설계하였다. 또한, mono block filter는 상하향주파수변환기 내 2개의 cavity 필터에 의해 열화된 평탄도를 개

선하기 위해 추가하였다.

도플러천이모사기는 155 MHz 고정신호를 발생하는 부분과 DDS를 적용하여 35 MHz 신호를 발생하여 1 Hz 간격으로 변환 가능한 신호를 발생하는 부분 및 Mixer를 통해 190 MHz의 신호로 주파수 변환하는 부분으로 나누어 설계하였다.

그 외에 1800 MHz와 2737 ~ 3137 MHz의 상하향 주파수변환기용 Local 주파수를 발생시키는 PLL Synthesizer를 설계하였다.

주요 구성품인 하향주파수변환기, 상향주파수변환기 및 도플러천이모사기의 블록도는 Fig. 2, Fig. 3 및 Fig. 4와 같다.

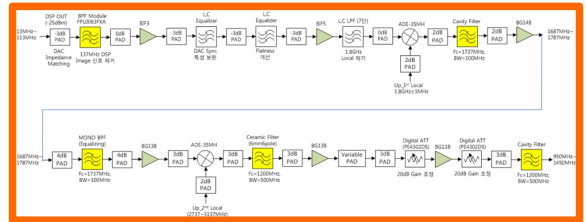


Fig. 2. 하향주파수 변환기 블록도

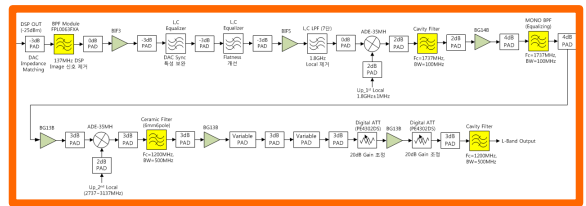


Fig. 3. 상향주파수 변환기 블록도

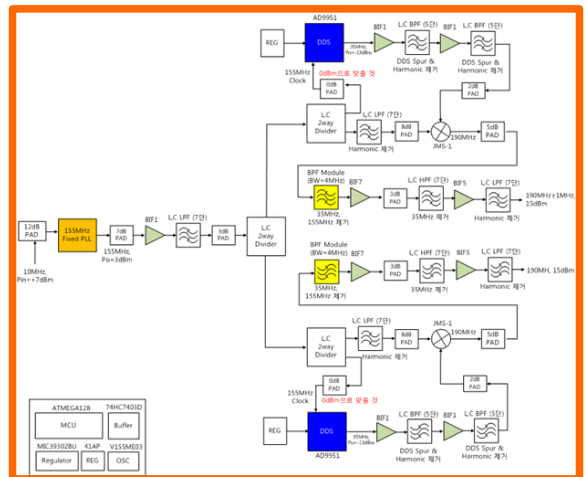


Fig. 4. 도플러천이모사기 블록도

나. 링크모사부 설계

링크모사부는 아날로그 신호와 디지털 신호를 변환해주는 ADC와 DAC 부분, 시간지연 모사를 위한 Memory Array 부분 및 LCD 모듈, Key pad 조작, PLL 설정, 클럭분배, 강우감쇠모사를 위한 Attenuation 설정 부분 등으로 구성되며, 블록도는 Fig. 5와 같고 설계 요구조건은 Table 2와 같다. 본 논문의 가장 핵심인 100 MHz의 광대역 시간지연모사 기능에 대한 설계는 다음과 같다.

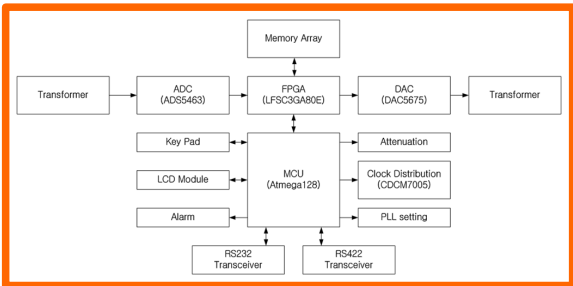


Fig. 5. 링크모사부 블록도

Table 2. 링크모사부 설계 요구조건

| 항 목 | 규 격 | |
|------------------------------|------------------|-----------|
| 입/출력 주파수 | 13 MHz ~ 113 MHz | |
| 운용 대역폭 | 100 MHz | |
| Center frequency | 63 MHz | |
| Gain | -10 dB ± 2 dB | |
| In-band spurious suppression | >40 dBc | |
| 비트 분해능 | 14 bit | |
| Delay | Range | 250 ms 이상 |
| | Resolution | 1 ms |

100 MHz의 광대역에서 시간을 지연시키기 위해서는 넓은 대역폭에 대한 고속의 샘플링 주파수가 요구되고, 이를 처리하는 고속의 메모리가 필요하게 된다. 그러나 고속의 신호처리를 위해서는 시스템 클럭을 높여야하고 이는 소비 전력의 증가로 인한 발열 현상, FPGA 또는 DSP 내부 H/W 불안정 동작, 메모리 인터페이스 데이터 손실 등의 문제를 야기시킬 수 있다. 이러한 문제를 해결하기 위하여 고속의 디지털 데이터를 저속으로 병렬화 하는 다운 스케일링(Down Scaling)

기술과 병렬화된 저속의 데이터를 고속으로 변환해주는 업 스케일링(Up Scaling) 기술을 개발하였다.

또한, 일반적으로 시간지연 설계는 FPGA 내부 로직을 메모리로 할당하여 설계하거나 샘플링 주파수와 같은 외부 메모리를 직렬 구조로 설계하는데, 시간지연이 길거나 외부 메모리 속도보다 빠른 샘플링 주파수가 요구되는 광대역 시스템에서는 적용할 수 없게 된다. 이러한 문제를 해결하기 위하여 메모리 군(Array) 구조를 행렬(Matrix)구조로 설계함으로써 100 MHz의 광대역에서 데이터 손실 없이 시간지연이 가능하도록 설계하였다.

광대역 시스템에서 시간지연을 모사하기 위하여 A/D 변환기에서 지연하고자하는 입력신호를 디지털 신호로 변환하고 이를 메모리에서 FIFO(First-In First-Out)로 구현함으로써 시간 지연을 실행 후 D/A 변환기로 출력하게 된다. 디지털 처리부 입력 신호 주파수는 S/N비 성능이 가장 우수한 1차 주파수 성분을 사용한다(Fig. 6 참조). Fig. 7은 시간지연을 위한 주요 기능블록도이다.

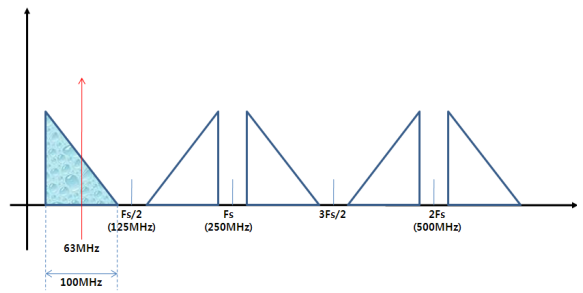


Fig. 6. Spectrum Allocation

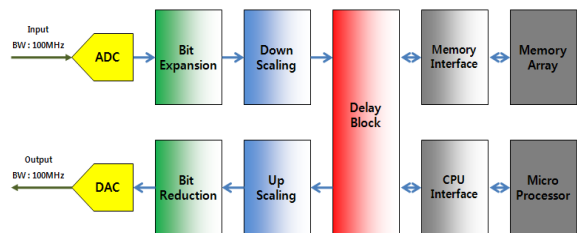


Fig. 7. 시간지연 주요 기능블록도

메모리를 이용하여 시간지연을 실행하기 위해서는 FIFO를 구현하여야 하는데 이를 위하여 RAM(Random Access Memory)을 이용할 수 있으며, 이때 메모리 인터페이스를 동작시키는 방법으로서는 Fig. 8과 같이 원

하는 지연 샘플 수만큼 메모리의 주소를 증가시키며 메모리의 데이터를 먼저 읽고 같은 주소에 A/D 변환기로 입력되는 데이터를 쓰고 다음 주소번지로 이동하며 주소가 지연 샘플 수와 같게 되면 다시 0x0000 번지부터 증가시킴으로써 원하는 시간만큼 지연 동작을 실행하게 된다.

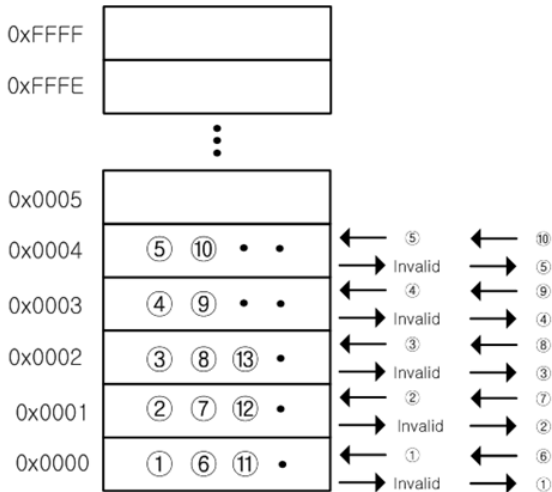


Fig. 8. 메모리 인터페이스 동작도

100 MHz급 시간지연모사기에서 메모리의 성능은 A/D 변환기의 샘플링 주파수와 같은 속도의 메모리가 필요할 뿐 아니라 데이터의 읽기/쓰기의 동기가 1 Cycle에 정확하게 동작되어야 하므로 광대역 시스템의 시간지연 기능 구현 시 A/D 변환기의 샘플링 주파수가 높아지고 이에 따라 고속의 메모리 장치가 필요하게 되며 이는 A/D 변환기의 최대 샘플링 주파수 속도에 한계 요인이 될 수 있고, 고속의 메모리 인터페이스는 데이터 손실을 야기 시킬 수 있다. 이러한 문제를 해결하기 위하여 고속의 디지털 데이터를 보다 낮은 속도의 디지털 데이터로 병렬화하는 저속 병렬화(Down Scaling)와 병렬화된 디지털 데이터를 다시 고속의 데이터로 복원하는 고속 직렬화(Up Scaling) 기법을 적용하였다.

저속 병렬화(Down Scaling) 기법은 16 bit의 250 MHz로 샘플링된 고속의 A/D 변환기 출력 데이터를 병렬화함으로써 128 bit의 31.25 MHz인 저속의 데이터로 변환해 주는 기능을 한다. Down Scaling의 동작은 16 bit의 250 MHz 데이터를 32 bit의 125 MHz 데이터로 변환하고 32 bit의 125 MHz 데이터를 64 bit의 62.5

MHz로, 마지막으로 64 bit의 62.5 MHz 데이터를 128 bit의 31.25 MHz 데이터로 3차에 거쳐 변환함으로써 Down Scaling이 동작되게 된다.

저속 병렬화(Down Scaling)를 하는 이유는 첫째, 지연을 실행하기 위해서 사용되는 외부 메모리는 최고 100 MHz까지 데이터의 읽기/쓰기가 가능한 데, A/D 변환기에서 250 MHz 샘플링 처리된 데이터는 외부 메모리 속도보다 빠르므로 곧바로 외부 메모리에 저장이 불가능하다. 이에 따라 Down Scaling으로 250 MHz 데이터를 31.25MHz로 속도를 낮추어 읽기/쓰기 동작을 실행함으로써 저속의 외부 메모리와 안정적인 인터페이스를 유지할 수 있다. 둘째, A/D 변환기에서 출력되는 데이터는 14 bit의 병렬 데이터로 고속의 데이터 전송에서는 FPGA 내부 라우팅 시 패턴의 길이에 따라 데이터가 손실될 수 있으므로 Down Scaling을 통해 A/D 변환기 출력 데이터를 저속으로 낮춤으로써 고속 데이터 전송 시 데이터가 손실되는 문제를 해결해 줄 수 있다. 셋째, FPGA는 내부에서 동작되는 시스템 클럭의 속도에 따라 소비 전력이 영향을 주는데, Down Scaling을 통해서 250 MHz의 데이터를 31.25 MHz로 속도를 낮춤으로써 FPGA 소비전력이 개선되며 이는 곧 위성링크 시뮬레이터가 장시간 안정적으로 동작할 수 있게 하는 효과가 있다.

고속 직렬화(Up Scaling)는 저속 병렬화(Down Scaling) 역순으로 동작하며, 저속 병렬화 및 고속 직렬화에 대한 기능 블록도는 Fig. 9와 같다.

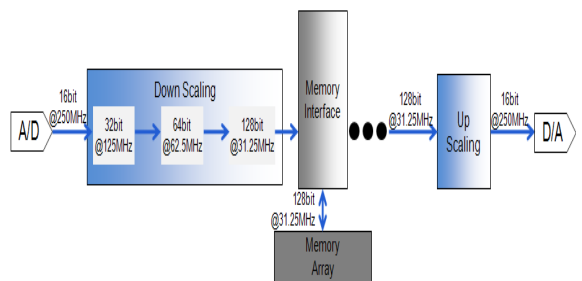


Fig. 9. 저속 병렬화 및 고속 직렬화 기능 블록도

100 MHz급 시간지연모사기에서 실제 시간지연 처리는 메모리 군(Memory Array)에서 수행하는데 고속의 데이터를 원하는 시간만큼 지연시키기 위해 행렬(Matrix) 구조 기법을 적용하여 메모리 군을 설계하였다.

본 논문에 적용된 Memory Array는 16 Mbit SRAM이 8x8로 구성되며 블록도는 Fig. 10과 같다.

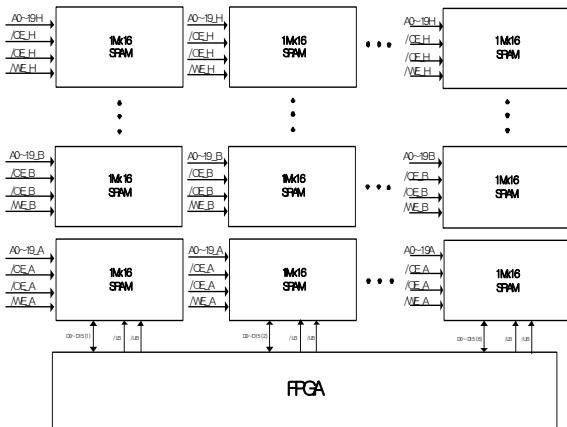


Fig. 10. Memory Array 블록도

Memory Array를 8×8로 구성한 이유는 Down Scaling 에서 출력되는 128 bit 데이터를 실시간으로 저장하기 위해서는 16 bit SRAM을 가로로 8개 연결함으로써 128 bit 데이터를 한 번에 읽기/쓰기가 가능하게 된다. 이때 가로로 배열된 8개의 16 Mbit SRAM에서 처리할 수 있는 지연 시간은 약 33.5 ms로 이는 128 bit의 31.25 MHz 데이터 한 개의 지연 시간은 32 ns이므로 2^{20} 의 용량을 가지는 SRAM에서 최대 지연시간은 32×2^{20} 이 된다. 따라서 위성지연모사기의 요구규격인 250 ms를 처리하기 위해서는 가로로 배열된 8개의 SRAM을 다시 세로로 8개 배열함으로써 8×8의 행렬(Matrix) 구조를 가지게 되고 이때 최대지연 시간은 $33.5 \times 8 = 268$ ms로 요구조건인 250 ms를 만족한다.

4. 시험결과

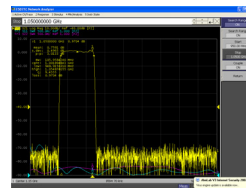
설계결과를 통해 제작된 위성링크 시뮬레이터는 19 인치 랙형으로 전면판 형상은 Fig. 11과 같다. 제작된 장비의 기능 및 성능 시험결과가 설계 요구조건을 만족함을 확인하였으며 이에 대한 주요 시험결과를 Table 3 및 Fig. 12 ~ Fig. 17에 나타내었다.



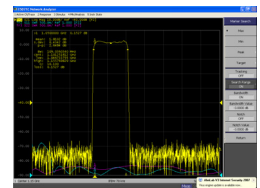
Fig. 11. 제작 형상

Table 3. 시험결과

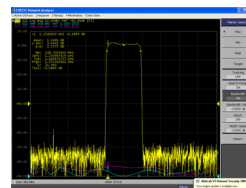
| 항 목 | 시험결과 | |
|-------------------------------|-------------------------------------|---------------|
| 입/출력 주파수 | 950 MHz ~ 1450 MHz | |
| 운용 대역폭 | 105.9 MHz 이상 | |
| Center frequency | 1000 MHz ~ 1400 MHz (by 1 MHz step) | |
| Number of independent channel | 1 CH | |
| RF input power | -9.5 dBm 이상 | |
| RF output power | -10 dBm ± 0.5 dB @ 0 dB attenuation | |
| In-band spurious suppression | 50.58 dBc 이상 | |
| Input/Output Return Loss | <-19.42 dB @50 ohm | |
| 비트 분해능 | 14 bit | |
| Delay | Range | 265 ms |
| | Resolution | 1 ms |
| Doppler Frequency | Range | ± 1 MHz |
| | Resolution | 1 Hz |
| Attenuation | Range | 0 dB to 40 dB |
| | Resolution | 1 dB |
| | Accuracy | ± 0.5 dB 이하 |



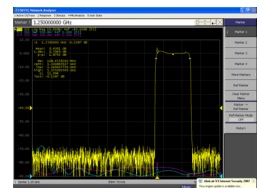
(block 1)



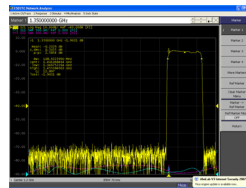
(block 2)



(block 3)



(block 4)



(block 5)

Fig. 12. 운용대역폭 측정 결과

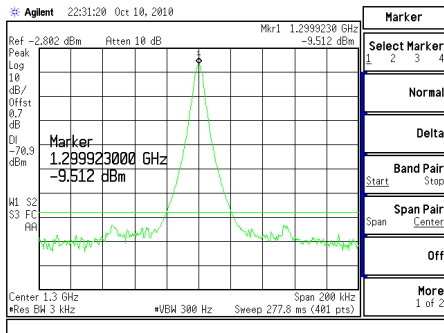
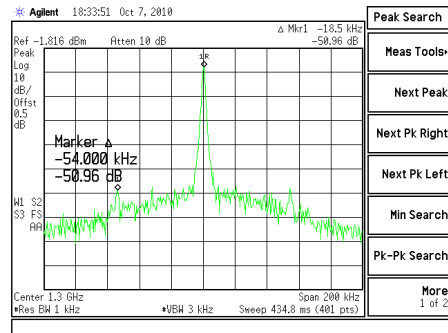


Fig. 13. RF Input Power 측정 결과 (@block 2)



협대역 200 kHz (@block 4)

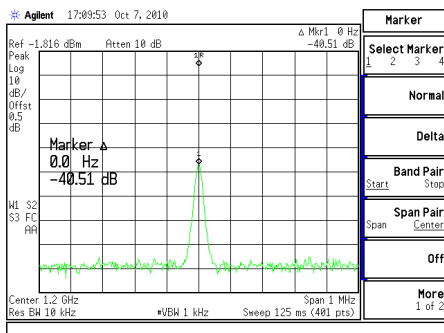
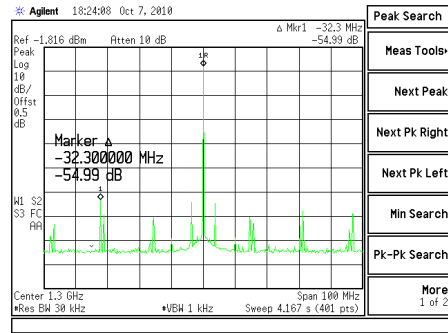


Fig. 14. 감쇄기능 측정 결과 (Atten : 40 dB)



광대역 100 MHz (@block 4)
Fig. 16. Spurious 측정 결과

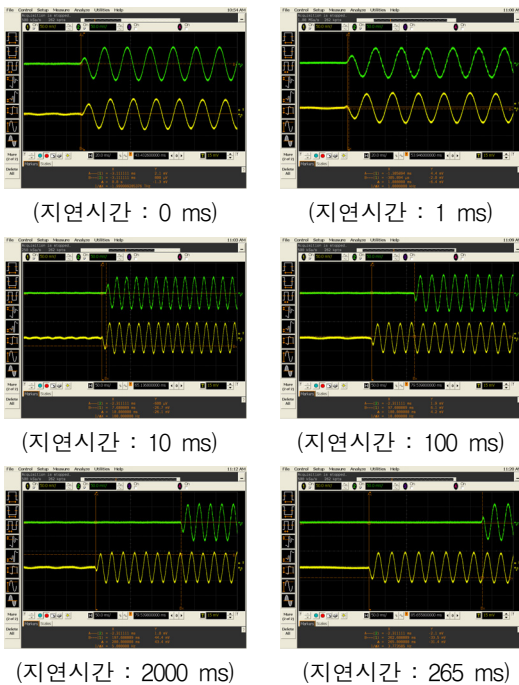


Fig. 15. 시간지연 측정 결과

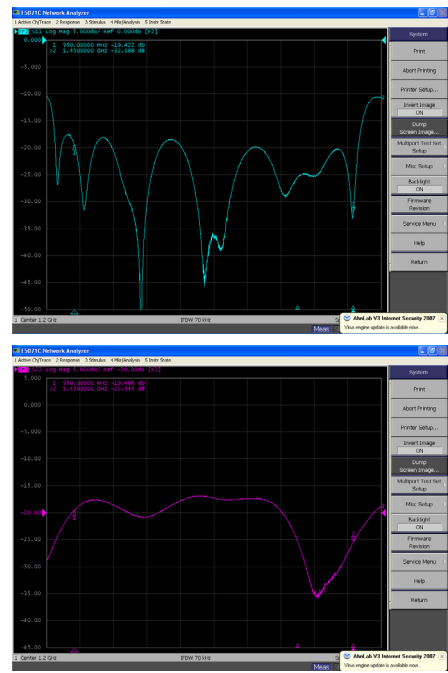


Fig. 17. Input/Output Return Loss 측정 결과

또한, 위성링크 시뮬레이터를 모의중계기에 장착하여 위성망 연동시험(Fig. 18 참조)을 수행하여 정상적으로 동작함을 확인하였으며, 또한 양산용 위성단말의 품질보증시험도 정상적으로 수행하였다.

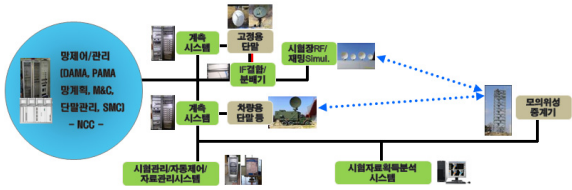
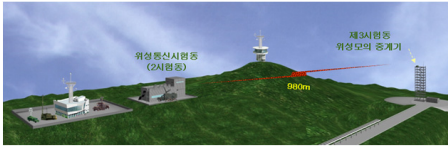


Fig. 18. 위성망 연동시험 구성도

5. 결론

가장 핵심 기능인 100 MHz의 광대역 시간지연모사 기능을 구현 시 고속 신호처리에 따라 발생하는 FPGA의 불안정 동작, DSP 내부의 하드웨어 불안정 동작, 메모리 인터페이스 데이터 손실, 주파수 클럭 속도 상승에 따른 발열 문제 등이 필연적으로 대두되는데 본 논문에서는 고속의 디지털 데이터를 외부 메모리에 읽기/쓰기를 하기 위한 저속 병렬화(Down Scaling) 및 고속 직렬화(Up Scaling) 기법과 외부 메모리 구조를 매

트릭스 구조로 설계하는 기법을 개발하여 이러한 문제들을 해결하였다.

또한, 이러한 시간지연 기능을 구현하기 위해 L대역 신호를 IF 대역으로 하향변환하고, 디지털적으로 시간지연된 신호를 다시 상향변환 하는 주파수변환 기능과 강우감쇠 및 도플러천이 모사기능을 수행하는 상하향 주파수변환기를 설계/제작하였다.

제작된 위성링크 시뮬레이터를 자체 시험하여 설계 요구조건을 만족함을 확인하였으며, 또한 위성 모의중계기에 장착하여 기능 및 성능을 확인하였다.

국내 최초로 개발된 위성링크 시뮬레이터는 해외 유사장비 대비 동등 이상의 기능과 성능으로 현재 ANASIS 체계 양산 품질보증시험에 적용하여 운용되고 있으며, 차기 군위성통신체계에도 활용도가 매우 클 것으로 판단된다.

References

- [1] 김용선, 이창해, 이준호, “모의 중계기용 시간지연 모사기 설계 및 제작”, 국방과학연구소, ADDR-525-090594, 2009.
- [2] 김용선, 이창해, 서학금, 최병오, 이준호, “정지궤도 위성통신 환경모사를 위한 100 MHz급 시간지연 기술 개발”, 군사과학기술학회 종합학술대회, 2009.
- [3] 이성재, 김용선, 이준호, “위성링크 시뮬레이터 설계 및 제작”, 국방과학연구소, ADDR-414-101456, 2010.