

논문 2011-48SP-6-3

# 3DTV 액티브 셔터 안경을 위한 저전력 이산-사건 SoC

## ( Low-Power Discrete-Event SoC for 3DTV Active Shutter Glasses )

박대진\*, 곽승호\*\*\*, 김창민\*\*\*, 김탁곤\*\*

( Daejin Park, Sungho Kwak, Chang Min Kim, and Tag Gon Kim )

### 요 약

액티브 셔터 안경 기반 3DTV와 패시브 편광 필터 안경 방식 3DTV의 화질 비교는 최근에 이슈로 대두되고 있다. 액티브 셔터 안경 방식 기술이 Full-HD 3D영상 구현이 가능함에도 불구하고 스테레오 영상에 대한 동기 신호의 전송, 수신, 및 재구성 과정 중에 내부/외부 잡음 환경에 영향을 받아 3D안경에 탑재된 동기화 프로세서 칩의 오동작으로 영상 플리커가 자주 발생한다. 이러한 문제를 극복하기 위해 동기 신호에 실리는 잡음의 제거 및 오차 보정을 추가적으로 수행하는 과정이 필요하며 이로 인해 추가로 소모되는 전력이 증가하고 있다. 본 논문에서는 3DTV 액티브 셔터 안경을 위한 동기 신호 처리 프로세서를 구현하는 저 전력 이산 사건 (Discrete-Event) 기반 SoC (DE-SoC) 칩을 제안한다. 이를 위해 이벤트 적재기와 소수점 타이머 하드웨어를 구현한다. 제안한 기법을 통해 실시간으로 수신되는 동기 수신 회로 구동을 최대한 지연시킴으로써 전력을 소모하는 하드웨어를 부분을 최소화 하며 소수점 타이머를 이용하여 동기 신호 수신 부를 완전히 정지시킨 상태에서 일정 시간 동기를 유지하는 특성을 이용하여 무신 동기 수신부의 전력소모를 줄이고 외부 잡음의 영향을 완벽하게 차단할 수 있다. 제안한 기법을 위해 약 15,000개의 로직 게이트와 1Kbytes SRAM 버퍼를 추가로 사용한다. 그럼에도 불구하고 전력 소모는 기존 대비 약 20%이하로 떨어질 뿐만 아니라 TV로부터 오는 동기 신호 없이도 2시간동안 1%정도의 동기 오차를 보여준다.

### Abstract

Debates concerning the competitive edge of leading 3DTV technology of the shutter glasses (SG) 3D and the film-type patterned retarder (FPR) are flaring up. Although SG technology enables Full-HD 3D vision, it requires complex systems including the sync transmitter (emitter), the sync processor chip, and the LCD lens in the active shutter glasses. In addition, the transferred sync-signal is easily affected by the external noise and a 3DTV viewer may feel flicker-effect caused by cross-talk of the left and right image. The operating current of the sync processor in the 3DTV active shutter glasses is gradually increasing to compensate the sync reconstruction error. The proposed chip is a low-power hardware sync processor based discrete-event SoC(system on a chip) designed specifically for the 3DTV active shutter glasses. This processor implements the newly designed power-saving techniques targeted for low-power operation in a noisy environment between 3DTV and the active shutter glasses. This design includes a hardware pre-processor based on a universal edge tracer and provides a perfect sync reconstruction based on a floating-point timer to advance the prior commercial 3DTV shutter glasses in terms of their power consumption. These two techniques enable an accurate sync reconstruction in the slow clock frequency of the synchronization timer and reduce the power consumption to less than about a maximum of 20% compared with other major commercial processors. This article describes the system's architecture and the details of the proposed techniques, also identifying the key concepts and functions.

**Keywords :** Stereo vision, 3D visualization, low-power design, synchronization failure.

## I. 서 론

3차원 입체 영상에 대한 열풍은 가정용 3DTV의 새로운 시장 요구를 가져오고 있다. 3차원 입체 영상 효과를 구현하는 많은 기술이 제안되어 왔으나 삼성, LG, 소니를 비롯한 대부분의 TV 가전 제조업체들은 제조 비용과 구현의 용이성을 고려해서 3D 안경을 이용한

\* 학생회원-교신저자, \*\* 평생회원, 한국과학기술원 전기 및 전자 공학과  
(Department of Electrical Engineering, Korea Advanced Institute of Science and Technology)  
\*\*\* 정회원, 어보브반도체  
(ABOV Semiconductor co., Ltd)  
접수일자: 2011년9월2일, 수정완료일: 2011년10월4일

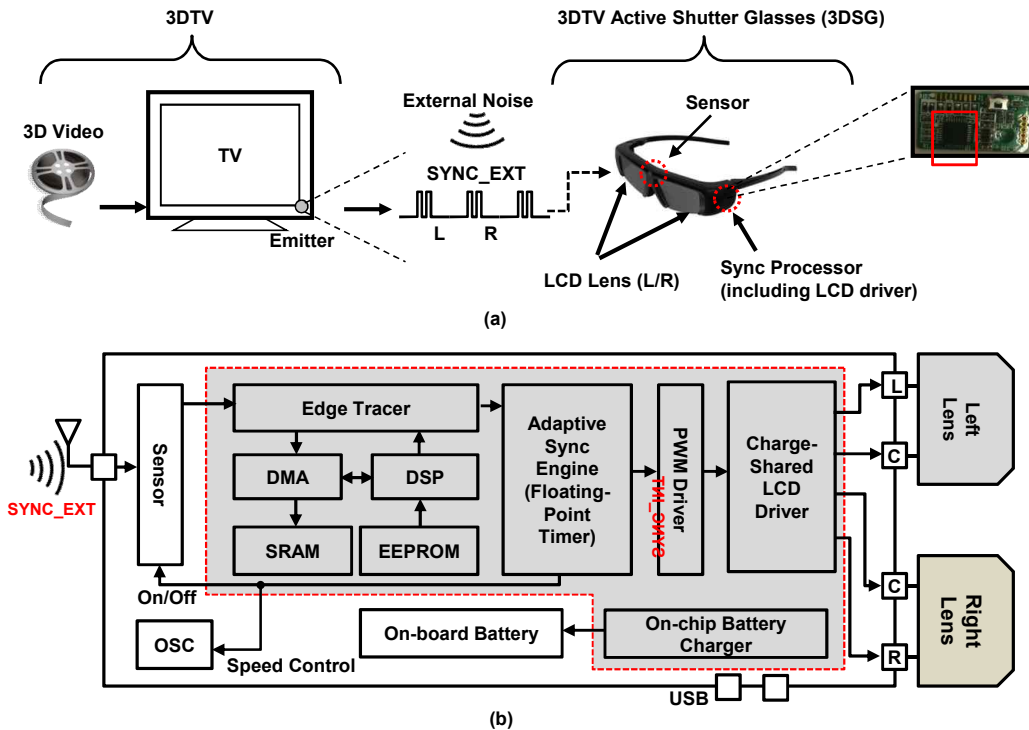


그림 1. (a) 액티브 셔터 안경(SG) 기반 3DTV 시스템, (b) 3DSG를 위한 동기신호 처리 프로세서,  
 Fig. 1. (a) 3DTV system using active shutter glasses (3DSG),  
 (b) Proposed sync processor for 3DTV active shutter glasses.

스테레오스코픽(stereoscopic) 방식을 사용하여 입체 효과를 구현하고 있다<sup>[1~3]</sup>.

3D안경을 사용하는 스테레오스코픽 입체 구현에는 패시브 필름을 사용하는 공간 분할, 액티브 셔터 안경을 사용하는 시간 분할의 두 가지 방식이 존재한다. 공간 분할 방식은 왼쪽 영상, 오른쪽 영상을 세로축 해상도로 분리하여 1080p가 아닌 540p의 해상도로 출력하므로 Full-HD 영상 구현이 불가능하며 패널에 물리적인 편광 필름을 부착하기에 밝기가 떨어진다. 이로 인해 TV의 제조비용이 추가되지만 고가의 전자회로로 구성된 3D안경이 필요 없고, 충전을 할 필요가 없으며 외부 잡음에 의해 영상이 중첩되어 보이는 크로스톡 효과도 거의 없는 자연스런 영상을 구현하는 장점이 있다.

반면 시간 축 분할 방식은 왼쪽, 오른쪽 영상을 시간 축으로 번갈아가면서 디스플레이 하는 방식이다. 그림 1의(a)와 같이 각 영상마다 동기 신호를 생성하여 3D안경으로 무선 전송해야 하며, 3D안경은 이 신호를 수신하여 왼쪽, 오른쪽 각각의 영상 타이밍에 맞추어 액티브 셔터(Active Shutter)라고 불리는 전기적 on/off 가능한 LCD 렌즈를 독립적으로 구동함으로써 사용자의 눈에 왼쪽, 오른쪽 영상이 물리적으로 분리되어 인식되

는 방식이다<sup>[4]</sup>.

이러한 시간 축 영상 분리 방식을 위해서 3D안경으로 영상 동기 신호를 보내는 에미터(emitter)를 TV전면에 장착해야 하고 3D안경은 이러한 동기신호를 수신하는 칩 기술이 필요하며 안경 렌즈를 전기적으로 on/off 시키는 LCD 드라이버 기술이 필요하다<sup>[5]</sup>. 편광 필름 방식에 비해 셔터 기반 3D안경 기술을 구현하기 위해 복잡하고 고가의 전자회로 및 반도체 칩 기술이 필요하다.

액티브 셔터 기반의 3D안경 및 3DTV 기술이 Full-HD 입체 영상을 제공함에도 불구하고 최근 편광 필터를 사용하는 공간 분할 기술과 비교하여 사용자가 느끼는 화질 성능에 대한 비교가 되고 있다. 그림 2에서 표현한 것처럼 액티브 셔터 방식의 3D안경에 사용되는 동기 신호 수신 칩이 내부/외부 환경에 의해 동기 정보가 간섭을 받아 동기가 손실 될 경우 패널에 출력되는 영상과 3D안경의 왼쪽, 오른쪽 렌즈 on/off의 타이밍이 정확하게 일치하지 않아 발생하는 크로스톡에 의해 눈의 피로가 발생하게 된다<sup>[6~8]</sup>.

기존의 셔터 안경용 칩 기술은 액티브 셔터 방식의 3DTV에서 발생하는 크로스톡의 문제를 극복하기 위해

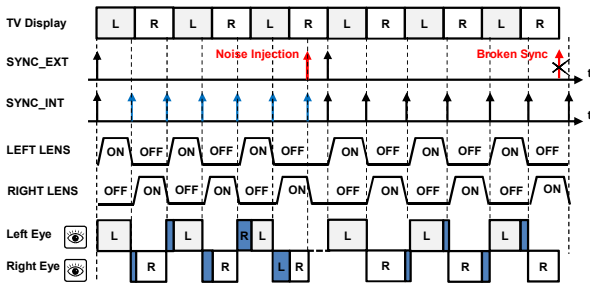


그림 2. 동기 정보 손실에 의한 cross-talk의 발생과 스테레오스코픽 3D 영상의 깜빡임 현상  
 Fig. 2. Stereoscopic 3D vision flicker effect caused by cross-talk.

동기 송, 수신 시 잡음 필터링 및 동기 신호를 보정<sup>[9-10]</sup> 하는 고성능 칩을 이용하여 소프트웨어적으로 처리해왔다. 심지어 최근에는 동기 정보 송, 수신 시 발생하는 잡음문제를 블루투스 기술을 사용하는 고가의 베이스 밴드 전용 칩을 사용하여 극복하고 있다. 이로 인해 3D 안경에서 소모되는 전력이 계속 증가하고 있으며 더 큰 배터리를 장착해야 하고 3D안경의 제조비용이 증가되고 있다.

본 논문에서는 이러한 크로스톡을 영향을 최소화하기 위한 3D영상 동기신호 수신 및 잡음 처리를 위한 저전력 칩을 구현하기 위해 이산-사건 시스템 (Discrete-Event System)<sup>[11]</sup> (이하 DE) 기반 SoC (DE-SoC)를 제안한다. DE-SoC를 위해 이산 사건 시스템 형태로 칩의 일부가 동작하도록 이벤트 적재기 (event tracer)를 구현하였고, 시간 축으로 연속시간 (continuous-time) 동작특성을 가지기 위해 분수 수준 회로 (fractional-order circuit)<sup>[12-13]</sup> 개념을 사용하는 소수점 타이머를 구현하였다.

3D 액티브 셔터 안경용 동기신호 처리 프로세서 (sync processor) 구현하기 위해 이산사건 시스템 온 칩 개념을 도입하였고 그 블록 다이어그램은 그림 1(b)와 같다. 외부 동기 신호가 이벤트 적재기에 의해 선처리(pre-processing) 되어 이벤트로 선별(event tracing) 되고 이 정보를 동기화 블록으로 전달한다. 동기화기 (adaptive synchronizer)에 의해 동기 신호가 재구성되어 이 시간 정보를 바탕으로 LCD 렌즈를 구동한다.

본 논문의 구성은 다음과 같다. II장에서는 본 논문의 동기로 이산사건 기반 SoC 개념을 먼저 소개하고 이를 적용한 3D안경용 동기 신호 처리 프로세서 (Sync Processor)를 위해 구현한 이벤트 적재기 (edge tracer)와 소수점 타이머 하드웨어를 순차적으로 서술한다.

III장에서는 칩 구현 결과와 실험 환경, 전력 감소 결과도 같이 서술한다. IV장에서는 결론을 맺는다.

## II. 본 론

### 1. 이산 이벤트 시스템 온 칩

#### (Discrete-Event System on a Chip)

디지털 시스템 (Digital System)은 시스템의 상태 변수를 이산 값의 집합으로 표현하고 시간 축으로는 그림 3의 (1)과 같이 정수 타이머로 구현되는 디지털 클럭에 동기 되어 그림 3의 (2)와 같이 이산 시간 (discrete time)마다 내부 상태가 천이된다. 이러한 이산 상태 천이는 그림 3의 (3)과 같은 일시적 변화에 둔감해지고 잡음 여유가 높아지는 장점이 있다.

반면에 외부 변화가 있더라도 그림 3의 (4)와 같이 입력변화를 내부로 반영하는데 처리시간 지연이 존재하게 된다. 그림 4의 (5)와 같이 내부 클럭보다 더 빠른

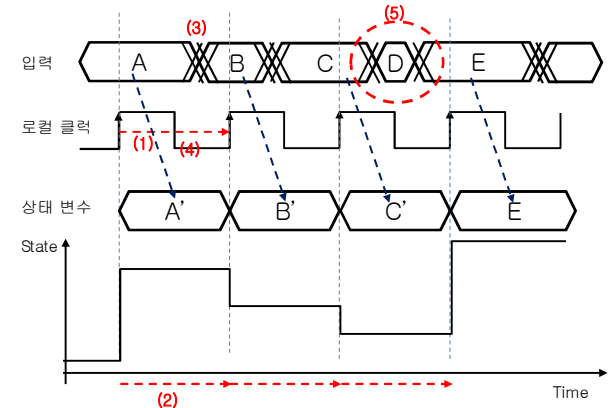


그림 3. 일반적인 디지털 시스템의 상태 변화  
 Fig. 3. Digital System and its state transition.

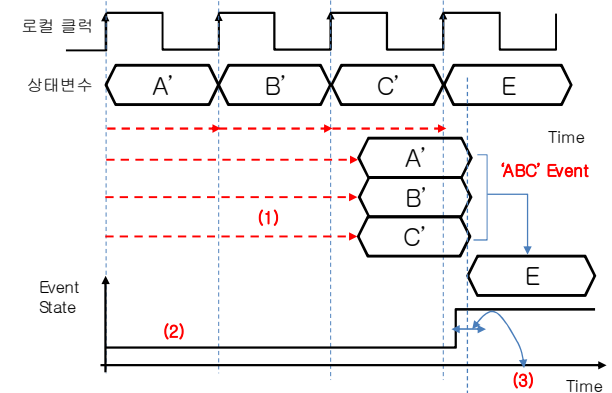


그림 4. 이산 사건 시스템을 위한 상태 변화  
 Fig. 4. State transition for discrete-event system.

데이터 변화를 감지할 수 없는 경우도 발생한다. 이를 위해 내부 클럭의 속도를 증가시켜야 하며 전력 소모 증가를 의미한다.

본 논문에서는 일반적인 디지털 시스템 동작을 변형하여 상태 천이를 매 클럭마다 칩 전체로 반영하지 않고 그림 4의(1)과 같이 사용자가 정의한 패턴을 획득할 때까지 상태 천이를 지연시키는 방식을 도입하였다. 이를 위해 과거 일정시간 동안 상태 천이를 적재한 뒤, 따로 스캐닝 할 수 있는 적재 버퍼를 추가한다. 개별적인 상태변화를 하나의 이벤트로 묶어서 동시에 처리함으로써 그림 4의 (2)와 같이 칩 내부의 상태 변화가 되는 부분을 국소화 시켜 소비 전력을 줄이고자 한다. 특히 CPU 동작에 따른 상태 변화가 빈번히 발생하는 플립플롭 로직을 최소화했다. 이를 통해 적재 버퍼 및 상태를

스캐닝하는 하드웨어가 추가됨에도 불구하고 전체적인 동기신호 수신 및 잡음 패턴 처리에 소모되는 전력이 감소됨을 실험 결과에서 보여준다.

디지털 시스템은 상태 변화가 이산시간마다 동작하므로 이는 정수값(fixed-point)을 가지는 클럭 주기를 이용하여 외부로부터 수신되는 동기 정보를 수신해야 한다. 외부에서 수신되는 동기의 시간정보와 내부 클럭은 상호 독립적으로 클럭킹 (independently clocked system)되므로 내부 클럭으로 외부 동기 정보를 재구성하는 과정에서 반드시 소수점 오차가 발생하게 된다<sup>[14-15]</sup>. 이러한 내부 재 동기 과정에서 발생하는 소수점 오차를 보정하기 위해서는 내부 클럭 스피드를 증가시키거나 소수점 오차를 보정하는 소프트웨어를 구동해야 하므로 CPU동작 시간이 증가되어 소모 전력이 증

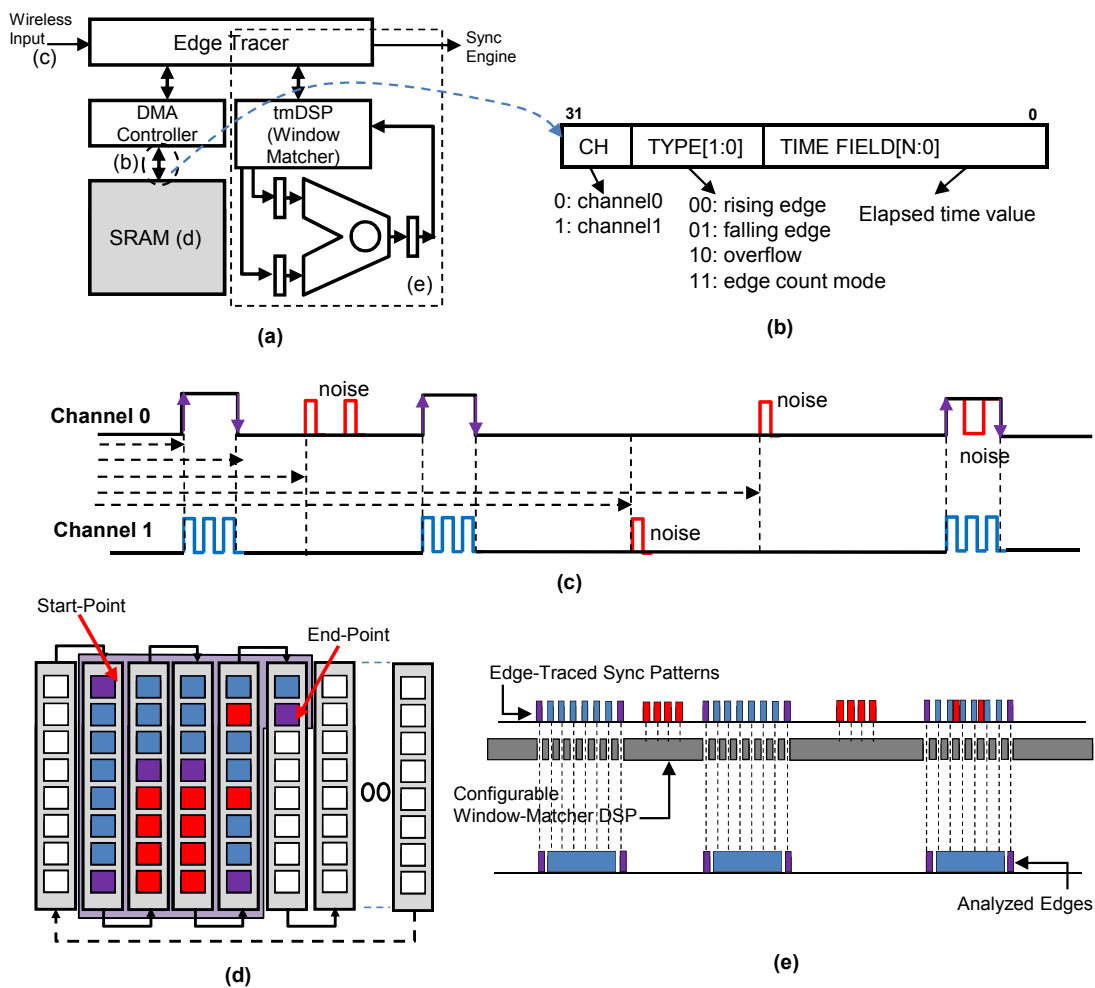


그림 5. (a) 이벤트 적재기 구조, (b) 이벤트 적재기로 수집되는 범용정보, (c) 입력으로 들어오는 신호의 예, (d) SRAM버퍼에 적재된 이벤트 형태의 예, (e) 동기 패턴 분석기를 통한 이벤트 생성 예  
 Fig. 5. (a) Event Tracer, (b) General edge information to trace input sync packets, (c) edge tracing example, (d) sync data traced in SRAM, (e) sync pattern analysis using configurable window-matcher DSP.

가한다.

3D안경에서 외부 동기 신호를 수신하여 내부 상태 변화로 동기를 맞추는 과정에서 디지털 클럭을 사용하면서도 이러한 소수점 오차를 줄이는 동기화 회로를 위해 분수 수준 회로 설계 기법을 도입하였다. 그림 4의 (3)과 같이 동작 지점을 이산 클럭 구간 사이 동작하는 효과를 보이도록 일반적인 정수 타이머가 아닌 소수점 타이머 구조를 제안한다. 다음 II장, III장에서 두 가지 기법에 대해 각각 기술한다.

2. 이벤트 적재기

3DTV에서 전송하는 동기 신호 정보는 제조회사마다 서로 다르며 포맷 또한 다양하다. 다양한 동기신호 패턴을 해석하기 위해 소프트웨어 기반으로 처리할 경우 CPU가 동작하는 시간도 클 뿐만 아니라 처리 소프트웨어를 위한 코드 사이즈 증가로 인해 내장 플래시 사이즈도 커져야 한다. 뿐만 아니라 외부에서 들어오는 동기 신호에 바로 반응하여 전체 시스템이 동작하게 되어 전력소모도 크다.

그림 5(a)는 3DTV에서 송신하는 동기 신호 패턴을 수신하면서 에지 정보만을 이벤트로 적재 하고 해석하는 전용회로를 보여준다. 적재기를 이용하여 CPU로 상태 정보를 전달하는 시간을 최대한 지연시킴으로써 대부분의 시간동안 CPU는 수면 상태로 들어갈 수 있게 된다.

그림 5(b)와 같이 입력으로 들어오는 동기 신호 정보를 에지의 정보로 분해하여 이벤트로 재구성한다. 인식할 패턴을 에지의 형태로 패턴을 기술하는 레지스터를 추가하여 범용성을 가지는 이벤트 적재기 (universal edge tracer)를 구현하였고 이를 통해 최소한의 소프트웨어만으로 다양한 입력 동기 신호 패턴을 스캐닝할 수 있도록 한다.

그림 5(c)는 3DTV에서 전송하는 동기 신호 정보의 예를 보여준다. 그림 5(d)는 적재 버퍼에 그림 5(c)의 파형이 이벤트 형태로 저장된 예를 보여준다. 그림 5(e)처럼 적재된 상태 천이를 고속으로 스캐닝해서 이벤트로 구성하는 윈도우 판별기 (window matcher)를 DSP형태로 구현하여 고속으로 처리함으로써 전력 소모 측면

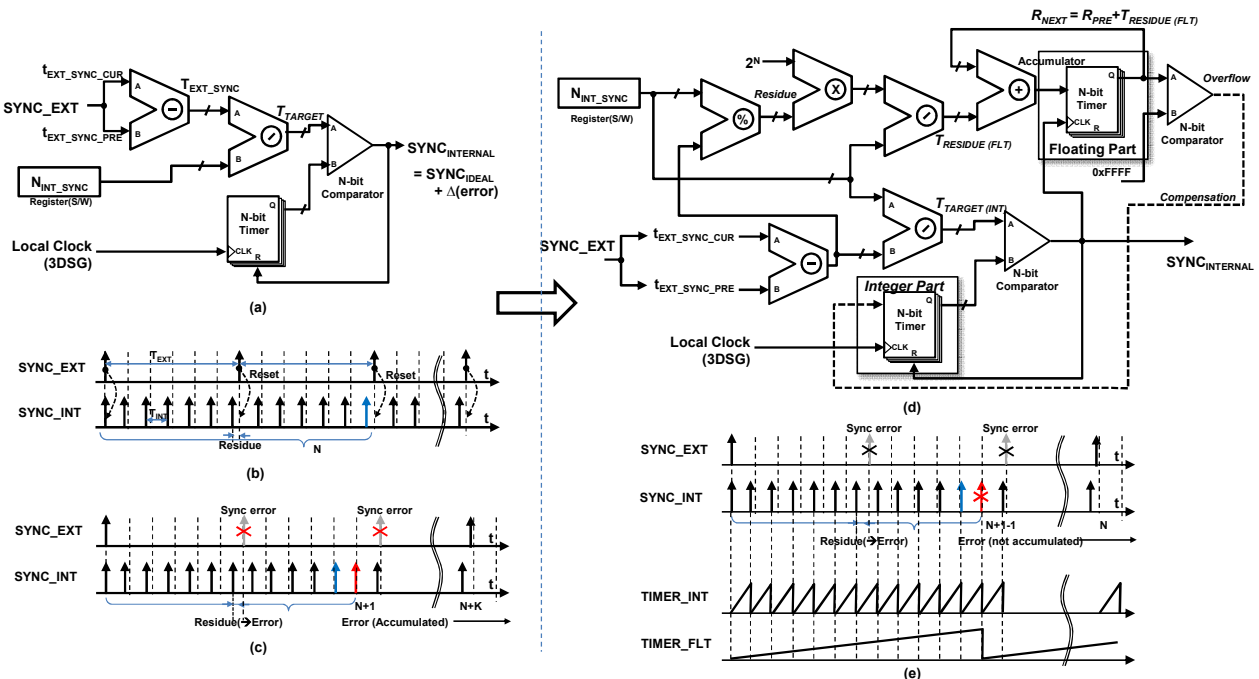


그림 6. (a) 일반적인 정수 타이머, (b) 정수 타이머에 의한 동기화 및 소수점 오차의 리셋, (c) 동기 신호 부재에 의한 소수점 오차 누적 효과, (d) 제안하는 소수점 타이머 구조, (e) 소수점 타이머에 의한 소수점 오차 보정 과정 및 누적오차 보정  
 Fig. 6. (a) conventional fixed-point timer, (b) synchronization by the fixed-point timer and fractional error reset, (c) fractional error accumulation by the absence of the input sync information. (d) proposed floating-point timer architecture, (e) compensation of fractional sync error by the floating-point timer.

에서 효과를 얻고자 한다. 이렇게 이벤트로 모여진 정보만을 다음 장에서 설명할 소수점 타이머로 구현된 동기 재구성 엔진으로 전달하게 된다.

### 3. 소수점 타이머(floating-point timer) 구조

그림 6(a)는 일반적인 정수 타이머의 구조를 보여준다. 입력 동기 정보를 내부 클럭으로 동기를 다시 맞추는 과정을 거치면서, 전송 신호의 주기와 내부 클럭은 독립적으로 생성되었기 때문에 반드시 내부 시스템에서 재구성된 동기 정보의 주기에는 소수점 오차를 포함하게 된다<sup>[14~15]</sup>.

이러한 소수점 오차를 줄이기 위해 내부 클럭 스피드를 높이거나 소프트웨어적인 보정을 매번 동기 신호를 수신 할 때마다 수행해야 하므로 전력 측면에서 비효율적이다. 그러나 그림 6(b)와 같이 매번 동기 신호가 수신된다면 이 동기 신호를 이용하여 소수점 오차를 매번 초기화시킬 수는 있다. 이러한 이유로 3D영상과 안경의 동기를 맞추기 위해 항상 동기 신호를 전송할 수 밖에 없다. 그러나 이러한 무선 송수신 과정에서 잡음 간섭을 받을 가능성도 있을 뿐만 아니라 전력소모도 문제가 된다.

그림 6(c)과 같이 만약 동기 신호가 중간에 손실이 된다면 이러한 동기 신호에 의한 시간정보의 소수점 오차는 누적될 수밖에 없다. 이것은 전형적인 디지털 시스템이 정수 타이머에 의해 정수 시간마다 처리되기 때문이다.

그림 6(d)은 동기 수신시 발생하는 소수점 오차를 최소화하기 위해 제안하는 소수점 타이머 구조를 보여준다. 입력 동기신호의 시간 정보를 내부 클럭으로 재구성한 뒤 발생하는 소수점 오차를 다시 N비트 해상도의 타이머로 다시 측정하여 정수 파트의 값으로 재 반영하는 구조를 사용하였다. 이로 인해 소수점 오차는  $1/2^N$  만큼 오차가 줄게 된다.

제안한 소수점 타이머를 적용하면 입력 동기 신호가 손실이 되더라도 자체 보정방식을 통해 충분한 시간동안 누적 오차가 거의 없게 된다. 실험에서 거의 2시간 동안 입력 동기 시간에 비해 1%정도 틀어지는 것을 보여준다<sup>[10]</sup>. 이러한 결과는 동기 신호 수신부를 꺼버려도 충분한 시간동안 3D영상의 동기를 유지할 수 있음을 의미하며 동기 신호 무선 수신부의 전력 소모를 막을 수 있으며 동기 신호 수신에 필요 없으므로 외부 잡음에 완벽하게 영향을 받지 않게 된다.

## III. 실험

제안한 기법을 포함하는 3D 액티브 셔터 안경용 동기 신호 처리 프로세서는 0.18 $\mu$ m 2poly 6metal CMOS 공정으로 제작되었다. 표 1에 구현된 칩의 기능을 요약하였고 그림 7은 제작된 칩의 현미경 사진이다. 제안한 이벤트 적재기 및 소수점 타이머를 위해 1Kbyte SRAM과 15000로직 게이트가 추가되었다.

대부분의 상용 동기 신호 처리 프로세서에서 사용하는 코드 롬 사이즈가 16Kbytes이상인데 비해 본 논문에서 제안한 칩은 4Kbytes만으로 3D동기 신호 해석 및 안경 동작을 수행할 수 있었다. 이는 다양한 패턴에 대해 범용적으로 동작하는 이벤트 적재기의 하드웨어를 활용하여 동기 신호의 패턴을 인식하므로 소프트웨어적인 부담이 줄기 때문이다<sup>[16~17]</sup>. 그림 7과 같이 전체 칩 사이즈는 2.4x2.3mm<sup>2</sup>으로 상용 칩에 비해 충분히 작다.

시중에 판매되는 3D안경의 LCD 렌즈와 전원부를 제

표 1. 구현된 칩 기능 요약  
Table 1. Chip Features.

Process	Embedded Flash 0.18 $\mu$ m 2P6M CMOS
Die Size	2.4 mm x 2.3 mm
Supply Voltage	3.0V~3.7V (Li-ion battery), 3.0V (Coin battery)
Operating Current	160 $\mu$ A ~ 350 $\mu$ A
Sync Packet Processing	Edge Tracer using window matcher. Hardware sync reconstruction by floating point timer.
Low Power Features	Input sensor off ode. Hibernation mode by edge tracer. Dynamic operating frequency control.

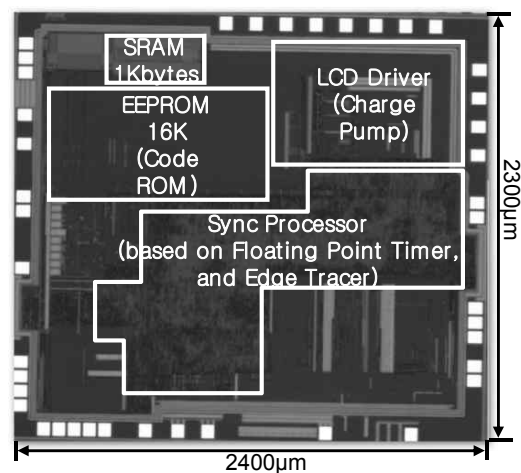


그림 7. 제작된 칩 사진  
Fig. 7. Chip microphotograph.

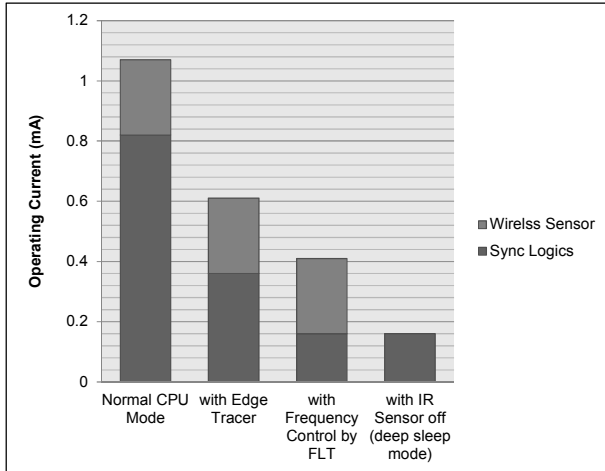


그림 8. 제안한 기법을 적용한 동작 전류 감소  
 Fig. 8. Operating current reduction by the proposed techniques.

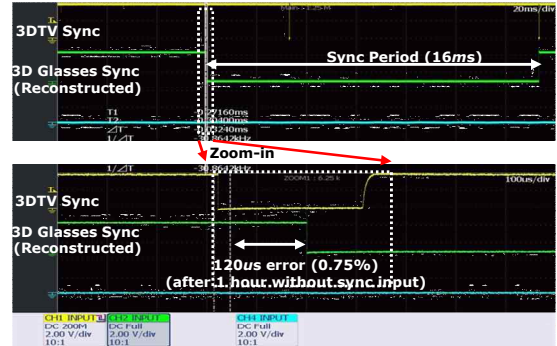


그림 9. 외부 동기 신호 부재시에 내부 동기 오차  
 Fig. 9. Internal sync timing variation by the absence of the external sync pulse.

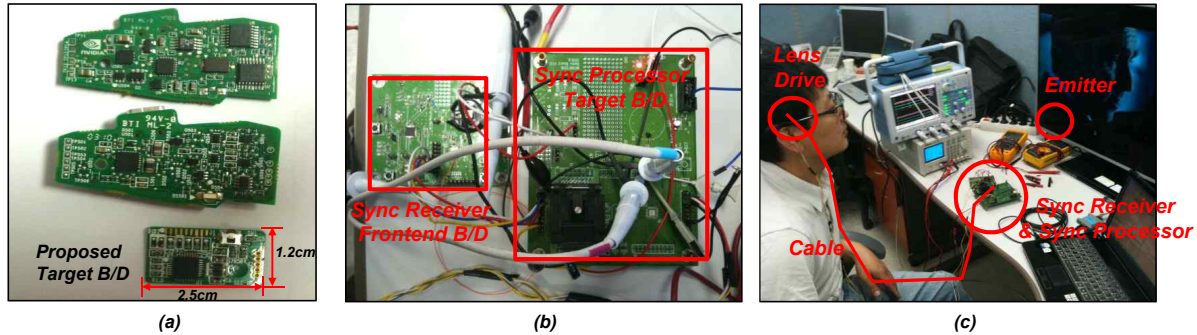


그림 10. (a) 타겟 칩 보드 비교, (b) 칩 테스트 보드, (c) 실제 3DTV에 대한 데모  
 Fig. 10. (a) Target chip B/D comparison, (b) Chip verification B/D, (c) Demonstration for commercial 3DTV.

거하고 제안한 칩을 장착하여 3D 영상을 감상하는데 문제가 없는지 먼저 테스트 하였다. 제안한 방법을 각각 적용하면서 전력 감소량을 측정하였고 그림 8에 표시하였다. 무선 동기 신호 수신부에서 소모하는 전류는 wireless sensor로 표시하였고 나머지 LCD 드라이버를 제외한 로직의 전류를 sync logics으로 표시하였다.

본 전류 감소 그래프로부터 본 논문에서 제안한 각각의 기법이 적용되었을 때 전류감소에 얼마나 효과적인지를 알 수 있다. 이벤트 적재기를 통해 로직에서 소모되는 전류의 거의 반이 줄어든다. 이는 대부분의 시간 동안 CPU는 수면상태로 가기 때문이다. 잠깐씩 깨어나서 DSP로 구현된 이벤트 스캐너를 구동하여 고속으로 동기 신호를 판별한 뒤 다시 수면상태로 들어가는 것을 반복한다.

소수점 타이머를 구동하여 무선 수신부까지 전원을 차단할 경우 최대로 20%이하까지 전력 소모가 감소함

을 알 수 있다. 이벤트 적재기가 담는 버퍼의 크기와 CPU가 주기적으로 깨어나는 시간을 최대한 늦게 하거나 소수점 타이머를 이용한 무선 수신부의 정지 횟수를 많이 할수록 전력 감소는 두드러질 것이다.

제안한 소수점 타이머 구조를 적용할 경우 1초에 최대로 소수점 타이머 클럭 한 개 시간만큼의 오차를 가질 수 있으며 이는 클럭 한주기 이상이 넘어갈 경우 보정이 되기 때문이다. 따라서 타이머 클럭이 20Mhz(50us)일때 이를 1시간 누적하면 이론적으로 최대 180us이하의 오차를 가지는 것으로 예상할 수 있다. 그림 9는 실제로 동작 중에 무선 동기 신호 수신부를 끈 상태에서 내부에 수신된 동기 신호의 보정 성능을 보여주며 1시간이 지나도 오차가 0.75%밖에 되지 않음을 알 수 있다. 실험을 충분히 반복해도 평균적으로 1% 정도의 수준으로 오차가 생기는 것을 확인할 수 있었다. 외부 동기를 수신하지 않고 자체 클럭으로만 보정

해나갈 경우 시간에 비례하여 오차가 조금씩 증가하며 2시간 경과 시 1.5%정도 동기 오차를 가지게 된다.

이는 영화 한편(약2시간) 동안 무선 동기신호 수신부를 정지시켜도 셔터 안경을 이용하여 3D영화를 감상하는데 무리가 없음을 의미한다. 이를 통해 무선동기 신호 수신부의 전력 소모를 막을 수도 있고 외부 간섭에 의한 동기 과정의 오동작으로 인한 크로스톡도 최소화될 수 있음을 의미한다.

그림 10은 제안한 칩을 이용하여 상용 3DTV에 대해 검증한 환경을 보여준다. (a)의 경우 시중에서 구입할 수 있는 N사에서 만든 3D안경용 수신칩을 포함한 B/D와 본 논문에서 제안한 SoC를 포함한 Target B/D를 비교하였다. 동기 수신 프로세서를 제외한 power부, 배터리 부, LCD 렌즈를 상용 안경에 장착된 것을 재활용하였고, 본 논문에서 제안한 이산 사건 기반의 SoC 칩을 이용하여 상용 3DTV에 대해서도 저전력으로 동작하면서 3D입체 영상을 보는데 문제가 없음을 확인하였다.

#### IV. 결 론

3DTV 액티브 셔터 안경을 위한 저전력 동기 수신 처리 프로세서를 구현하기 위해 이산 사건 SoC 개념을 제안하였다. 이산 이벤트마다 칩이 동작되도록 구동 시점을 지연시키기 위한 범용 이벤트 적재기를 제안하였고 디지털 클럭만으로 연속시간에 동작되는 효과를 구현하기 위해 소수점 타이머를 제안하였다. 두 가지 기법을 포함하는 전체 동기신호 수신 프로세서를 0.18 $\mu$ m 2poly 6metal CMOS공정으로 제작하여 상용 3DTV에 대해 동기화 수신 처리 동작을 검증하였다. 제안한 기능을 구현하기 위해 전통적인 방법 대비 SRAM 1kbyte와 약 15,000로직 게이트가 추가되었음에도 불구하고 대용량의 소프트웨어 적재용 ROM이 필요가 없어서 전체 칩 사이즈는 상용 칩 대비 충분히 경쟁력이 있을 만큼 작다. 뿐만 아니라 일반적인 CPU를 이용한 동기 신호 수신방식에 비해 1/5이하로 소비 전력이 감소하게 됨을 확인하였다. 외부 동기 신호 수신 없이도 충분한 시간동안 동기를 유지할 수 있기 때문에 동기 신호의 외부 잡음 간섭에 의한 크로스톡 효과를 줄이는데 도움이 될 것이다.

#### 참 고 문 헌

- [1] N. Holliman, N. Dodgson, G. Favalora, and L. Pockett, "Three dimensional displays: A re-view and applications analysis," *IEEE Transactions on Broadcasting*, vol. 57, no. 2, pp. 362 - 371, June 2011.
- [2] P. Tsang, "Apparatus for three-dimensional display," US6510002, 2003.
- [3] L. Noble, "Three dimensional viewing glasses," US4907860, 1990.
- [4] B. Javidi, F. Okano, "Three-dimensional television, video, and display technologies," Springer, pp. 22 - 31, 2002.
- [5] A. Srivastava, J. de Bougrenet de la Tocnaye, and L. Dupont, "Liquid Crystal Active Glasses for 3D Cinema," *J. Display Technology*, vol. 6, no. 10, pp. 522 - 530, 2010.
- [6] W. Tam, F. Speranza, S. Yano, K. Shimono, and H. Ono, "Stereoscopic 3d-tv: Visual com-fort," *IEEE Transactions on Broadcasting*, vol. 57, no. 2, pp. 335 - 346, June 2011.
- [7] K. Ukai and P. A. Howarth, "Visual fatigue caused by viewing stereoscopic motion images: Background, theories and observations," *Displays*, vol. 29, pp. 106 - 116, 2008.
- [8] A. Boev, A. Gotchev, and K. Egiazarian, "Crosstalk Measurement Methodology for Auto-stereoscopic Screens," *3DTV Conf. May 2007*, pp. 1 - 4, 2007.
- [9] L. Onural, "Signal Processing and 3DTV [in the Spotlight]," *IEEE Signal Processing Magazine*, vol. 27, no. 5, pp. 144 - 142, 2010.
- [10] W.J. Dally, and J.W. Poulton, "Digital systems engineering," Cambridge Univ. Press, chapter 7, 1998.
- [11] B.P. Zeigler, T.G. Kim, and H. Praehofer, "Theory of Modeling and Simulation," *Academic Press*, pp. 77-80, 2000.
- [12] D. Park, T.G. Kim, C. Kim, and S. Kwak, "A Low-Power Sync Processor with Floating-point Timer and Universal Edge Tracer for 3DTV Active Shutter Glasses," *IEEE Symp. Low-Power and High-Speed Chips (COOLChips XIV)*, pp 1-3, April 2011.
- [13] A.S. Elwakil, "Fractional-Order Circuits and Systems: An Emerging Interdisciplinary Research Area." *IEEE Circuits and Systems Magazine*, vol. 10, no. 4, p. 40, 2010.
- [14] K. Yun, and A. Dooply, "Pausible Clocking-Based Heterogeneous Systems," *IEEE*



*Trans. Very Large Scale Integration (VLSI) Systems*, vol. 7, no. 4, pp. 482 - 488, Dec. 1999.

[15] W. Dally, and S. Tell, "The Even/Odd Synchronizer: A Fast, All-Digital, Periodic Synchronizer," *2010 IEEE Symp. Asynchronous Circuits and Systems (ASYNC)*, pp. 75 - 84, May 2010.

[16] Daejin Park, Tag Gon Kim, Changmin Kim, Sungho Kwak, "A Sync Processor with Noise

Robustness for 3DTV Active Shutter Glasses," *2010 International SoC Conference (ISOCC)*, pp. 147 - 149, Seoul, Korea, Nov. 22-23, 2010.

[17] 박대진, 김탁곤, 김창민, 곽승호, 이영진, "Low Power Universal Receiver with Edge Tracer for 3DTV Synchronization", *제16회 한국반도체학술대회*, 대한민국, pp. 109-110, 2011년02월.

— 저 자 소 개 —



박 대 진(학생회원)-교신저자  
2001년 경북대학교 전자전기공학  
학사 졸업.  
2003년 한국과학기술원(KAIST)  
전자전산학과(전자공학)  
석사 졸업.  
2010년~현재 한국과학기술원  
(KAIST) 전기 및 전자  
공학과 박사과정

2003년~2006년 하이닉스(매그나칩)반도체  
연구원

2006년~2008년 삼성전자 SystemLSI 선임연구원  
2008년~2010년 어보브반도체 수석연구원  
<주관심분야 : 저전력 VLSI 설계, 비동기 신호  
처리, 이산 사건 시스템>



김 창 민(정회원)  
1998년 한국과학기술원(KAIST)  
학사 졸업  
2000년 한국과학기술원(KAIST)  
전자전산학과(전자공학)  
석사 졸업  
2004년 한국과학기술원(KAIST)  
전기 및 전자공학과  
박사 졸업

2003년~2005년 하이닉스(매그나칩)반도체  
선임연구원

2006년~2007년 삼성전자 SystemLSI  
책임연구원

2007년~현재 어보브반도체 수석연구원



곽 승 호(정회원)  
1994년 연세대학교 전자전기공학  
학사 졸업  
1996년 연세대학교 전자전기공학  
석사 졸업  
2006년 연세대학교 전자전기공학  
박사 졸업

2002년~2006년 하이닉스(매그나칩)반도체  
선임연구원

2006년~현재 어보브반도체 수석연구원



김 탁 곤(평생회원)  
1975년 부산대학교 전자공학과  
학사  
1980년 경북대학교 전자공학과  
석사  
1988년 Univ. of Arizona,  
전기및컴퓨터공학과 박사

1980년~1983년 부경대학교 통신공학과 전임강사  
1987년~1989년 (미)아리조나 환경연구소,  
연구엔지니어

1989년~1991년 Univ. of Kansas 전기및컴퓨터  
공학과 조교수

1991년~현재 KAIST 전자전산학과 교수

- 한국시뮬레이션 학회 회장 역임
- 국제시뮬레이션학회(SCS)  
논문지 (Simulation) Editor-In-Chief 역임
- SCS Fellow

- 모델링 시뮬레이션 기술사(미국)
- Who's Who in the World

(Marguis 16thEdition, 1999) 등재

Theory of Modeling and Simulation, Academic  
Press, 2000 등 영어 교재/Chapter 8권 저술  
국내외 학술지/학술대회 M&S 관련 논문 200여  
편 발표

<주관심분야 : 모델링/시뮬레이션 이론, 방법론  
및 환경개발, 시뮬레이터 연동>