

논문 2011-48SD-11-8

MF-VLD에 대한 효율적인 하드웨어 구조

(An Efficient Architecture of The MF-VLD)

서 기 범*

(Kibum Suh)

요 약

본 논문에서는 H.264, MPEG-2, MPEG-4, AVS, VC-1 코덱 표준의 가변 길이 복호화와 역 양자화가 가능한 MF-VLD (Multi-Format Variable Length Decoder)의 효율적인 구조에 대한 설계 방법을 제안 한다. 제안하는 MF-VLD는 MPSOC (Multiprocessor System on Chip)에 적합한 구조로 설계되었으며, 역 양자화된 데이터에 대해서 bit-plane 알고리즘을 적용하여 AHB 버스의 폭을 줄였고, 내부 메모리의 사용량을 최소화 하기 위해 외부 SDRAM을 사용하였다. 또한, 코덱의 가변길이 복호화 모듈을 분리 가능한 구조로 설계하여 상황에 따라 가변길이 복호화 모듈에 대한 추가 및 제거가 용이 하도록 하였다. 설계된 MF-VLD는 0.18 μm 공정에서 200 MHz의 속도로 동작하며, 사이즈는 약 657 K 게이트 이고, 사용되는 메모리는 약 27 K 바이트 이다.

Abstract

In this paper, an efficient architecture for MFVLD(Multi-Format Variable Length Decoder) which can process H.264, MPEG-2, MPEG-4, AVS, VC-1 bitstream is proposed. The proposed MF-VLD is designed to be adapted to the MPSOC (Multi-processor System on Chip) architecture, uses bit-plane algorithm for the processing of inverse quantized data to reduce the width of AHB bus. External SDRAM is used to minimize the internal memory size. In this architecture, the adding or removing each variable length decoder can be easily done by using multiplexor. The designed MF-VLD can be operated in 200MHz at 0.18um process. The gate size is 657K gate and internal memory size is 27Kbyte.

Keywords : Multi-Format VLD, MPSOC, AHB Bus

I. 서 론

1990년 H.261이 동영상 압축과 관련된 최초의 국제 표준화 되면서, 영상 코덱은 끊임없이 발전해왔다. 텔레비전 방송에는 MPEG-2가 많이 사용되고 있고, H.264/AVC도 국내 지상파 DMB (Digital Multimedia Broadcasting), 유럽의 위성 방송 및 DVB-H (Digital Video Broadcasting-Handheld)등에 쓰이고 있으며, 점차 그 시장을 확대해 가고 있다. MPEG-4 계열인 DivX와 XviD들도 웹과 모바일용으로 많이 사용되고 있고, AVS는 거대한 멀티미디어 시장을 가진 중국에서 자국

표준으로 개발하여 사용하고 있다. 그 외에도 마이크로소프트사에서 개발된 VC-1이 고선명 DVD (HD DVD) 및 블루 레이, X박스 360 등에서 표준으로 채택 되고 있다. 이렇듯 오늘날에는 고화질 영상을 지원하고 다양한 비디오 코덱을 포함하는 제품들의 생산이 요구되고 있다.

이전에도 MFD (Multi-Format Video Decoder)에 대한 많은 연구 결과가 있었다. 이전에 발표된 연구 중 분리형 구조의 고화질 멀티 포맷 비디오 복호기^[1]는 고화질 영상의 디코딩을 지원하고 MPEG-2, MPEG-4, H.264, VC-1 코덱에 대해서 분리형 구조로 설계되었다는 점에서 유사하다고 볼 수 있으나 본 논문에서는 AVS 코덱의 지원과 멀티프로세서용으로 설계 되었다는 점에서 큰 차이를 보여주고 있다. 그 외에도 Chien^[2]

* 정회원, 우송대학교 철도전기시스템학과
(Department of Railroad Electrical System Engineering,
Woosong University)
접수일자: 2011년10월13일, 수정완료일: 2011년11월9일

과 Hase^[3], Liu^[4] 등 MFD에 대한 좋은 연구가 있으나 지원 코덱 종류가 가장 많고 설계 구조 면에서 는 본 논문이 멀티 코어 프로세서를 이용하였다는 면에서 큰 차이를 보여주고 있다.

최근 H.264, MPEG-2, MPEG-4, AVS, VC-1 코덱의 가변길이 부호화 및 복호화에 대한 연구가 있으나 H.264 하이 프로파일 인트라 프레임 부호화기 설계에 관한 연구^[5]와 H.264/AVC의 high profile CABAC encoder의 하드웨어 설계^[6]은 본 논문에 포함된 H.264 가변길이 복호기에 기초가 되었고, AVS 복호화기의 VLD 하드웨어 구조에 관한 연구^[7]는 본 논문의 AVS 가변길이 복호기로 사용하고 있다.

병렬 코어를 이용한 H.264와 VC-1의 효율적인 비디오 디코딩^[8]은 매크로 블록 라인을 멀티 코어를 이용하여 병렬처리 방법을 제시하였는데 본 논문의 MF_VLD 와 함께 사용하여 실험을 수행되었다.

II. 본 론

1. MF-VLD의 구조

제안된 MF-VLD의 구조는 그림 1과 같다. AHB 32bit 버스를 사용하여 멀티프로세서와 결합이 가능하도록 설계 되었다. 외부 컨트롤러로부터 레지스터 데이터를 받아들이고 MF-VLD의 복호화 상태를 외부 컨트롤러로 전달하는 REG_Slave, 비디오 스트림을 읽어 들이고 외부 메모리로 부터 데이터를 읽어 들이는 READ_Master, 복호화된 데이터를 외부로 전송하는 WRITE_Master, 비디오 스트림을 내부에 저장하기 위한 Stream Buffer, B픽처에 대한 시간 직접 예측모드를 지원하기 위해 참조 픽처의 모션 벡터를 저장하는 B-Direct SRAM, 역양자화 데이터에 대해 bit-plane을

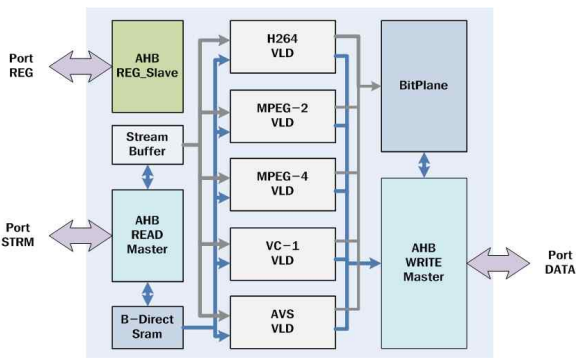


그림 1. MF-VLD 구조도
Fig. 1. The architecture of MF-VLD.

수행 하는 모듈과 H.264, MPEG-2, MPEG-4, AVS, VC-1 각각의 가변길이 부호화 모듈로 구성된다.

MF-VLD의 동작은 다음과 같다. 외부 컨트롤러로부터 지정된 레지스터 값을 입력 받고 시작 신호가 들어 오면 READ_Master를 통해 외부 비디오 스트림을 읽어 들여 내부 메모리에 저장하게 된다. 저장된 비디오 스트림의 종류에 따라서 해당 가변 길이 부호화 모듈이 비디오 스트림을 읽어서 복호화를 시작하게 된다. 시퀀스 파라미터 부터 매크로 블록에 대한 복호화가 끝나면 IQ(Inverse Quantization)의 결과를 WRITE_Master를 통해 외부 메모리에 저장하게 되고, 역영자화는 bit-plane 처리를 한 후에 외부 메모리에 저장된다. 최종적으로 복호화된 데이터는 매크로 블록 라인 단위로 외부 메모리 영역에 저장 된다.

가. 역 양자화 데이터의 bit-plane 적용

대부분의 역 양자화 데이터는 0값을 갖는다. 이러한 역 양자화 데이터의 특성을 이용하여 0값인 데이터는 외부 메모리에 저장하지 않고 유효한 값만을 저장하여 버스의 대역폭을 줄일 수 있게 된다. 일반적인 SOC에서의 방법은 run length code를 이용하는 방법이다.^[9] 그러나 본 연구에서는 zero run의 값을 전송을 하지 않고 bit-plane을 구성하여 bandwidth를 줄이고 있는데, 그림 2는 역 양자화 데이터에 대해 어떻게 bit-plane이 구성되는가의 방법을 나타내고 있다. 연속된 두 개의 픽셀씩 모아서 그 값이 0인지 아닌지를 판단하여 0일 경우 해당 bit-plane 값을 0 으로 써주고 0이 아닌 경우 1을 써주게 된다. 먼저 휘도 256개의 픽셀을 64개씩 4개로 나뉘서 bitplane_luma 4개의 flag로 표현하게 되고, 채도(Cb, Cr) 에 대해서도 bitplane_Cb, bitplane_Cr

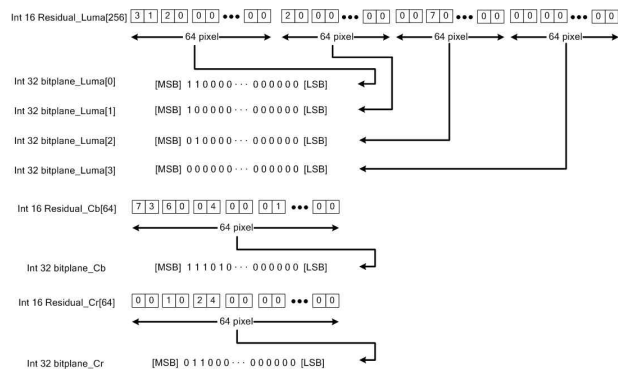


그림 2. bit-plane의 구성 방법
Fig. 2. The structure of biplane coding.

표 1. 매크로 블록당 역 양자화 데이터 전송 횟수
Table 1. Data transfer per macroblock.

	H.264	MPEG-2	MPEG-4	AVS	VC-1
영상 1	Blue sky	BQ terrace	BQ terrace	BQ terrace	tractor
전송 횟수	21번	18번	46 번	56번	19번
영상 2	Sun flower	Sun flower	cactus	Basket ball	Sun flower
전송 횟수	19번	13 번	31 번	22 번	14 번

의 두 개의 flag로 표시하게 된다. 즉, 휘도와 채도에 대한 bit-plane 값 32bit 6개와 유효한 데이터만 외부 메모리에 저장하면 된다.

bit-plane을 적용하지 않을 경우 휘도 256개와 채도 128개의 픽셀에 대해서 32bit씩 192번으로 나뉘서 외부 메모리에 저장하여야 한다. 표 1은 각 코덱 별로 2개의 영상에 대해서 bit-plane을 적용 하였을 경우 bit-plane 값과 유효한 역 양자화 데이터를 32bit씩 전송해야 될 횟수를 나타내고 있다. 전송 횟수는 코덱과 영상의 종류에 따라 차이는 있지만 약 90~50% 정도의 데이터 전송 횟수를 줄일 수 있었다.

나. 내부 메모리의 최소화

MF-VLD는 B픽처 일 경우 시간 직접 예측 모드에 대한 움직임 벡터의 복호화가 가능하도록 되어 있기 때문에 참조 픽처의 모든 움직임 벡터를 메모리에 저장하고 있어야 한다. 사용되는 메모리의 사이즈는 지원하는 영상의 크기에 따라 다르지만 본 논문의 MF-VLD는 FHD(1920x1088)영상 사이즈 까지 지원하기 때문에 큰 사이즈의 메모리를 필요로 하고 있다.

FHD 영상에는 8160(120 x 68)개의 매크로 블록이 존재하고, H.264와 MPEG-4는 매크로 블록 당 4개의 움직임 벡터 값을 저장하고 있고, VC-1은 매크로 블록당

표 2. 참조 픽처의 움직임벡터 저장메모리 크기
Table 2. Motion vector storing memory for reference picture.

	H.264	MPEG-4	VC-1
size	27bit x 32640	24bit x 32640	24bit x 8160

1개의 움직임 벡터 값을 저장하고 있다. 표 2에서 보여주는 3개의 코덱 메모리를 공유 한다고 하여도 약 110 K 바이트 크기의 메모리를 내부에 가지고 있어야 한다. 이렇게 큰 메모리를 내부에 둘 경우 Chip 사이즈에 엄청난 영향을 준다.

MF-VLD에서는 내부 메모리의 사용량을 줄이기 위해 I또는 P픽처 일 경우 복호화된 모션 벡터를 외부 메모리에 저장하였다가 B 픽처를 복호화 할 때 외부 메모리로부터 매크로 블록 라인 단위로 읽어 들여 내부 메모리에 저장하게 된다. 이때 읽어 오는 시간을 줄이기 위해 매크로 블록 한 라인만큼을 저장할 수 있는 메모리(27bit x 480)를 2개를 두어 다음 복호화 할 라인의 움직임 벡터를 미리 읽어 들여 복호화 속도의 감소를 방지하였다.

다. 멀티 프로세서를 위한 구조

MF-VLD는 가변길이 복호화와 역 양자화 과정만을 수행하고 있기 때문에 멀티프로세서와 결합하여 완벽한 복호화기로서의 역할을 수행 할 수 있도록 설계 되었다.

그림 3은 한 프레임에 대해서 8개의 프로세서를 이용하여 각각의 프로세서가 하나의 매크로 블록 라인을 맡아서 병렬적으로 복호화 하는 방법을 나타내고 있다.

그림 4에서는 프로세서와 MF-VLD간의 동작 흐름도를 나타내고 있다.

MF-VLD에 시작 신호가 들어오면 복호화를 시작하면서 복호화된 데이터를 저장할 프로세서의 메모리 영역에 대한 상태를 CORExSTART 레지스터를 확인하여 메모리 영역이 비어 있는 상태면 복호화를 계속 진행하고 다 찬 상태이면 해당 메모리 영역이 비워 질

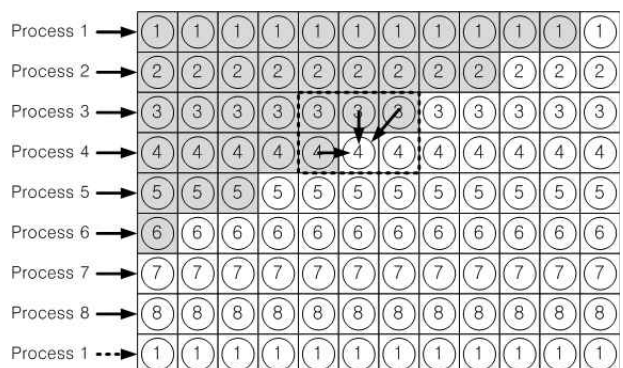


그림 3. 멀티프로세서의 병렬 매크로블록 처리
Fig. 3. Parallel macroblock processing of multiprocessor.

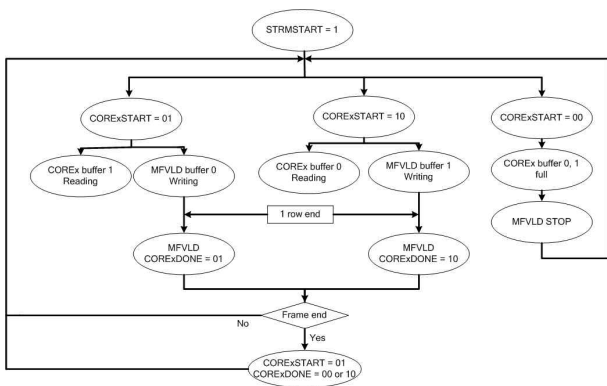


그림 4. 프로세서와 MF-VLD의 동작 흐름도
Fig. 4. Control flow for the processor and MF_VLD.

때 까지 정지 하였다 다시 동작하게 된다. 한 매크로 블록 라인을 전부 복호화 하게 되면 MF-VLD는 CORExDONE 레지스터에 복호화 된 데이터가 저장된 메모리 영역을 표시 해줌으로써 해당 프로세서가 원활히 읽어 갈수 있도록 하고 있다.

III. 실험

본 논문에서 제안하는MF-VLD는 그림 5와 같이 AHB 플랫폼에 복호화된 데이터를 읽어 들이는 가상의 프로세서모듈을 추가하여 실제와 유사한 구조상에서 버스의 bandwidth에 대한 테스트를 하였고, 각 코덱 별로 20개씩의 영상에 대해서 그 결과를 확인하였다.

표 3에서는 각 코덱 별 한 매크로 블록을 복호화 하는 평균 사이클이다. 이 사이클은 H.264 CAVLD (Context adaptive variable length decoder)의 경우 기존의 논문^[10]보다 cycle수가 크지만 계산된 사이클은 복호화 된 데이터를 버스를 통해 외부 메모리에 저장하는데 까지 걸리는 시간이므로 IQ의 time이 실제 cycle을

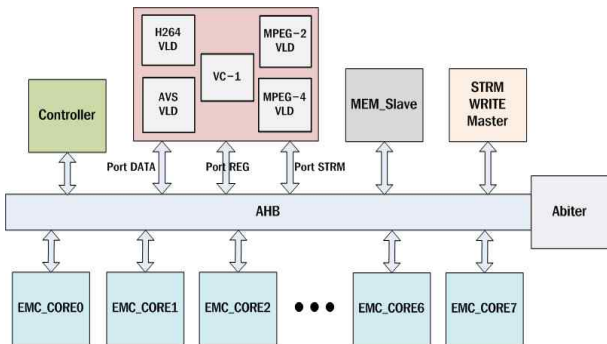


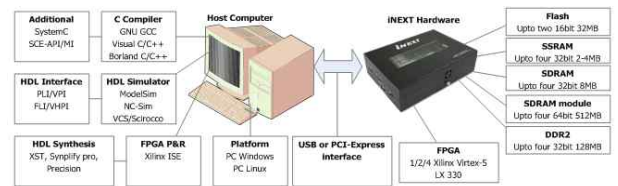
그림 5. MF-VLD의 Testbench 구조도
Fig. 5. The block diagram of the MF_VLD testbench.

결정하고 있다. 가상의 프로세서 8개에서 외부 메모리를 읽어 가는 대역폭도 포함되어 있어 실제 성능과 유사 할 것으로 예상 된다.

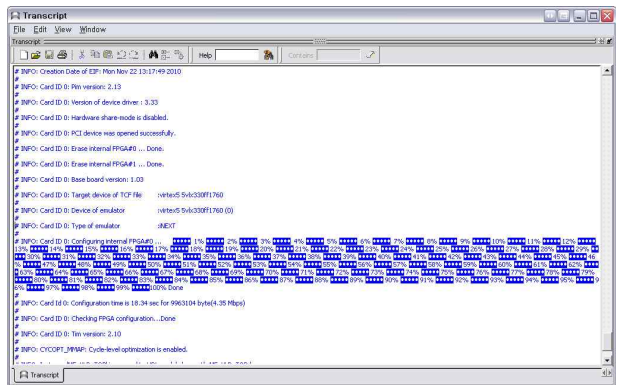
설계된 MF-VLD는 Vertex5 XC5VYLX330칩이 사용된 dynalithTM사의 iNEXT 보드로 FPGA 검증을 하였다.

표 3. 각 코덱별 1 MB 복호화 평균 사이클
Table 3. The average cycle processing 1MB for each codec.

	I 픽처 평균	P픽처 평균	B픽처 평균
H.264 CAVLD	436 cycle	381 cycle	362 cycle
H.264 CABAD	1243 cycle	966 cycle	577 cycle
MPEG-2	540 cycle	547 cycle	557 cycle
MPEG-4	860 cycle	550 cycle	580 cycle
AVS	840 cycle	707 cycle	820 cycle
VC-1	680 cycle	620 cycle	604 cycle



(a)



(b)

그림 6. FPGA 에뮬레이션
(a) iNEXT 보드의 기능 (b)Bit file다운로드 화면
Fig. 6. FPGA emulation.
(a) The function of iNEXT board
(b) image capture of bit-file download

iNEXT 보드는 그림 6의 (a)와 같이 시뮬레이션 엑셀레이터 및 FPGA porting의 용도로 설계된 보드로써 PC와 보드를 PCI 인터페이스로 연결하여 동작 결과를 PC의 시뮬레이터에서 출력하여 로직 아날라이저의 기능을 수행할 수 있다.

그림 6의 (b)는 FPGA검증을 위하여 합성과 P&R 과정을 마친 후 생성된 bit-file을 시뮬레이터를 통해서 보드로 다운로드 하는 영상이다. FPGA에서도 각 코덱 별 20개씩의 영상을 모두 테스트 하여 그 결과를 확인 하였다.

그림 7은 MF-VLD를 Vertex5 LX330칩에 P&R 한 결과이다. MF-VLD는 FPGA에서 50 MHz의 동작속도를 가지고, 칩의 26% 정도인 55,668 LUT를 사용하였다. 본 MF-VLD는 0.18 μ m공정에 200 MHz의 속도로 동작하도록 설계 되었고, 표 4는 각 코덱 별 게이트 사이즈를 나타내고 있으며, 가변길이 복호화 모듈 외 컨트롤 및 공용 모듈이 약41 K 게이트 정도 이며, 총 사이즈는 약707 K 게이트 이다. 사용되는 내부 메모리는 약 23 K 바이트를 사용하고 있다.

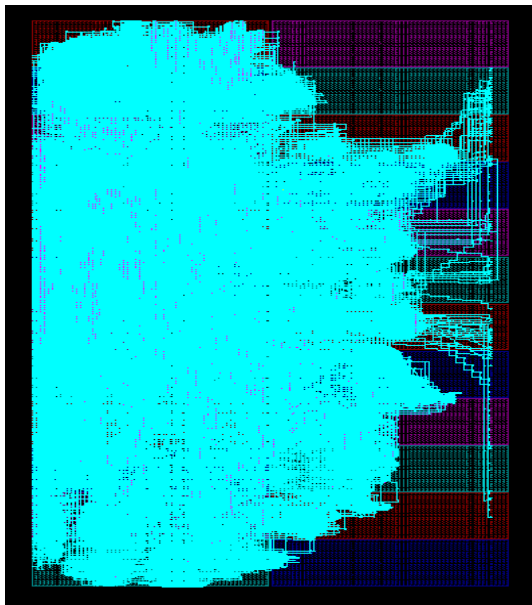


그림 7. MF-VLD의 FPGA 에서의 P&R
Fig. 7. P&R of MF-VLD on FPGA.

표 4. 코덱 별 게이트 사이즈
Table 4. The gate size of each codec.

	H.264	MPEG-2	MPEG-4	AVS	VC-1
게이트	398 K	34K	72 K	85K	77 K

IV. 결 론

본 논문에서는 고성능 고화질급 이상을 처리 할수 있는 H.264, MPEG-2, MPEG-4, AVS, VC-1 코덱의 가변길이 복호화기가 포함된 MF-VLD의 효율적인 구조를 제안하였다. 제안된 구조에서는 역양자화 데이터에 대한 bit-plane을 제안함으로써 버스의 bandwidth로 인한 성능 감소를 최소화 하였다. 또한 참조 픽처의 움직임 벡터를 외부 메모리에 저장함으로 내부 메모리의 사용을 대폭 감소 시켰다.

칩 사이즈를 축소시키기 위해 각 가변길이 복호화 모듈을 결합 시키지 않고 독립적으로 배치하여 추후 시장의 상황에 따라 추가 및 제거가 쉽도록 하였으며, 설계와 검증이 시간을 단축 시켰다.

본 MF-VLD는 향후 매크로 블록 라인 별로 병렬처리가 가능한 멀티프로세서와 결합하여 멀티 포맷 비디오 복호기로 제작 될 경우 가장 많은 종류의 비디오 압축 표준을 복호화 할 수 있는 MPSOC로 고화질 디스플레이 기기나 다양한 모바일 기기들에 사용될 수 있을 것으로 보여 진다.

참 고 문 헌

- [1] 배중우, 조진수, “분리형 구조의 고화질 멀티 포맷 비디오복호기: MPEG-2/MPEG-4/H.264와 VC-1,” 정보처리학회논문지 제15권 2008.
- [2] Chih-Da Chien, et al., “A 252kgates/71mW Multi-Standard Multi-Channal Video Decoder for High Definition Video Applications,” ISSCC Dig. Tech. Papers, 2007.
- [3] M. Hase, et al., “Development of Low-power and Real-time VC-1/H.264/MPEG-4 Video Processing Hardware,” Design Automation conference, 2007.
- [4] T.M. Liu, et al., “A 125uW, Fully Scalable MPEG-2 and H.264/AVC Video Decoder for Mobile Applications,” JSSC, 2007.
- [5] 이용주, “H.264 하이 프로파일 인트라 프레임 부호화기 설계에 관한 연구,” 석사학위논문, 2010, 2월
- [6] 이근식, “H.264/AVC의 high profile CABAC encoder의 하드웨어 설계,” 석사학위 논문, 2010, 8월
- [7] 이종일, “AVS 복호화기의 VLD 하드웨어 구조에 관한 연구,” 석사학위논문, 2010, 2월
- [8] J.-Y. Lee, J.-J. Lee, S.M. Park, “ Multi-core platform for an efficient H.264 and VC-1 video

decoding based on macroblock row-level parallelism” Published in IET Circuits, Devices & Systems, February 2009.

- [9] 정준모, 정정화, “System-On-a-Chip(SOC)에 대한 효율적인 테스트 데이터 압축 및 저전력 스캔 테스트”, 대한전자공학회, 전자공학회논문지-SD, 제39권 제12호, 45-54쪽 2002년 12월.
- [10] 이병엽, 류광기, “파이프라인 최적화를 통한 고성능 H.264 CAVLC 복호기의 VLSI 설계”, 대한전자공학회, 전자공학회논문지-SD, 제46권 SD편 제12호, 50-57쪽, 2009년 12월.

— 저 자 소 개 —



서 기 범 (정회원)

1989년 한양대학교 전자공학과
학사 졸업

1991년 한양대학교 대학원
석사 졸업

2000년 한양대학교 대학원
박사 졸업

2000년~2002년 한국 전자통신연구원

2002년~현재 우송대학교 철도 전기시스템학과
조교수

<주관심분야 : 영상코덱, SOC설계, 영상처리 및 인식>